



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201220504 A1

(43)公開日：中華民國 101 (2012) 年 05 月 16 日

(21)申請案號：099138224

(22)申請日：中華民國 99 (2010) 年 11 月 05 日

(51)Int. Cl. :

H01L29/786 (2006.01)

H01L21/336 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：冉曉雯 ZAN, HSIAO WEN (TW)；蔡娟娟 TSAI, CHUANG CHUANG (TW)；陳蔚宗 CHEN, WEI TSUNG (TW)；薛琇文 HSUEH, HSIU WEN (TW)

(74)代理人：張耀暉；莊志強

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 20 頁

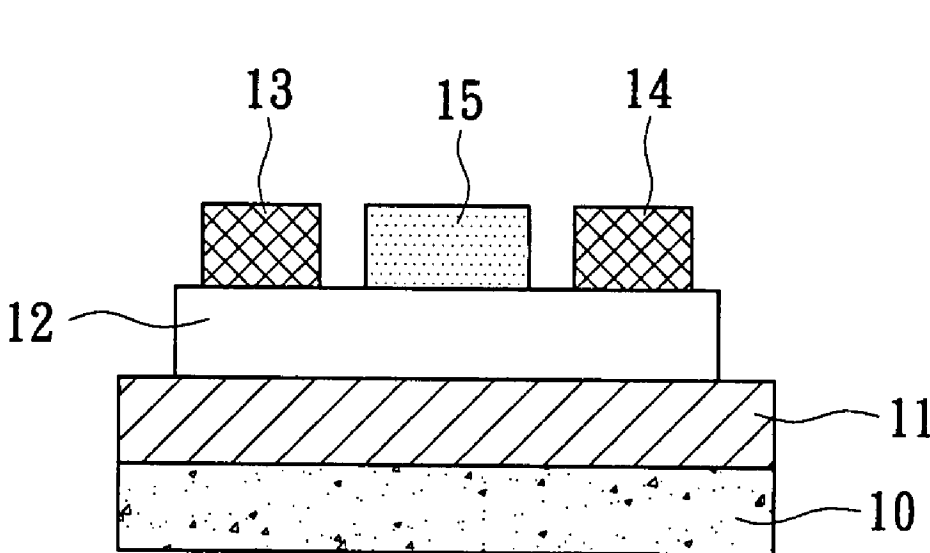
(54)名稱

金屬氧化物薄膜電晶體結構及其製造方法

METAL OXIDE THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(57)摘要

一種金屬氧化物薄膜電晶體結構，包含：一閘極；一設於該閘極上的介電層；一設於該介電層上之主動層；分別設於該主動層上相間隔之一源極與一汲極；以及一臨界電壓調製層，其係直接接觸於該電晶體結構的背通道，該臨界電壓調製層與該主動層具有功函數差。藉此，本發明係使用功函數差進行元件之臨界電壓的調製。



10：閘極

11：介電層

12：主動層

13：源極

14：汲極

15：臨界電壓調製層
構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99178224
※申請日： 99.11.05 ※IPC 分類： H01L 29/786 (2006.01)
H01L 21/336 (2006.01)

一、發明名稱:(中文/英文)

金屬氧化物薄膜電晶體結構及其製造方法 / METAL
OXIDE THIN FILM TRANSISTOR AND MANUFACTURING
METHOD THEREOF

二、中文發明摘要：

一種金屬氧化物薄膜電晶體結構，包含：一閘極；一設於該閘極上的介電層；一設於該介電層上之主動層；分別設於該主動層上相間隔之一源極與一汲極；以及一臨界電壓調製層，其係直接接觸於該電晶體結構的背通道，該臨界電壓調製層與該主動層具有功函數差。藉此，本發明係使用功函數差進行元件之臨界電壓的調製。

三、英文發明摘要：

A metal oxide thin film transistor includes a gate electrode, a dielectric layer formed on the gate, an active layer formed on the dielectric layer, a source electrode and a drain electrode spaced on the active layer. A threshold voltage modulation layer is formed on the back channel of the transistor. There is difference of work function between the threshold voltage modulation layer and the active layer so that the threshold voltage modulation layer is applied to modulate

201220504

the threshold voltage of devices and improve the performance of devices.

四、指定代表圖：

(一) 本案指定代表圖為：圖 1

(二) 本代表圖之元件符號簡單說明：

- 10 閘極
- 11 介電層
- 12 主動層
- 13 源極
- 14 汲極
- 15 臨界電壓調製層構

五、本案若有化學式時,請揭示最能顯示發明特徵的化學式:

六、發明說明:

【發明所屬之技術領域】

本發明係有關於一種半導體電晶體及其製造方法，尤指一種金屬氧化物薄膜電晶體結構及其製造方法。

【先前技術】

寬能隙之半導體元件具有良好的電流驅動能力，故預計在發展成熟後將可大量地應用於平面顯示器等載子移動速度大的裝置。

InGaZnO (IGZO) 係為非晶相氧化物半導體 (AOS) 中之近年來備受關注的半導體材料之一，IGZO 能在室溫沈積條件下，仍然擁有高於 $10 \text{ cm}^2/\text{Vs}$ 的電子遷移率，故極適合在低溫程序下進行高效能電子元件的研製。例如，a-IGZO (非晶向 IGZO) 薄膜由於具有可低溫沉積、可撓曲、透明性以及均勻度佳等特點，以 a-IGZO 薄膜當作主動層的薄膜電晶體 (Thin Film Transistor, TFT)，其載子遷移率與可靠度比傳統氫化非晶矽薄膜電晶體 (a-Si:H TFT) 高、均勻性優於低溫複晶矽薄膜電晶體 (Low Temperature Polycrystalline Silicon TFT, LTPS TFT)；且 a-IGZO 薄膜可使用低溫製程，因此 a-IGZO 薄膜電晶體具有取代氫化非晶矽薄膜電晶體與低溫複晶矽薄膜電晶體來製作主動矩陣並可將之應用於有機發光顯示器 (Active Matrix Organic Light Emitting Display, AMOLED) 的潛力。

然而，由於金屬氧化物半導體缺乏電洞傳輸能力，難

以製作互補式金氧半導體元件，唯有利用具有臨界電壓差異的電晶體才能組成邏輯電路上的基礎單元；在傳統製程上，係利用主動層之摻雜濃度控制元件的臨界電壓，但主動層之摻雜濃度的改變卻使得元件特性受到影響，例如遷移率、次臨界擺幅、基底漏電流等等。另外，另一傳統方式係利用雙閘極的方式使元件產生雙通道，以改善元件的特性，但相較之下雙閘極的製程將顯得過於複雜。

因此，如何有效地控制元件臨界電壓，又不會造成元件特性的影響，實為目前研發的重點。

【發明內容】

本發明之實施例提供一種金屬氧化物薄膜電晶體結構，包含：一閘極；一設於該閘極上的介電層；一設於該介電層上之主動層；分別設於該主動層上相間隔之一源極與一汲極；以及一臨界電壓調製層，其係直接接觸於該電晶體結構的背通道，該臨界電壓調製層與該主動層具有適當的功函數差。

本發明實施例係提供一種金屬氧化物薄膜電晶體結構的製造方法，包含以下步驟：提供一基材；製作一金屬氧化物薄膜電晶體於該基材上，其中該金屬氧化物薄膜電晶體至少包括一閘極、一介電層、一主動層、一源極與一汲極；以及製作一臨界電壓調製層於該金屬氧化物薄膜電晶體之背通道，該臨界電壓調製層與該主動層具有適當的功函數差。

本發明具有以下有益的效果：本發明主要利用與主動層具有功函數差之臨界電壓調製層浮接於主動層上，以使兩者之間的功函數差產生本體效應，而達到調整、控制元件之臨界電壓值；另外，本發明之臨界電壓調製層的製程/結構不會造成元件特性的劣化，更可大幅提高元件的場效遷移率。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制者。

【實施方式】

本發明提出一種金屬氧化物薄膜電晶體結構及其製造方法，該方法不需製作額外的介電層與電極，而以直接接觸主動層之具有適當功函數之材料，以達到提高閘極之調製性，進而大幅提高元件之載子遷移率（mobility），並且不會提高電晶體的基底漏電。

請參考圖 1，本發明所提出的金屬氧化物薄膜電晶體結構之製造方法包括以下步驟：

首先，提供一基材（圖未示）；該基材係可為玻璃基板或塑料薄膜基板，如聚醯亞胺基板、聚碳酸酯基板、聚對苯二甲酸乙二酯（PET）薄膜基板，更或是塗佈有絕緣層的不銹鋼基板等等，但不以此為限。

接著，請參考圖 1，下一步驟係於上述基板上成型一金屬氧化物薄膜電晶體。該金屬氧化物薄膜電晶體至少包括一閘極 10、一介電層 11、一主動層 12、一源極 13 與一

汲極 14。由於本發明可適用於各種結構的電晶體，故本實施例係以底閘極/頂源、汲極的電晶體進行說明，而以下說明中所闡述的方向：如「在...之上」或「在...之下」係根據底閘極/頂源、汲極的電晶體的結構加以敘述，但並非用於限制本發明之保護範圍。

首先，先於該基板上使用例如濺射法、脈衝雷射沈積 (PLD) 法、電子束沈積法、或化學汽相沈積 (CVD) 法等等方法形成閘極 10，而具有良好導電率的電極材料均可用於製作閘極 10；例如，包含鈦 (Ti)、鉑 (Pt)、金 (Au)、鎳 (Ni)、鋁 (Al) 或鉬 (Mo) 等以及上述金屬的合金、膜層，或者是例如氧化銦錫 (ITO) 等氧化物導體等等。

接著，配合黃光微影法或其它方法，將閘極 10 圖型化，以形成設於閘極 10 上之介電層 11 (又稱做閘極絕緣層)；介電層 11 形成於基底 10 上以覆蓋於圖型化之閘極 10，在具體實施方法中，可使用例如濺射法、脈衝雷射沈積 (PLD) 法、電子束沈積法或 PECVD 製程等方法以形成介電層 11，其中，具有良好絕緣特徵的材料均可用於形成介電層 11，例如，利用 PECVD 法或濺射法形成的氧化矽膜或氮化矽膜等等。

接下來，形成設於介電層 11 上之主動層 (Active layer) 12。在本步驟中，在介電層 11 上形成由氧化物膜製成的主動層 12，其可為一種氧化物半導體，例如金屬氧化物主動層，在具體製程中，可利用濺射法、脈衝雷射沈積法或電子束沈積法、溶膠凝膠法等製作主動層 12。

舉例來說，可利用 RF 磁控濺鍍製程 (RF Magnetron

Sputtering)，在純氫氣濺鍍氣體中沈積氧化鋅鎵（ ZnO:Ga ；97/3 wt%；純度 99.995%，簡稱 GZO）薄膜；又或是利用共沉澱法將三種鹽類 $\text{In}(\text{NO}_3)_3$ 、 GaCl_3 、 $\text{Zn}(\text{NO}_3)_2$ 分別與 2 種鹼類 NaOH 、 NH_4OH 作為前趨物，再經由水熱法或鍛燒法去製作出 IGZO 溶液，以並將 IGZO 溶液塗佈於介電層 11 上，即可形成非晶相銦鎵鋅氧化物（Amorphous InGaZnO ，a-IGZO）薄膜作為主動層 12；更或是 Sn-In-Zn 氧化物、 In-Zn-Ga-Mg 氧化物、 In 氧化物、 In-Sn 氧化物、 In-Ga 氧化物、 In-Zn 氧化物、 Zn-Ga 氧化物、或 Sn-In-Zn 氧化物等等，然上述材料僅為舉例說明之用，並非用以限制本發明。

接下來，分別於主動層 12 上設置相間隔的源極 13 與汲極 14，在一具體的方法中，可利用擴散等製程降低主動層 12 兩側之電阻，以形成源極區域、汲極區域，再利用例如濺射法、脈衝雷射沈積（PLD）法、電子束沈積法或 CVD 等方法，形成源極 13 與汲極 14，其材料可為具有良好的導電率之電極材料，例如 Ti 、 Pt 、 Au 、 Ni 、 Al 或 Mo 等金屬、上述金屬元素的合金、膜層，或例如 ITO 等氧化物導體等金屬電極材料。

本發明之下一步驟係為製作一臨界電壓調製層 15 於金屬氧化物薄膜電晶體之背通道（back channel）。在本步驟中，係選擇與主動層 12 具有功函數差的材料直接接觸於電晶體結構的背通道，亦即，利用臨界電壓調製層 15 直接接觸於主動層 12，即可利用閘極功函數達到調整元件臨界電壓的效果。

在以下之具體實施例中，本發明係選用金屬材料為臨

界電壓調製層 15，換言之，係將金屬層利用沈積法、濺射法成型而浮接於金屬氧化物薄膜電晶體之主動層 12 的背通道，以量測元件的臨界電壓之變化。

請配合圖 3 及表 1，其顯示一傳統電晶體與本發明所製作的具有金之臨界電壓調製層 15 的金屬氧化物薄膜電晶體結構的元件特性。

表 1

	ΔVT (V)	ΔVon (V)	$VT(V)$	Von (V)	μ (cm^2/Vs)	S.S. (V/dec)	on/off
傳統	-	-	2.4	-0.6	9.24	0.28	3.5E8
本發明	5.5	4.9	7.9	4.2	22.8	0.39	4.5E8

根據圖 3 及表 1 的結果，本發明之具有金之臨界電壓調製層 15 的金屬氧化物薄膜電晶體結構具有較傳統電晶體高約 5.5V 的臨界電壓，而載子遷移率 μ 則由傳統電晶體之 9.24 (cm^2/Vs) 大幅提高至約 22.8 (cm^2/Vs)，故本發明可大幅提升元件特性；再者，本發明之具有金之臨界電壓調製層 15 的金屬氧化物薄膜電晶體結構在其他特性上亦可符合一般使用的特性要求。

請參考圖 4，其顯示不同金屬材料之臨界電壓調製層 15 所達到的臨界電壓變化特性，在本發明中，係控制臨界電壓調製層 15 的功函數範圍係介於 2.9 (即鈣的功函數) 至 5.1 (即金的功函數) 之間，即可達到調整元件之臨界

電壓達正負 6V 的範圍。因此，本發明並不限制臨界電壓調製層 15 的材質（例如可為氧化物等），僅需選擇適當功函數的臨界電壓調製層 15，即可達到調整臨界電壓、提升元件特性的效果。

再者，由圖 4 與圖 5 之結果更可知，在本具體實施例中，當選用鋁（Al）、鈦（Ti）、銅（Cu）金屬並不會造成過於明顯的臨界電壓變化，但其同樣具有提升載子遷移率的效果（如圖 5 所示），例如，選用鈦（Ti）可將載子遷移率由約 10V 提高至約 20V，因此，本發明可選用適當的臨界電壓調製層 15 進行元件特性的改善。

根據本發明之實驗數據，由於臨界電壓調製層 15 直接接觸於電晶體的背通道，故元件特性與臨界電壓調製層 15 之功函數具有明顯的相依性，其可推論為主動層 12 與臨界電壓調製層 15 接觸形成平衡態時所形成之正負電偶的因素所造成。

綜上所述，本發明依據上述具體實施例的方法，製作出一種金屬氧化物薄膜電晶體結構，包含：閘極 10、設於該閘極 10 上的介電層 11、設於該介電層 11 上之主動層 12、分別設於該主動層 12 上相間隔之一源極 13 與一汲極 14 及直接接觸於該電晶體結構的背通道之臨界電壓調製層 15，其中該臨界電壓調製層 15 與該主動層 12 具有功函數差，且臨界電壓調製層 15 係浮接於主動層 12，使兩者之間形成本體效應以達到調整元件之臨界電壓及/或提高載子遷移率的效果。

另一方面，本發明之臨界電壓調製層 15 可應用於各

種不同結構之電晶體，例如圖 2a 所示之底閘極/底源、汲極結構、圖 2b 所示之頂閘極/頂源、汲極結構或圖 2c 所示之頂閘極/底源、汲極結構等等。

綜上所述，本發明具有下列諸項優點：

- 1、本發明利用功函數不同於主動層之臨界電壓調製層直接接觸於主動層，以提升元件特性，並可調整元件之臨界電壓。可依所預調整的臨界電壓值，選擇與該主動層具有適當的功函數差之臨界電壓調製層；另外，本發明之臨界電壓調製層亦可在不明顯移動臨界電壓的條件下，只是單純的作為效能提升之用，例如提高載子遷移率等特性。
- 2、另外，本發明之臨界電壓調製層並不會造成元件特性的影響，例如加入臨界電壓調製層後並不會造成漏電或臨界擺幅的上升，故可用於改善各種傳統電晶體的特性。再者，藉由本發明之調整臨界電壓之效果，使傳統電晶體更可適用於光電顯示器、邏輯電路等應用領域。
- 3、本發明之製程簡單，不需製作額外的電極（本發明之臨界電壓調製層係為一種浮接結構，並非電極），故不會提高製程難度。

以上所述僅為本發明之較佳可行實施例，非因此侷限本發明之專利範圍，故舉凡運用本發明說明書及圖示內容所為之等效技術變化，均包含於本發明之範圍內。

【圖式簡單說明】

圖 1 係顯示本發明之第一種實施態樣之金屬氧化物薄膜電晶體結構的示意圖。

圖 2a 係顯示本發明之第二種實施態樣之金屬氧化物薄膜電晶體結構的示意圖。

圖 2b 係顯示本發明之第三種實施態樣之金屬氧化物薄膜電晶體結構的示意圖。

圖 2c 係顯示本發明之第四種實施態樣之金屬氧化物薄膜電晶體結構的示意圖。

圖 3 係顯示傳統電晶體與本發明所製作的具有金之臨界電壓調製層的金屬氧化物薄膜電晶體結構的元件特性圖。

圖 4 係為本發明利用不同金屬材料之臨界電壓調製層所達到的臨界電壓變化特性。

圖 5 係為本發明利用不同金屬材料之臨界電壓調製層所達到的場效電子遷移率之提升效果。

【主要元件符號說明】

- 10 閘極
- 11 介電層
- 12 主動層
- 13 源極
- 14 汲極
- 15 臨界電壓調製層

七、申請專利範圍：

- 1、一種金屬氧化物薄膜電晶體結構，包含：
 - 一閘極；
 - 一設於該閘極上的介電層；
 - 一設於該介電層上之主動層；
 - 分別設於該主動層上相間隔之一源極與一汲極；以及
 - 一臨界電壓調製層，其係直接接觸於該電晶體結構的背通道，該臨界電壓調製層與該主動層具有適當的功函數差。
- 2、如申請專利範圍第1項所述之金屬氧化物薄膜電晶體結構，其中該臨界電壓調製層係為一金屬層。
- 3、如申請專利範圍第1項所述之金屬氧化物薄膜電晶體結構，其中該臨界電壓調製層的功函數範圍係介於2.9至5.1之間。
- 4、如申請專利範圍第1項所述之金屬氧化物薄膜電晶體結構，其中該主動層係為一金屬氧化物主動層。
- 5、如申請專利範圍第1項所述之金屬氧化物薄膜電晶體結構，其中該臨界電壓調製層係浮接於該電晶體結構之背通道。
- 6、一種金屬氧化物薄膜電晶體結構的製造方法，包含以下步驟：
 - 提供一基材；
 - 製作一金屬氧化物薄膜電晶體於該基材上，其中該金屬氧化物薄膜電晶體至少包括一閘極、一介電層、一主動層、一源極與一汲極；以及

製作一臨界電壓調製層於該金屬氧化物薄膜電晶體之背通道，該臨界電壓調製層與該主動層具有適當的功函數差。

- 7、如申請專利範圍第6項所述之金屬氧化物薄膜電晶體結構的製造方法，其中在製作一臨界電壓調製層的步驟中，該臨界電壓調製層係為一金屬層。
- 8、如申請專利範圍第6項所述之金屬氧化物薄膜電晶體結構的製造方法，其中在製作一臨界電壓調製層的步驟中，該臨界電壓調製層的功函數範圍係介於 2.9 至 5.1 之間。
- 9、如申請專利範圍第6項所述之金屬氧化物薄膜電晶體結構的製造方法，其中在製作一臨界電壓調製層的步驟中，該臨界電壓調製層係浮接於該金屬氧化物薄膜電晶體之背通道。
- 10、如申請專利範圍第6項所述之金屬氧化物薄膜電晶體結構的製造方法，其中在製作一金屬氧化物薄膜電晶體結構的步驟中，該主動層係為一金屬氧化物主動層。

八、圖式：

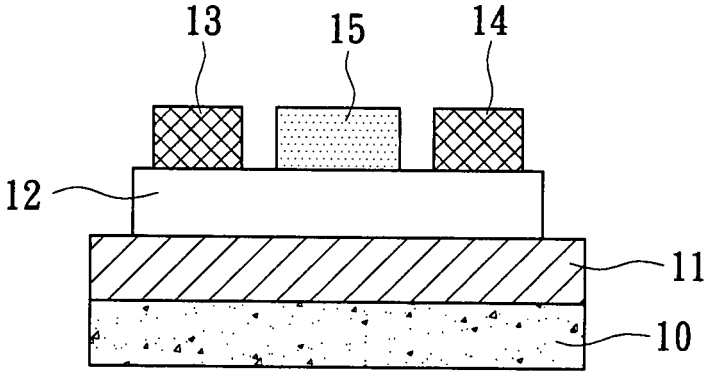


圖1

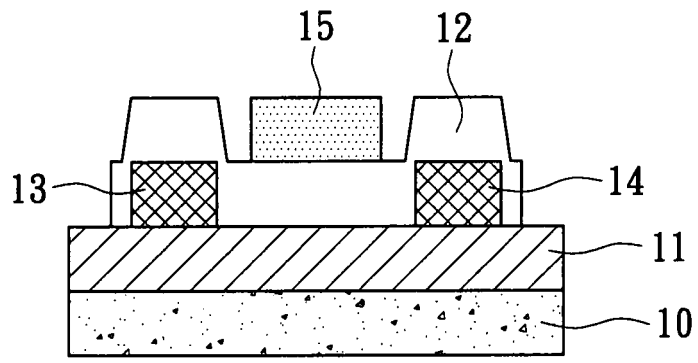


圖2a

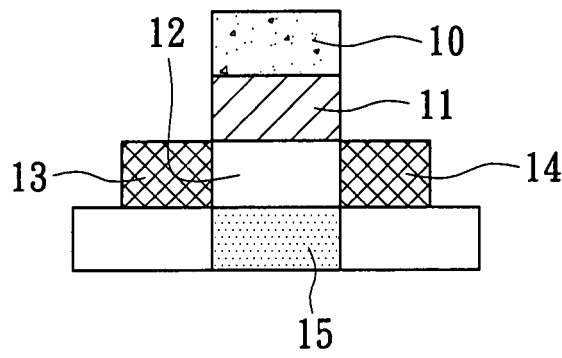


圖2b

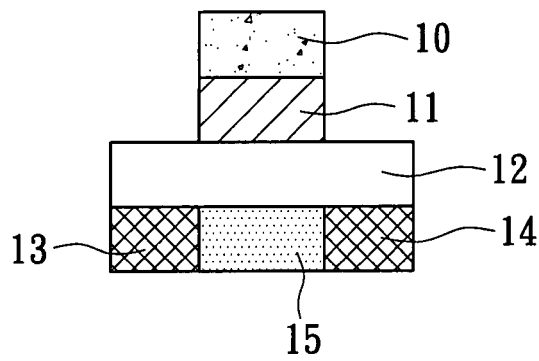


圖2c

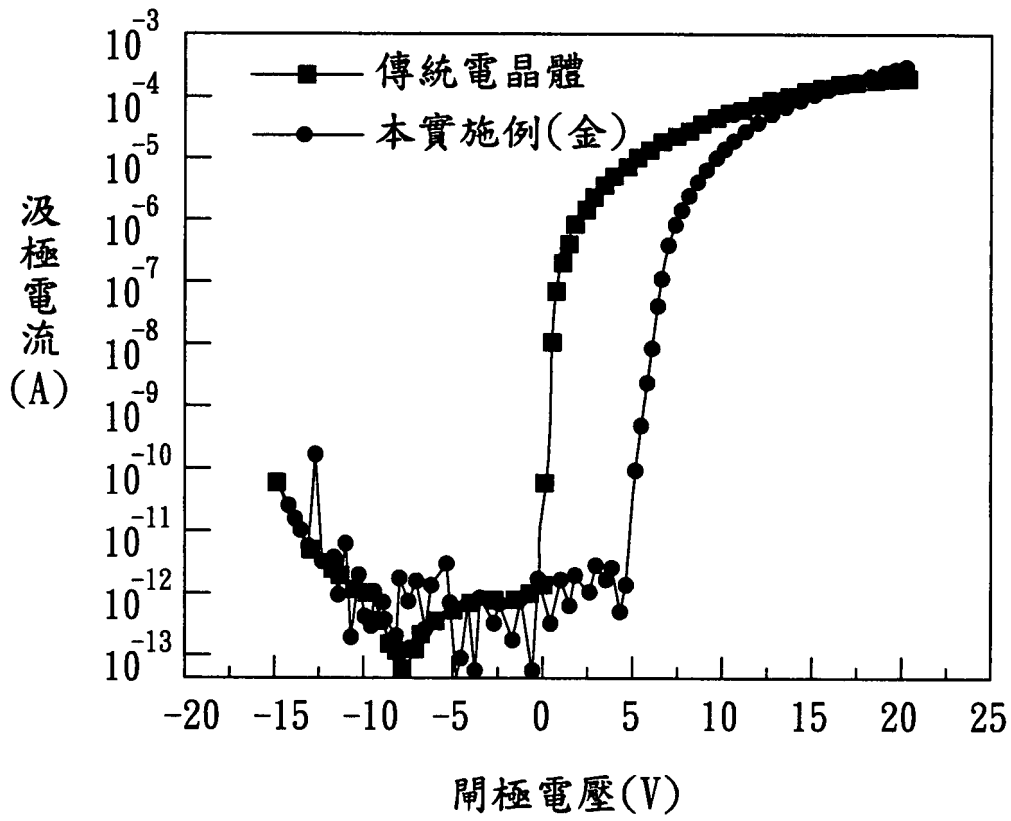


圖3

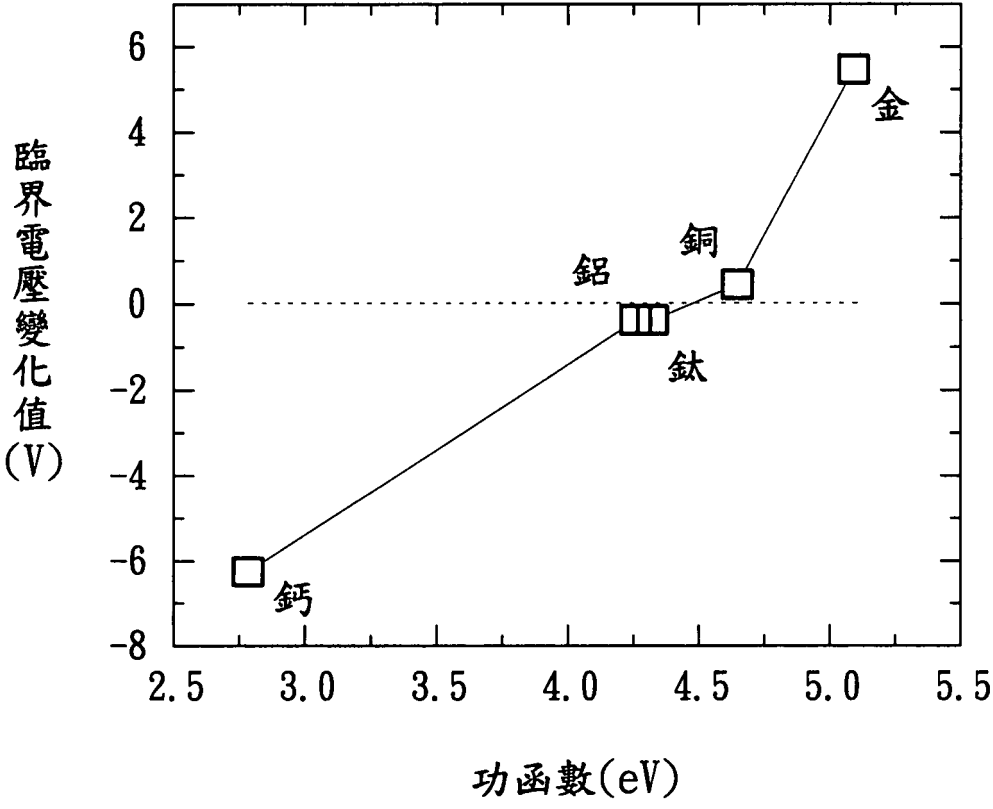


圖4

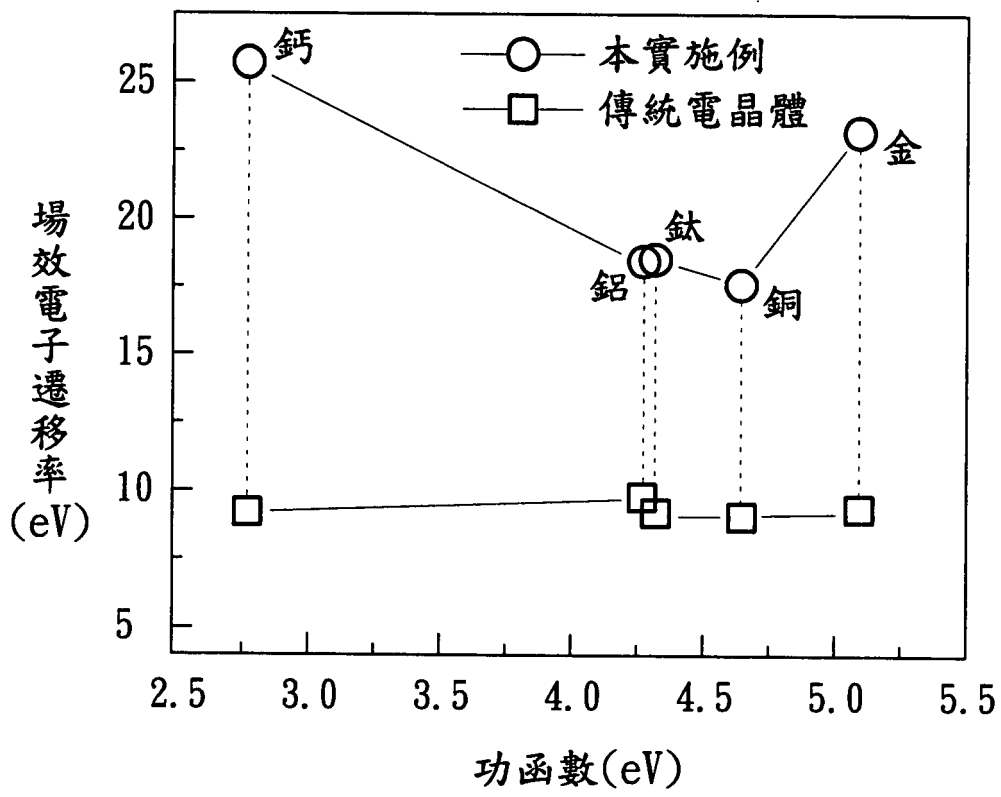


圖5