



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201218354 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：099135525

(22)申請日：中華民國 99 (2010) 年 10 月 19 日

(51)Int. Cl.：

H01L25/065 (2006.01)

H01L23/48 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：蘇朝琴 SU, CHAU CHIN (TW)；何盈杰 HO, YING CHIEH (TW)；黃博祥 HUANG, PO HSIANG (TW)

(74)代理人：蘇建太；陳聰浩；蘇清澤

申請實體審查：有 申請專利範圍項數：6 項 圖式數：10 共 23 頁

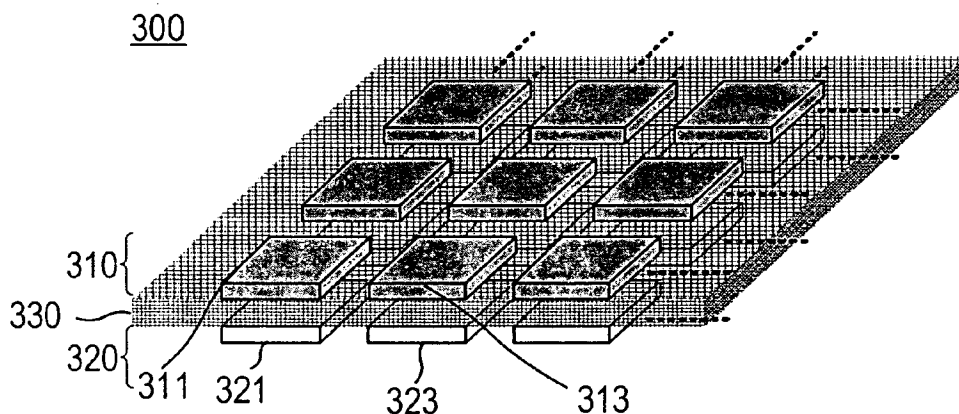
(54)名稱

使用共用傳導層傳送晶片間多重信號之系統

CHIP-TO-CHIP MULTI-SIGNALING COMMUNICATION SYSTEM WITH COMMON CONDUCTION LAYER

(57)摘要

本發明提供一種使用共用傳導層傳送晶片間多重信號之系統，其包括一第一晶片、一第二晶片、及一共用傳導層。該第一晶片至少具有第一晶片之第一金屬層墊及一第二金屬層墊。該第二晶片至少具有第二晶片之第一金屬層墊及一第二金屬層墊。該共用傳導層為導電材料，該共用傳導層直接黏合該第一晶片及該第二晶片，其中，第二晶片之第一金屬層墊係對齊該第一晶片之第一金屬層墊，以透過該共用傳導層而接收來自該第一晶片之第一金屬層墊之訊號，而不受來自其它該第一晶片及第二晶片之金屬層墊之訊號的影響。



300：使用共用傳導層
傳送晶片間多重信號
之系統

310：第一晶片

311：第一晶片之第一
金屬層墊

313：第一晶片之第二
金屬層墊

320：第二晶片

321：第二晶片之第一
金屬層墊

323：第二晶片之第二
金屬層墊

330：共用傳導層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99/35525 H01L 25/065 (2006.01)
 ※申請日： 99.10.19 ※IPC 分類： H01L 23/48 (2006.01)

一、發明名稱：(中文/英文)

使用共用傳導層傳送晶片間多重信號之系統

Chip-to-chip Multi-signaling Communication System with Common
Conduction Layer

二、中文發明摘要：

本發明提供一種使用共用傳導層傳送晶片間多重信號之系統，其包括一第一晶片、一第二晶片、及一共用傳導層。該第一晶片至少具有第一晶片之第一金屬層墊及一第二金屬層墊。該第二晶片至少具有第二晶片之第一金屬層墊及一第二金屬層墊。該共用傳導層為導電材料，該共用傳導層直接黏合該第一晶片及該第二晶片，其中，第二晶片之第一金屬層墊係對齊該第一晶片之第一金屬層墊，以透過該共用傳導層而接收來自該第一晶片之第一金屬層墊之訊號，而不受來自其它該第一晶片及第二晶片之金屬層墊之訊號的影響。

三、英文發明摘要：

The invention provides a chip-to-chip multi-signaling communication system with common conduction layer, which comprises a first chip, a

second chip, and a common conduction layer. The first chip has at least a first pad and a second pad. The second chip has at least a first pad and a second pad. The common conduction layer is formed between the first chip and the second chip with conductive adhesives. The conductive adhesives not only provide the common conductive layer but also bind the first chip and the second chip together. The first pad of the second chip is aligned with the first pad of the first chip, so that the signals generated from the first pad of the first chip can pass through the common conductive layer for being correctly received by the first pad of the first chip without being interfered by any other the signals generated from pads of the first chip or of the second one.

四、指定代表圖：

(一)本案指定代表圖為：圖3。

(二)本代表圖之元件符號簡單說明：

使用共用傳導層傳送晶片間多重信號之系統300

第一晶片310

第二晶片320

共用傳導層330

第一晶片之第一金屬層墊311 第一晶片之第二金屬層墊313

第二晶片之第一金屬層墊321 第二晶片之第二金屬層墊323

訊號 V_{U1} 、 V_{U2} 、 V_{D1} 、 V_{D2}

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於晶片間訊號傳輸之技術領域，尤指一種使用共用傳導層傳送晶片間多重信號之系統。

【先前技術】

隨著網路、數位多媒體等消費性產品的快速發展，單晶片系統(SoC)需將多個模組整合至同一晶片中，因此單晶片系統(SoC)設計的複雜度也隨之急速提高。單晶片系統(SoC)的理念發展至此面對了許多的困難，例如：隨著複雜度而增大的晶片面積、晶片的參數漂移、以及不同製程技術整合上的困難等，上述幾種因素是造成良率無法提昇的主要原因。同時，由於近年來晶片封裝技術的持續進步，單晶片系統(SoC)整合已然由平面的整合轉進立體堆疊晶片(3D IC)技術。立體堆疊晶片(3D IC)技術儼然成為今日積體電路產業延續遵循摩爾定律(Moore's Law)最可能的選項之一。

現今發展的立體堆疊晶片(3D IC)技術，是在封裝的階段使用於不同製程的晶片疊合，達到所謂的異質晶片整合。立體堆疊晶片(3D IC)技術乃是透過將多顆晶片進行三維空間垂直整合，以達到尺寸精簡的最佳效益。與現有平面的晶片整合有所不同，立體堆疊晶片(3D IC)技術由於採取上下導通的架構，因此電晶體間的連接長度及延遲時間均較傳統二維電路明顯縮短，同時提升晶片

效能並降低晶片功耗。另外，電感效應與電容效應引起的噪音耦合也較低。

目前習知的立體堆疊晶片(3D IC)技術一般為系統級封裝(System in Package, SiP)，其有晶片堆疊(Stack Die)、覆晶(Flip-chip)等技術。

而這些現行的立體堆疊晶片(3D IC)技術雖然在晶片的連接上使用各種不同的方式，但在信號的傳輸上皆是屬於傳統點對點方式。例如圖1係一習知打線(Wire Bonding)連接的立體堆疊晶片之示意圖。打線的接合方式，由於導線需佔用晶片的空間，無法大量地連接，同時也造成較大的負載效應與較長的傳輸距離。

圖2係一習知覆晶錫焊球(Solder Bonding)連接的立體堆疊晶片之示意圖。覆晶技術雖可以近距離連線(10~15微米)，亦可有較高密度連線，但是在後製程上有溫度以及填充等問題，良率不高且成本不低。

另外還有電容性耦合(Capacitive Coupling)與電感性耦合(Inductive Coupling)等形成晶片與晶片之間的連結。然而電容性耦合、電感性耦合技術需要較大面積的金屬層墊與複雜的電路設計，而且在晶片與晶片間的黏合與校準是個問題。

不論是打線(Wire Bonding)連接技術、覆晶技術、或是電容性耦合(Capacitive Coupling)與電感性耦合(Inductive Coupling)連結技術，其目的都是要形成晶片與晶片之間點對點的訊號傳輸路徑。由上述可知，習知晶片間訊號傳輸系統仍有其缺失，而有予以改進之必要。

【發明內容】

本發明之主要目的係在提供一種共用傳導層傳送晶片間多重信號之系統，可具備短距的訊號傳送接收能力，本發明可擺放大量金屬層墊，使晶片間具有高傳輸密度。本發明沒有應力上的問題，設計上無需使用金屬層以加強應力。本發明使用導電材質將晶片直接黏結，不需要其它後製程。

為達成上述之目的，本發明提出一種使用共用傳導層傳送晶片間多重信號之系統，包括一第一晶片、一第二晶片、及一共用傳導層。該第一晶片至少具有一第一晶片之第一金屬層墊及一第一晶片之第二金屬層墊。該第二晶片至少具有一第二晶片之第一金屬層墊及一第二晶片之第二金屬層墊。該共用傳導層為導電材料，該共用傳導層直接黏合該第一晶片及該第二晶片，其中，該第二晶片之第一金屬層墊係對齊該第一晶片之第一金屬層墊，以透過該共用傳導層而接收來自該第一晶片之第一金屬層墊之訊號，而不受其它來自該第一晶片及第二晶片之金屬層墊之訊號的影響。

【實施方式】

圖3係本發明之使用共用傳導層傳送晶片間多重信號之系統300的示意圖，其包括一第一晶片310、一第二晶片320、及一共用傳導層330。使用共用傳導層傳送晶片間多重信號之系統300乃是使用導電介質當做共用傳

導層330，讓積體電路(IC)採用面對面的連結型態對接，而使訊號直接經由積體電路(IC)的金屬層墊透過傳導層溝通。

前述第一晶片310及第二晶片320分別具有多數金屬層墊，於本實施例中，如圖4所示系統300的簡化之示意圖，該第一晶片310係至少具有一第一晶片之第一金屬層墊311及一第一晶片之第二金屬層墊313，該第二晶片320至少具有一第二晶片之第一金屬層墊321及一第二晶片之第二金屬層墊323。

該共用傳導層330係為導電材料，該共用傳導層330直接黏合該第一晶片310及該第二晶片320。本發明的共同傳導層330乃是由導電介質所構成的媒介層。根據實際效能的需求，選擇不用電阻係數的材質。不同材質的電阻係數差異相當大，舉凡從電阻係數為 $k\Omega \cdot \text{cm}$ 等級的純質矽基板到 $0.0001\Omega \cdot \text{cm}$ 的導電銀膠或導電碳膠等都可能根據積體電路本身的需求而被選用。

該共用傳導層330之材質具備黏合晶片310, 320並導電之材質。目前這樣的材料十分普遍，舉凡各式的導電膠即是選項之一，而控制摻雜以及導電粒子的大小等方式即可調整導電膠的導電能力也就是電阻係數 ρ 的大小，來搭配不同計設的需求。

傳送端積體電路(例如該第一晶片310)經由最上層的金屬層墊(第一晶片之第一金屬層墊311及第一晶片之第二金屬層墊313)將訊號傳入該共用傳導層330，要接收訊號的積體電路(例如該第二晶片320)亦使用最上層的金屬

層墊(第二晶片之第一金屬層墊321及第二晶片之第二金屬層墊323)隔著該共用傳導層330對準相對的傳送端的金屬層墊(第一晶片之第一金屬層墊311及第一晶片之第二金屬層墊313)即可接收所要的訊號。其中，該第一晶片310及該第二晶片320係分別位於該共用傳導層330的上方及下方。該第二晶片之第一金屬層墊321係對齊該第一晶片之第一金屬層墊311，以透過該共用傳導層330而接收來自該第一晶片之第一金屬層墊311之訊號，而不受來自該第一晶片之第二金屬層墊313之訊號的影響。

該第一晶片310將訊號經由該第一晶片之第一金屬層墊311及該第一晶片之第二金屬層墊313傳入該共用傳導層330，該第二晶片320由該第二晶片之第一金屬層墊321從該共用傳導層330接收訊號。

所謂使用該共用傳導層330直接傳輸訊號就是在3D IC的架構中，將傳輸信號直接傳入該共同傳導層330。如圖3所示，黏合時上層該第一晶片310的該第一晶片之第一金屬層墊311、該第一晶片之第二金屬層墊313係分別對準下層該第二晶片320的該第二晶片之第一金屬層墊321、該第二晶片之第二金屬層墊323。

當該第一晶片之第一金屬層墊311、該第一晶片之第二金屬層墊313所在的上層該第一晶片310分別要將訊號 V_{U1} 、 V_{U2} 經由該共同傳導層330傳送至下層該第二晶片320的該第二晶片之第一金屬層墊321、該第二晶片之第二金屬層墊323時，該第二晶片之第一金屬層墊321會接收到正面向的第一晶片之第一金屬層墊311之訊號 V_{U1} ，

亦會收到斜對向的該第一晶片之第二金屬層墊313之訊號 V_{U2} 。亦即，該第二晶片之第一金屬層墊321所接收到的訊號 V_{D1} 之中，將同時存在該第一晶片之第一金屬層墊311之訊號 V_{U1} 的成份、該第一晶片之第二金屬層墊313之訊號 V_{U2} 的成份。而對該第二晶片之第一金屬層墊321來說該第一晶片之第二金屬層墊313之訊號 V_{U2} 就是不要的雜訊。同理，該第二晶片之第二金屬層墊323所接收到的訊號 V_{D2} 之中，將同時存在該第一金屬層墊311之訊號 V_{U1} 的成份、該第二金屬層墊313之訊號 V_{U2} 的成份。而對該第二晶片之第二金屬層墊323來說該第一金屬層墊311之訊號 V_{U1} 就是不要的雜訊。

此外， V_{U1} 、 V_{U2} 之間與 V_{D1} 、 V_{D2} 之間在電位不同時，會因為該共用傳導層330的關係產生漏電流。因此，可以將圖4的訊號的傳遞利用對應的 w 、 s 、 t 以及該共用傳導層330的電阻係數 ρ ，以寄生電阻電容來構成訊號及傳導層間的交互網路。圖5係本發明多組訊號使用共用傳導層傳送晶片間多重信號的等效網路電路之示意圖。

該第二晶片之第一金屬層墊321所接收訊號大小 V_{D1} 係為該等金屬層墊大小 w 、該等金屬層墊間距 s 、該共用傳導層330厚度 t 及該等金屬層墊的排列方式之函數。亦即， V_{U1} 、 V_{U2} 、 V_{D1} 、 V_{D2} 之間的關係，基本上跟 w 、 s 、 t 以及傳導層的電阻係數 ρ 這些參數所構成等效電路有關，可以寫成：

$$V_{D1} = \alpha(\rho, w, s, t) \cdot V_{U1} + \beta(\rho, w, s, t) \cdot V_{U2} ,$$

$$V_{D2} = \alpha(\rho, w, s, t) \cdot V_{U2} + \beta(\rho, w, s, t) \cdot V_{U1},$$

其中 α 、 β 為比值，隨著參數的設計會有所不同， w 為該等金屬層墊大小、 s 為該等金屬層墊間距、 t 為該共用傳導層厚度。

根據上式結果，可以將圖3中使用共用傳導層傳送晶片間多重信號之系統300的示意圖的金屬層墊傳輸的通式列出如下， V_{Dmn} 為第二晶片任一金屬層墊，接收第一晶片金屬層墊 V_{Umn} 的訊號：

$$V_{Dmn} = \beta_{mn}(\rho, w, s, t) \cdot V_{Umn} + \sum_{i \neq m, j \neq n} \beta_{ij}(\rho, w, s, t) \cdot V_{Uij}$$

圖5中等效電路之電阻的部分，主要有三大類，如圖6所示，其係本發明面對面的路徑電阻之示意圖，訊號傳送路徑電阻係以斜線表示，路徑電阻大小直接影響訊號的操作速度。 R_{C11} 為該第一金屬層墊311與該第二晶片之第一金屬層墊321之間的等效電阻， R_{C22} 為該第一晶片之第二金屬層墊313與該第二晶片之第二金屬層墊323之間的等效電阻。

圖7係本發明同層的漏電路徑電阻之示意圖，同層的漏電路徑電阻以斜線表示， R_{U12} 為該第一晶片之第一金屬層墊311與該第一晶片之第二金屬層墊313之間的等效電阻。 R_{D12} 為第二晶片之第一金屬層墊321與該第二晶片之第二金屬層墊323之間的等效電阻。

圖8係本發明其它干擾訊號的路徑電阻之示意圖，其它干擾訊號的路徑電阻以斜線表示， R_{C21} 為該第一晶片

之第二金屬層墊313與該第二晶片之第一金屬層墊321之間的等效電阻。 R_{C12} 為該第一晶片之第一金屬層墊311與該第二晶片之第二金屬層墊323之間的等效電阻。

關於電容分析的部分可分為四大類，第一是訊號傳送路徑上對向金屬層墊的平板電容，第二是同層的耦合電容，第三是斜向路徑的邊緣電容，第四是每一個金屬層墊對地的電容。

由於電容只影響暫態響應(transient)，因此分析訊號大小時可將圖5中的電容開路(open)，該第二晶片之第一金屬層墊321所接收訊號大小 V_{D1} ，將電路化簡後可以得到以下的近似式：

$$V_{D1} = \frac{(R_{M4} + R_{C22}) \parallel (R_{M3} + R_{C21})}{R_{M1} + (R_{M4} + R_{C22}) \parallel (R_{M3} + R_{C21})} \cdot \frac{R_{C21}}{R_{M3} + R_{C21}} \cdot V_{U1} + \left[\frac{R_{M1}}{R_{M1} + (R_{M4} + R_{C22}) \parallel (R_{M3} + R_{C21})} \cdot \frac{R_{C21}}{R_{M3} + R_{C21}} + \frac{R_{M3}}{R_{M3} + R_{C21}} \right] \cdot V_{U2}$$

其中， $R_{M1} \triangleq \frac{R_{C11} \cdot R_{C12}}{R_{C11} + R_{C12} + R_{D12}}$ ， $R_{M3} \triangleq \frac{R_{C11} \cdot R_{D12}}{R_{C11} + R_{C12} + R_{D12}}$ ，

$R_{M4} \triangleq \frac{R_{D12} \cdot R_{C11}}{R_{C11} + R_{C12} + R_{D12}}$ ， R_{C11} 為該第一晶片之第一金屬層墊

311與該第二晶片之第一金屬層墊321之間的等效電阻， R_{C12} 為該第一晶片之第一金屬層墊311與該第二晶片之第二金屬層墊323之間的等效電阻， R_{D12} 為該第二晶片之第一金屬層墊321與該第二晶片之第二金屬層墊323之間的等效電阻， R_{C21} 為該第一晶片之第二金屬層墊313與該第二晶片之第一金屬層墊321之間的等效電阻， R_{C22} 為該第

一晶片之第二金屬層墊313與該第二晶片之第二金屬層墊323之間的等效電阻。

根據以上的式子適當地設計對應的 w 、 s 、 t 以及 ρ ，就可以使得 V_{U1} 對 V_{D1} 的影響遠大於 V_{U2} 對 V_{D1} 的影響。例如在 $\rho = 333 \text{ ohm} \cdot \text{cm}$ ； $w = 30 \mu\text{m}$ ， $s = t = 2 \mu\text{m}$ 的條件之下，可以得到 $V_{D1} \approx 0.94V_{U1} + 0.06V_{U2}$ 。

換言之，依照本發明之技術，可以根據規格來彈性設計所需求的參數：當需要高速的傳輸時，可以使用較小電阻係數的共同傳輸層材質以及較小的厚度；反之，若是需要低功耗、低漏電的設計，則可加大金屬層墊之間的間距，增加相鄰金屬層墊的電阻值。

表一為各種3D傳輸技術的綜合比較，根據訊號傳送接收能力、晶片間傳輸密度、應力問題、功率消耗、訊號雜訊比以及後製程來作為比較。

由表一可知，本發明具備短距的訊號傳送接收能力，雖然因為共同傳導使相鄰通道有干擾現象，但在適當安排參數的設計之下仍可保有高的訊號雜訊比。此外，本發明可擺放大量金屬層墊，使晶片間具有高傳輸密度。同時，本發明沒有應力上的問題，設計上不需要浪費金屬層加強應力。本發明使用導電材質將晶片直接黏結，不需要其它後製程。雖然在操作上有靜態電流的消耗，但是在使用適電的導電材質參數下，共用傳導層的靜態電流相較於晶片本身的靜態電流消耗可以說是微乎其微。

表一

	打線	覆晶錫焊球	耦合	本發明
訊號傳送 接收能力	點對點、 長距	點對點、短距	點對點、 短距、有干 擾	共同傳導 層、短距、有 干擾
晶片間傳 輸密度	低	高	中	高
應力問題	有	有	無	無
功率消耗	長導線	佳	需偏壓電 流	有靜態電流
訊號雜訊 比	極佳	極佳	佳	佳
後製程	少	繁複	極少	極少

本發明適用於非交錯與交錯排列方式。在相同的通道下，交錯排列與非交錯的表現相當，如此一來在更複雜、更多訊號的需求下，本發明可以有彈性的排列方式，不會因為不同的排列造成效能的下降。圖9及圖10分別是五對及九對金屬層墊的交錯排列示意圖。

由前述可知，本發明所提出的使用共用傳導層傳送晶片間多重信號系統，使用導電介質如導電膠，將晶片與晶片黏合並形成傳導層。不同於傳統所使用點對點的輸入輸出埠，使用共用傳導層傳送晶片間多重信號機制是直接將訊號從傳送端傳入共用傳導層，再由接收端在共用傳導層選取接受所需要的訊號。相較於現有3D IC的堆疊技術，共用傳導層直接傳輸之3D IC堆疊技術具備多項特色：電路設計容易，不須為克服應力使用多層金屬

層製作金屬層墊。較小晶片間距、可使用高密度連線。直接使用導電介質黏合，完全不需繁複且昂貴的後製程處理。

由上述可知，本發明無論就目的、手段及功效，在在均顯示其迥異於習知技術之特徵，極具實用價值。惟應注意的是，上述諸多實施例僅係為了便於說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係一習知打線連接的立體堆疊晶片之示意圖。

圖2係一習知覆晶錫焊球連接的立體堆疊晶片之示意圖。

圖3係本發明使用共用傳導層傳送晶片間多重信號之系統的示意圖。

圖4係本發明使用共用傳導層傳送晶片間多重信號之系統之簡化示意圖。

圖5係本發明共用傳導層傳送晶片間多重信號等效網路電路圖。

圖6係本發明面對面的路徑電阻之示意圖。

圖7係本發明同層的漏電路徑電阻之示意圖。

圖8係本發明其它干擾訊號的路徑電阻之示意圖。

圖9及圖10分別是五對及九對金屬層墊的交錯排列示意圖。

【主要元件符號說明】

使用共用傳導層傳送晶片間多重信號之系統300

第一晶片310

第二晶片320

共用傳導層330

第一晶片之第一金屬層墊311

第一晶片之第二金屬層墊313

第二晶片之第一金屬層墊321

第二晶片之第二金屬層墊323

訊號 V_{U1} 、 V_{U2} 、 V_{D1} 、 V_{D2}

七、申請專利範圍：

1. 一種使用共用傳導層傳送晶片間多重信號之系統，包括：

一第一晶片，其至少具有一第一金屬層墊及一第二金屬層墊；

一第二晶片，其至少具有一第一金屬層墊及一第二金屬層墊；以及一共用傳導層，其為導電材料，該共用傳導層直接黏合該第一晶片及該第二晶片，其中，該第二晶片之第一金屬層墊係對齊該第一晶片之第一金屬層墊，以透過該共用傳導層而接收來自該第一晶片之第一金屬層墊之訊號，而不受來自其它該第一晶片及第二晶片之金屬層墊之訊號的影響。

2. 如申請專利範圍第1項所述之使用共用傳導層傳送晶片間多重信號之系統，其中，該第一晶片及該第二晶片係分別位於該共用傳導層的上方及下方。

3. 如申請專利範圍第2項所述之使用共用傳導層傳送晶片間多重信號之系統，其中，該第一晶片將訊號經由該第一金屬層墊及該第二金屬層墊傳入該共用傳導層，該第二晶片由該第二晶片之第一金屬層墊及第二金屬層墊從該共用傳導層接收訊號。

4. 如申請專利範圍第3項所述之使用共用傳導層傳送晶片間多重信號之系統，其中，該第二晶片之第一金屬層墊所接收訊號大小係為該等金屬層墊大小、該等金屬層墊間距、共用傳導層厚度及該等金屬層墊的排列方式之函數。

5. 如申請專利範圍第4項所述之使用共用傳導層傳送晶片間多重信號之系統，其中，該第二晶片之第一金屬層墊所接收訊號大小可表示為：

$$V_{D1} = \alpha(\rho, w, s, t) \cdot V_{U1} + \beta(\rho, w, s, t) \cdot V_{U2} ,$$

當中， V_{D1} 為該第二晶片之第一金屬層墊所接收訊號大小， V_{U1} 為該第一晶片之第一金屬層墊所傳送訊號大小， V_{U2} 為該第一晶片之第二金屬層墊所傳送訊號大小， α 、 β 為比值， w 為該等金屬層墊大小、 s 為該等金屬層墊間距、 t 為該共用傳導層厚度， ρ 為該共用傳導層的電阻係數。

6. 如申請專利範圍第5項所述之使用共用傳導層傳送晶片間多重信號之系統，其中，該第二晶片之第一金屬層墊所接收訊號大小可表示為近似式：

$$V_{D1} = \frac{(R_{M4} + R_{C22}) \parallel (R_{M3} + R_{C21})}{R_{M1} + (R_{M4} + R_{C22}) \parallel (R_{M3} + R_{C21})} \cdot \frac{R_{C21}}{R_{M3} + R_{C21}} \cdot V_{U1} + \left[\frac{R_{M1}}{R_{M1} + (R_{M4} + R_{C22}) \parallel (R_{M3} + R_{C21})} \cdot \frac{R_{C21}}{R_{M3} + R_{C21}} + \frac{R_{M3}}{R_{M3} + R_{C21}} \right] \cdot V_{U2}$$

其中， $R_{M1} \triangleq \frac{R_{C11} \cdot R_{C12}}{R_{C11} + R_{C12} + R_{D12}}$ ， $R_{M3} \triangleq \frac{R_{C11} \cdot R_{D12}}{R_{C11} + R_{C12} + R_{D12}}$ ，

$R_{M4} \triangleq \frac{R_{D12} \cdot R_{C11}}{R_{C11} + R_{C12} + R_{D12}}$ ， R_{C11} 為該第一晶片之第一金屬層墊

與該第二晶片之第一金屬層墊之間的等效電阻， R_{C12} 為該第一晶片之第一金屬層墊與該第二晶片之第二金屬層墊之間的等效電阻， R_{D12} 為該第二晶片之第一金屬層墊與該第二晶片之第二金屬層墊之間的等效電阻， R_{C21} 為該第一晶片之第二金屬層墊與該第二晶片之第一金屬層墊之間

的等效電阻， R_{C22} 為該第一晶片之第二金屬層墊與該第二晶片之第二金屬層墊之間的等效電阻。

八、圖式 (請見下頁)：

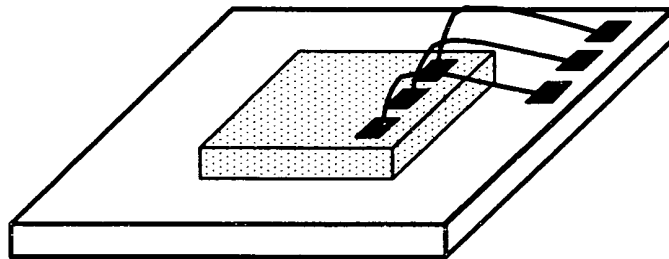


圖 1

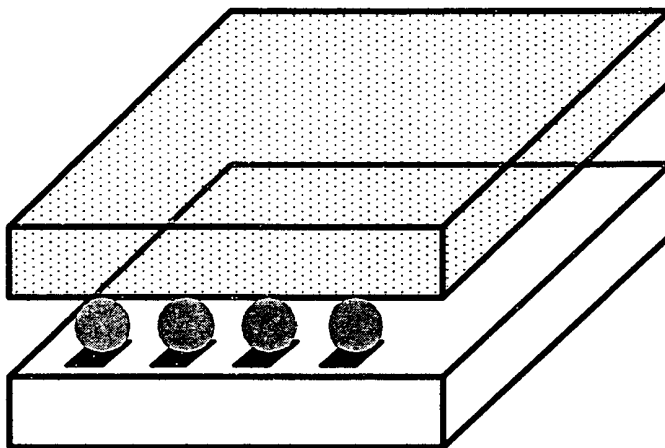


圖 2

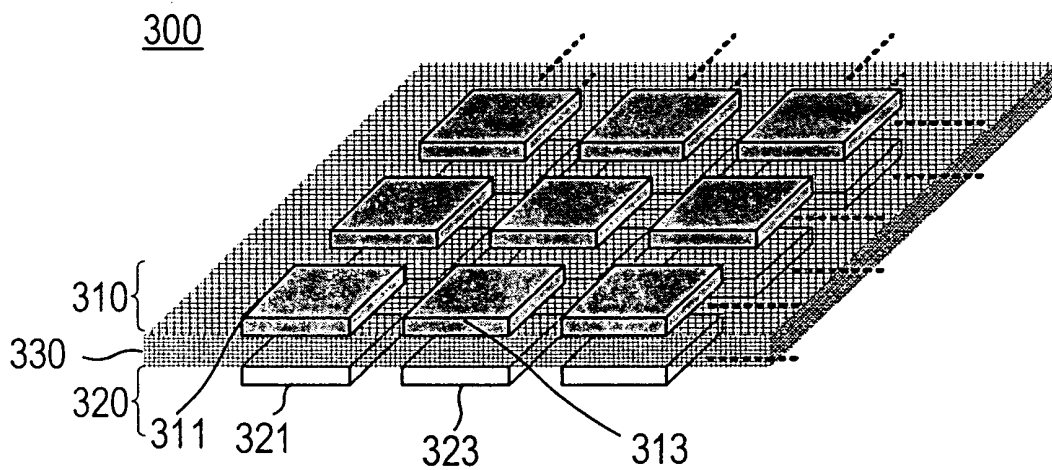


圖 3

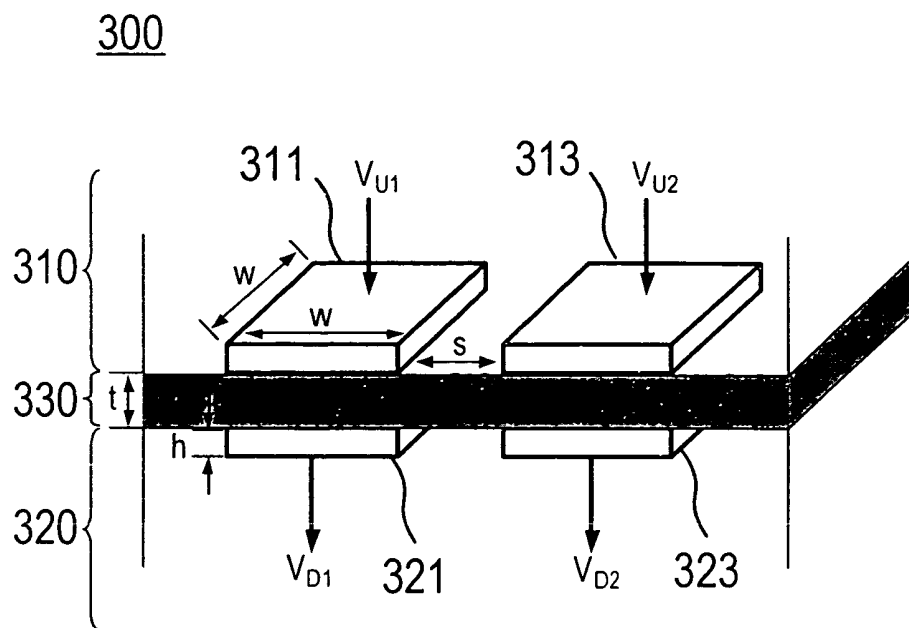


圖 4

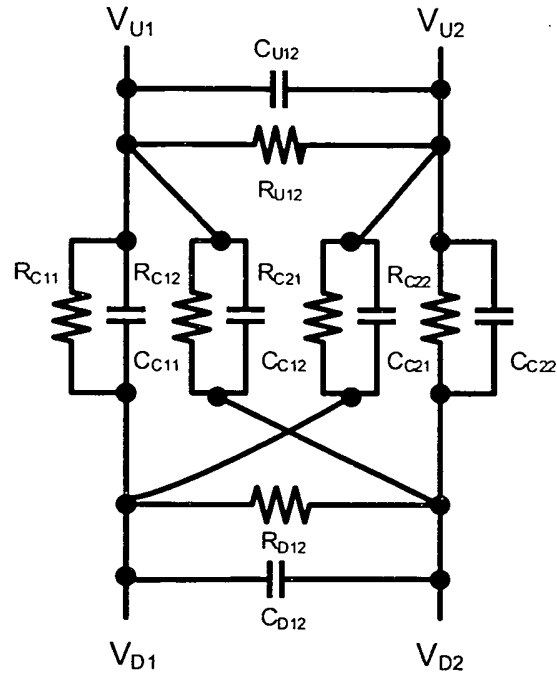


圖 5

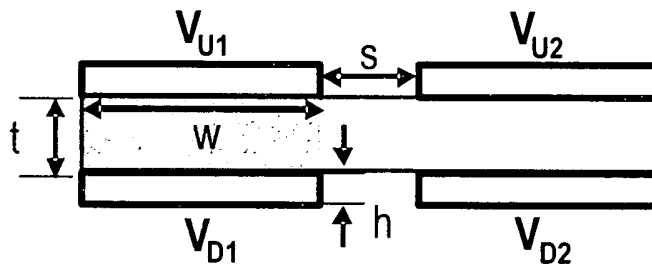


圖 6

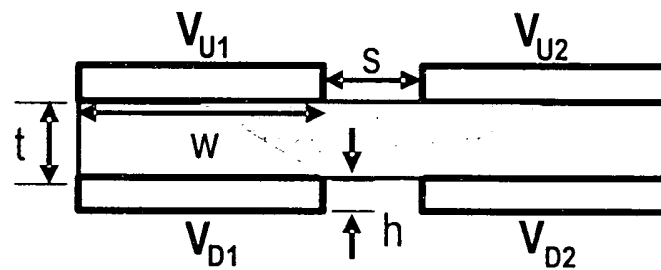


圖 7

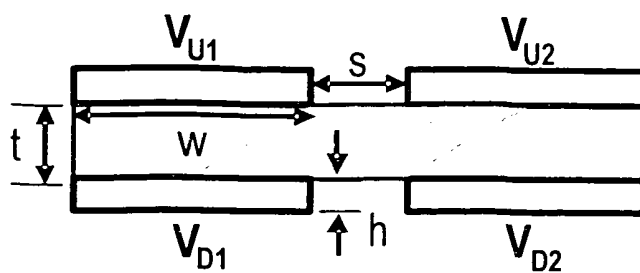


圖 8

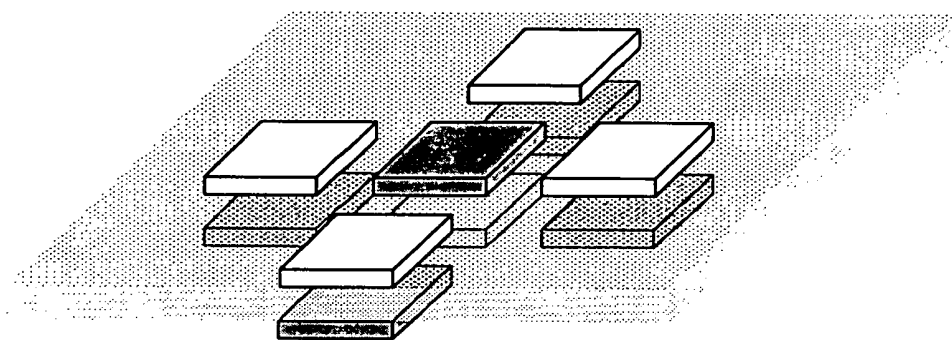


圖 9

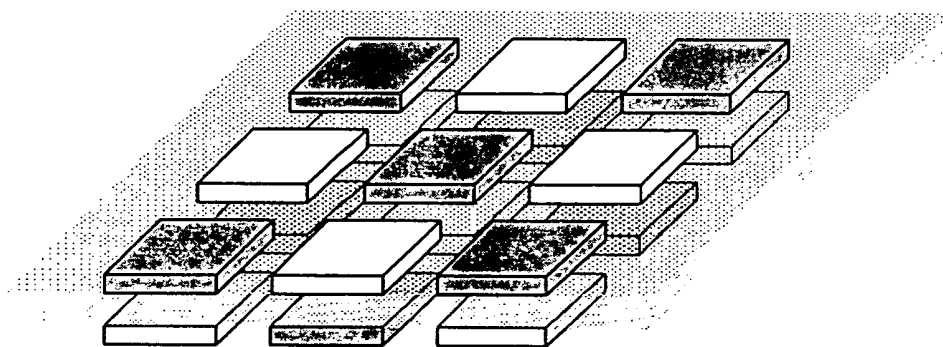
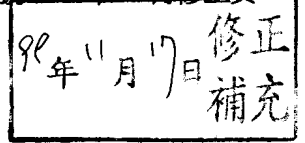


圖 10



四、指定代表圖：

(一)本案指定代表圖為：圖 3。

(二)本代表圖之元件符號簡單說明：

使用共用傳導層傳送晶片間多重信號之系統 300

第一晶片 310

第二晶片 320

共用傳導層 330

第一晶片之第一金屬層墊 311 第一晶片之第二金屬層墊 313

第二晶片之第一金屬層墊 321 第二晶片之第二金屬層墊 323

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於晶片間訊號傳輸之技術領域，尤指一種使用共用傳導層傳送晶片間多重信號之系統。

【先前技術】

隨著網路、數位多媒體等消費性產品的快速發展，單晶片系統(SoC)需將多個模組整合至同一晶片中，因此單晶片系統(SoC)設計的複雜度也隨之急速提高。單晶片系統(SoC)的理念發展至此面對了許多的困難，例如：隨著複雜度而增大的晶片面積、晶片的參數漂移、以及不同製程技術整合上的困難等，上述幾種因素是造成良率無法提昇的主要原因。同時，由於近年來晶片封裝技術的持續進步，單晶片系統(SoC)整合已然由平面的整合轉進立體堆疊晶片(3D IC)技術。立體堆疊晶片(3D IC)技術儼然成為今日積體電路產業延續遵循摩爾定律(Moore's Law)最可能的選項之一。

現今發展的立體堆疊晶片(3D IC)技術，是在封裝的階段使用於不同製程的晶片疊合，達到所謂的異質晶片整合。立體堆疊晶片(3D IC)技術乃是透過將多顆晶片進行三維空間垂直整合，以達到尺寸精簡的最佳效益。與現有平面的晶片整合有所不同，立體堆疊晶片(3D IC)技術由於採取上下導通的架構，因此電晶體間的連接長度及延遲時間均較傳統二維電路明顯縮短，同時提升晶片