



(21)申請案號：099136530

(22)申請日：中華民國 99 (2010) 年 10 月 26 日

(51)Int. Cl. : G06F7/548 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：許騰尹 HSU, TERNG YIN (TW) ; 賴煒棋 LAI, WEI CHI (TW)

(74)代理人：林火泉

申請實體審查：有 申請專利範圍項數：18 項 圖式數：3 共 15 頁

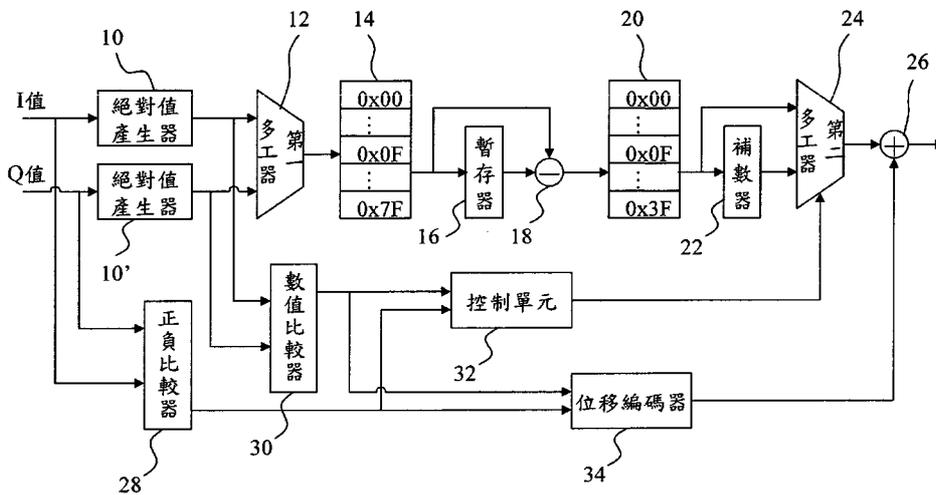
(54)名稱

低延遲時間之餘切硬體結構及其計算方法

A LOW-LATENCY ARC-TANGENT STRUCTURE AND CALCULATING METHOD THEREOF

(57)摘要

本發明提供一種低延遲時間之餘切硬體結構及其計算方法，其包括二對照表、一減法器、一正負比較器、一數值比較器、及一位移編碼器，本發明將座標系統分成複數等份並對應對照表，第一對照表做對數之轉換，以將除法器改為使用減法器，而第二對照表整合指數及餘切角度，可將減法器之結果轉換成餘切之角度 θ ，接著依據位移編碼器可將角度 θ 移到正確的角度。



10：絕對值產生器

10'：絕對值產生器

12：第一多工器

14：第一對照表

16：暫存器

18：減法器

20：第二對照表

22：補數器

24：第二多工器

26：加法器

28：正負比較器

30：數值比較器

32：控制單元

34：位移編碼器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99136930

※ 申請日： 99.10.28 ※IPC 分類： G-6F 7/548 (2006.01)

一、發明名稱：(中文/英文)

低延遲時間之餘切硬體結構及其計算方法 / A low-latency arc-tangent structure and calculating method thereof

二、中文發明摘要：

本發明提供一種低延遲時間之餘切硬體結構及其計算方法，其包括二對照表、一減法器、一正負比較器、一數值比較器、及一位移編碼器，本發明將座標系統分成複數等份並對應對照表，第一對照表做對數之轉換，以將除法器改為使用減法器，而第二對照表整合指數及餘切角度，可將減法器之結果轉換成餘切之角度 θ ，接著依據位移編碼器可將角度 θ 移到正確的角度。

三、英文發明摘要：

The present invention provides a low-latency arc-tangent structure and calculating method thereof. The arc-tangent structure comprises two LUTs, a subtrator, a sign comparator, a numerical comparator and a shift encoder. The present invention break up the coordinate system into several quadrants for simplifying LUTs. The first LUT is used for logarithm transformation; it can transfer a divider into a subtrator. The second LUT is for the exponential and arc-tangent table, which can translate the result of subtrator into the θ . Then according to the shift encoder, the θ will be shifted to the correct one.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10、10'	絕對值產生器	12	第一多工器
14	第一對照表	16	暫存器
18	減法器	20	第二對照表
22	補數器	24	第二多工器
26	加法器	28	正負比較器
30	數值比較器	32	控制單元
34	位移編碼器		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種計算餘切之方法，特別是指一種不需除法器、低延遲時間之餘切硬體結構及其計算方法。

【先前技術】

按，餘切 (arc-tangent) 函數為 $\tan^{-1}\left(\frac{y}{x}\right)$ ，目前已知的餘切角度之計算技術在硬體結構上大多需要一個除法器，將除法完之結果套到一對照表中找出角度為何，但除法器之體積很大，造成硬體的複雜度與面積都會增加。

Volder 於 1959 年 IEEE 上發表了一篇相關的論文「The CORDIC Trigonometric Computing Technique」，其中所揭露的 CORDIC 技術雖不需要除法器即可做餘切角度計算，但其技術特徵為先將座標系統分一半，比較該角度在哪一半，接著於那一半再分一半，以此類推，不斷的對半分直到得出結果，因此需重複好幾次對半分再判斷之週期，所需的等待時間太長，導致系統效能降低。

因此，本發明即提出一種低延遲時間之餘切硬體結構及其計算方法，以克服上述該等問題，具體架構及其實施方式將詳述於下。

【發明內容】

本發明之主要目的在提供一種低延遲時間之餘切硬體結構及其計算方法，其係將座標系統分成複數等份，只要確定角度在某一等份之範圍內，之後計算皆可排除其他等份之運算，減少所需要的對照表數量。

本發明之另一目的在提供一種低延遲時間之餘切硬體結構及其計算方法，其利用取對數之方式將除法器之計算轉化成減法器，進一步減少運算

時間及實做的複雜度。

為達上述之目的，本發明提供一種低延遲時間之餘切硬體結構，其包括用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，該硬體結構包括：二對照表，包含一第一對照表及一第二對照表；二多工器，分別對 I 值與 Q 值進行對數運算，並計算與二對照表比對之結果之正負；至少一比較器，判斷 I 值與 Q 值之正負及大小；一控制單元，判斷 I 值與 Q 值位於一座標系統中之哪一象限；一位移編碼器，依據比較器之輸出判斷應位移之角度；以及一加法器，將位移編碼器輸出之角度與多工器輸出之計算結果相加。

本發明另提供一種低延遲時間之餘切計算方法，包括下列步驟：利用至少一比較器判斷 I 值與 Q 值之正負及大小；利用二絕對值產生器分別將 I 值與 Q 值取絕對值；利用一第一對照表分別將 I 值與 Q 值取一對數，再利用一第二對照表將二對數之差值取指數及一餘切角度；利用一控制單元判斷 I 值與 Q 值位於座標系統中之哪一象限；依據控制單元之判斷結果，利用一多工器計算第二對照表之輸出應為正或負；一位移編碼器依據比較器之輸出判斷應位移之角度；以及將位移編碼器輸出之角度與多工器輸出之結果相加。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明提供一種低延遲時間之餘切硬體結構及其計算方法，其係基於餘切函數之特性，將座標系統分成複數等份，利用對數與指數之轉換使除法完全被減法所取代，找出該角度位於哪一等份之象限中，減少運算時間。

在本發明一實施例中，若將座標系統 X-Y 均分成八等份，每一等份為 45 度，則可將餘切函數表示為下式(1)：

$$\theta_i = \tan^{-1} \left(\frac{Q_i}{I_i} \right)$$

$$= \begin{cases} \tan^{-1} (e^{\log|Q_i| - \log|I_i|}) + 0^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, +\} \\ -\tan^{-1} (e^{\log|I_i| - \log|Q_i|}) + 90^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, +\} \\ \tan^{-1} (e^{\log|Q_i| - \log|I_i|}) + 180^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, -\} \\ -\tan^{-1} (e^{\log|I_i| - \log|Q_i|}) + 270^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, -\} \\ -\tan^{-1} (e^{\log|Q_i| - \log|I_i|}) + 360^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, -\} \\ \tan^{-1} (e^{\log|I_i| - \log|Q_i|}) + 270^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, -\} \\ -\tan^{-1} (e^{\log|Q_i| - \log|I_i|}) + 180^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, +\} \\ \tan^{-1} (e^{\log|I_i| - \log|Q_i|}) + 90^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, +\} \end{cases}$$

第 1 圖為本發明中用於運算餘切函數之硬體結構，用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，此硬體結構中包含二絕對值產生器 10、10'、一第一多工器 12、一第一對照表 14、一暫存器 16、一減法器 18、一第二對照表 20、一補數器 22、一第二多工器 24、一加法器 26、一正負比較器 28、一數值比較器 30、一控制單元 32 及一位移編碼器 34。

二絕對值產生器 10、10' 分別對 I 值及 Q 值取絕對值，再傳送至第一多工器 12 及第二比較器 30；第一多工器 12 分別對 I 值與 Q 值進行對數運算；第一對照表 14 為 I 值與 Q 值轉換成對數之依據，並將 I 值與 Q 值在第一對照表 14 中所轉換之對數儲存在暫存器 16 中；減法器 18 將第一對照表 14 中取對數之 I 值與 Q 值相減得到一差值；第二對照表 20 係將一指數對照表及一角度對照表整合，針對差值取指數，再將該指數進行餘切計算；補數器 22 用以給予一負號，因此第二對照表 20 之結果為正，而補數器 22 加上負號後，使第二多工器 24 同時得到正、負之輸入，再計算應取正或負的結果；正負比較器 28 及數值比較器 30 分別判斷 I 值與 Q 值之正負及數值之

大小，其中 I 值及 Q 值在未經過絕對值計算之前就先送至正負比較器 28，而經過絕對值後送至數值比較器 30，此二比較器 28、30 可為同一個比較器；控制單元 32 判斷 I 值與 Q 值位於一座標系統中之哪一象限，於本發明之一實施例中係將座標系統分為各 45 度之八個象限；位移編碼器 34 依據正負比較器 28 及數值比較器 30 之輸出判斷應位移之角度；加法器 26 將位移編碼器 34 輸出之角度與第二多工器 24 輸出之計算結果相加。

本發明之低延遲時間之餘切計算方法之流程如第 2 圖，當步驟 S10 中 X 軸之 I 值與 Y 軸之 Q 值進入後，步驟 S12 利用二絕對值產生器分別將 I 值與 Q 值取絕對值；步驟 S14 中將取絕對值後的 I 值與 Q 值在第一多工器中做對數運算，並在第一對照表中將其轉化成對數 $\log Q$ 及 $\log I$ ，儲存於暫存器中，同時，對數 $\log Q$ 及 $\log I$ 亦利用減法器相減得到差值 $\log Q - \log I$ ，再於步驟 S16 中利用一第二對照表將二對數之差值 $\log Q - \log I$ 取指數 $e^{\log Q - \log I}$ ，並找出其相對應之餘切角度資訊，送出之指數與角度資訊為正，而經過補數器後為負值，正、負值皆傳送到第二多工器中。

另一方面，步驟 S10 中 X 軸之 I 值與 Y 軸之 Q 值進入後，於步驟 S18 中利用至少一比較器判斷 I 值與 Q 值之正負及大小，於第 1 圖之實施例中係以正負比較器判斷 I 值與 Q 值之符號為正或負，再以數值比較器判斷取絕對值後的 I 值與 Q 值孰大孰小；由於本發明先將座標系統分割成複數等份，以每 45° 分割一份為例，共分成八個象限，步驟 S20 利用控制單元判斷 I 值與 Q 值位於座標系統中之哪一象限，亦即上式(1)中依據 $|I_i|$ 與 $|Q_i|$ 之大小及 $\{\text{sign}(I_i), \text{sign}(Q_i)\}$ 之正負，以供第二多工器決定餘切函數應為正或負，亦即 \tan^{-1} 是否要加上負號，同理，位移編碼器依據 $|I_i|$ 與 $|Q_i|$ 之大小及

$\{\text{sign}(I_i), \text{sign}(Q_i)\}$ 之正負可得知應位移之角度；最後，步驟 S20 將位移編碼器輸出之角度與第二多工器輸出之結果相加，可得到 (I_i, Q_i) 的餘切函數。

第 3 圖為將座標系統 X-Y 分成八等份之實施例示意圖，每一等份為 45° 之象限，由 X 軸為正、Y 軸為正逆時針分別為第一象限、第二象限、第八象限、第七象限、第三象限、第四象限、第六象限及第五象限，欲求 $\tan^{-1}\left(\frac{Q_i}{I_i}\right)$ ，由圖可知座標點 (I_i, Q_i) 中 I_i 為正， Q_i 為負，因此 $\{\text{sign}(I_i), \text{sign}(Q_i)\} = \{+, -\}$ 且 $|I_i| < |Q_i|$ ，此為第六象限，故位移角度為 270° ，餘切值為 $\tan^{-1}(e^{\log|I_i| - \log|Q_i|}) + 270^\circ$ 。

綜上所述，本發明提供之硬體結構及其計算方法係用以求餘切角度，除了以減法器取代除法器，可減少運算時間及硬體所佔面積之外，並將座標系統分成複數等份，僅需利用二對照表即可找出相對應的角度資訊，進一步減少運算之複雜度，提升系統效能。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為本發明低延遲時間之餘切硬體結構之方塊圖。

第 2 圖為本發明低延遲時間之餘切計算方法之流程圖。

第 3 圖將座標系統 X-Y 分成八等份求座標點 (I_i, Q_i) 之餘切函數之實施例示意圖。

【主要元件符號說明】

10、10' 絕對值產生器

- 12 第一多工器
- 14 第一對照表
- 16 暫存器
- 18 減法器
- 20 第二對照表
- 22 補數器
- 24 第二多工器
- 26 加法器
- 28 正負比較器
- 30 數值比較器
- 32 控制單元
- 34 位移編碼器

七、申請專利範圍：

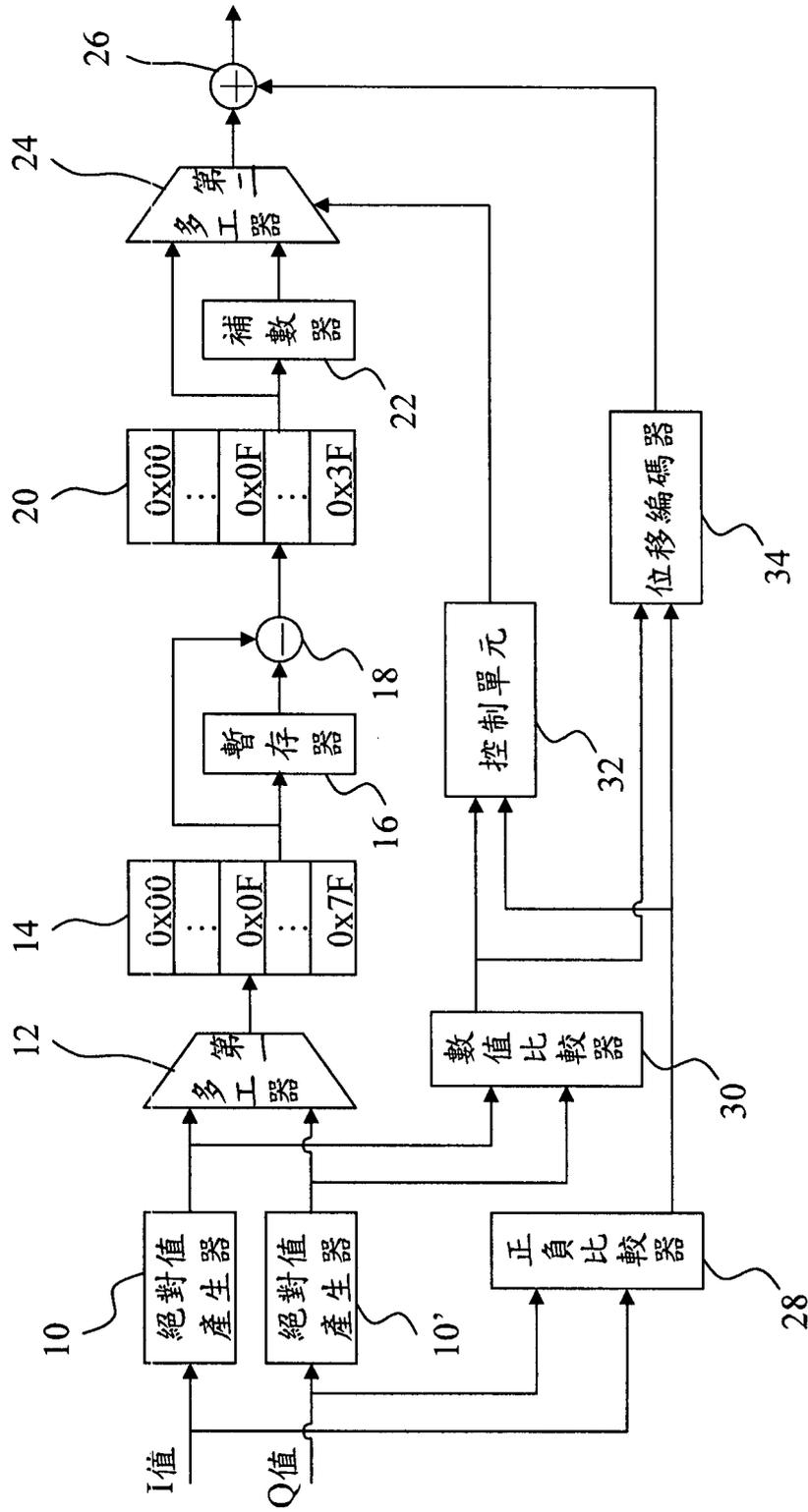
1. 一種低延遲時間之餘切硬體結構，用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，該硬體結構包括：
 - 二對照表，包含一第一對照表及一第二對照表；
 - 二多工器，分別對該 I 值與該 Q 值進行對數運算，並計算與該二對照表比對之結果之正負；
 - 至少一比較器，判斷該 I 值與該 Q 值之正負及大小；
 - 一控制單元，判斷該 I 值與該 Q 值位於一座標系統中之哪一象限；
 - 一位移編碼器，依據該等比較器之輸出判斷應位移之角度；以及
 - 一加法器，將該位移編碼器輸出之角度與該多工器輸出之計算結果相加。
2. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，更包括二絕對值產生器，將該 I 值與該 Q 值取絕對值再傳送至該多工器及該比較器。
3. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該比較器包含一正負比較器及一數值比較器，分別判斷該 I 值與該 Q 值之正負及數值之大小。
4. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該第一對照表係做為該 I 值與該 Q 值轉換成對數之依據。
5. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該第二對照表係將一指數對照表及一角度對照表整合。
6. 如申請專利範圍第 4 項所述之低延遲時間之餘切硬體結構，其中該第二對照表係針對該 I 值與該 Q 值取對數後之一差值取其指數，並將該指數取餘切。

7. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，更包括一暫存器，儲存該 I 值與該 Q 值在該第一對照表中所取得之結果。
8. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該等多工器包含一第一多工器及一第二多工器，該第一多工器係將經過絕對值之該 I 值與該 Q 值進行對數運算。
9. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，更包括一減法器，將該第一對照表中取對數之該 I 值與該 Q 值相減得到一差值。
10. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該第二多工器係依據該控制單元之輸出判斷該第二對照表之結果應為正值或負值。
11. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該控制單元係將該座標系統分為各 45 度之八個象限。
12. 一種低延遲時間之餘切計算方法，用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，包括下列步驟：
 - 利用至少一比較器判斷該 I 值與該 Q 值之正負及大小；
 - 利用二絕對值產生器分別將該 I 值與該 Q 值取絕對值；
 - 利用一第一對照表分別將該 I 值與該 Q 值取一對數，再利用一第二對照表將二該對數之一差值取指數及一餘切角度；
 - 利用一控制單元判斷該 I 值與該 Q 值位於一座標系統中之哪一象限；
 - 依據該控制單元之判斷結果，利用一多工器計算該第二對照表之輸出應為正或負，並利用一位移編碼器依據該等比較器之輸出判斷應位移之角度；以及

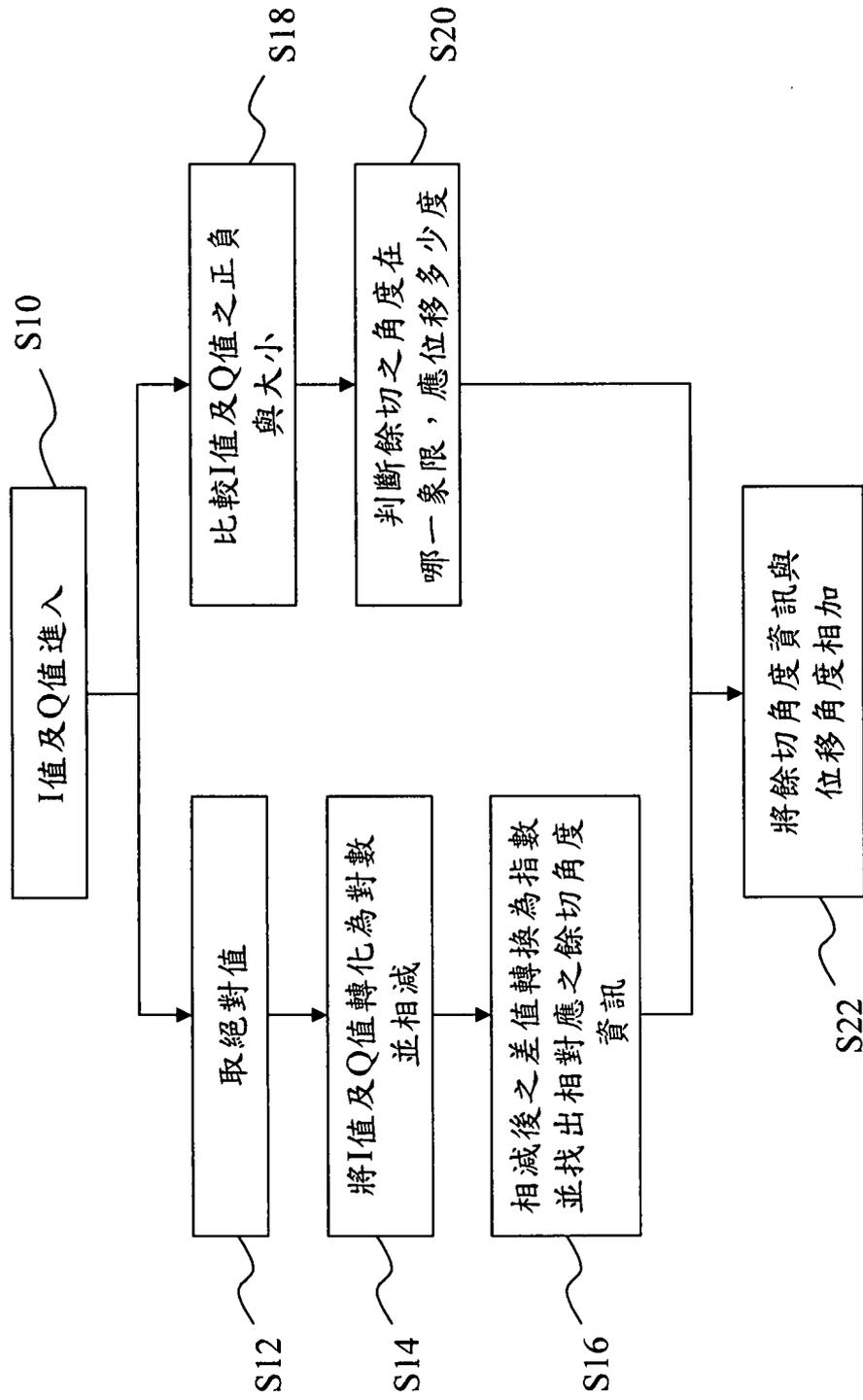
將該位移編碼器輸出之角度與該多工器輸出之結果相加。

- 13.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該比較器包含一正負比較器及一數值比較器，分別判斷該 I 值與該 Q 值之正負及數值之大小。
- 14.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該第二對照表係將一指數對照表及一角度對照表整合。
- 15.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，更包括利用一暫存器儲存該 I 值與該 Q 值在該第一對照表中所取得之結果。
- 16.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中二該對數之該差值係利用一減法器所得出，再將該差值傳送到該第二對照表。
- 17.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該 I 值與該 Q 值取絕對值後先經過一第一多工器進行對數運算，再傳送到該第一對照表。
- 18.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該控制單元係將該座標系統分為各 45 度之八個象限。

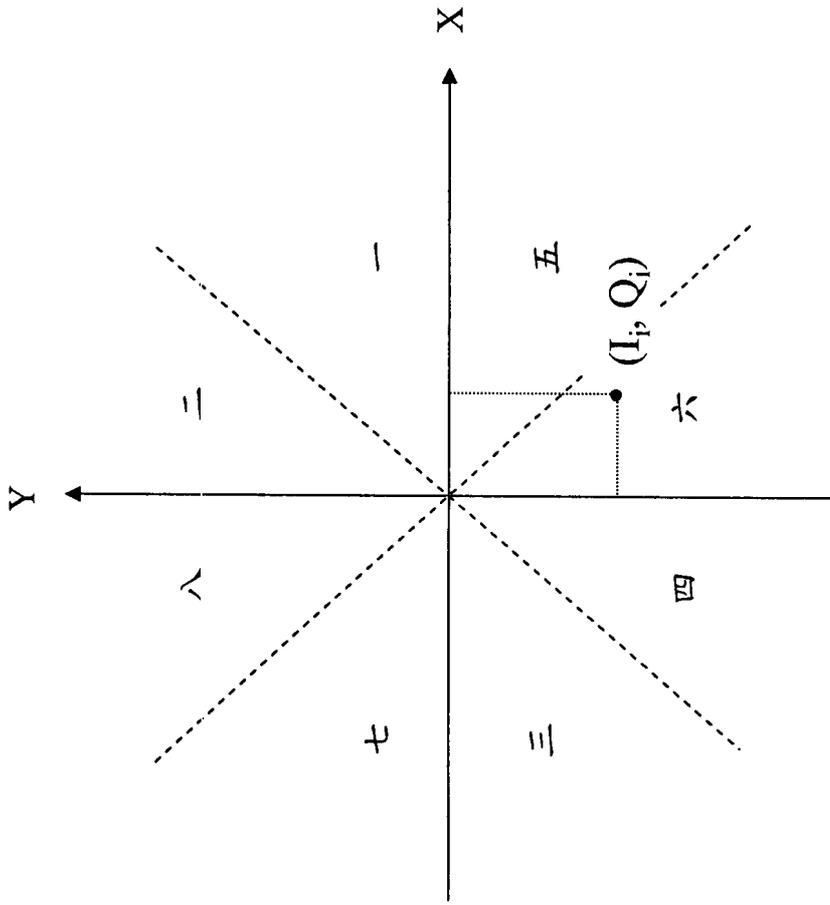
八、圖式：



第 1 圖



第 2 圖



第 3 圖

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種計算餘切之方法，特別是指一種不需除法器、低延遲時間之餘切硬體結構及其計算方法。

【先前技術】

按，餘切（arc-tangent）函數為 $\tan^{-1}\left(\frac{y}{x}\right)$ ，目前已知的餘切角度之計算技術在硬體結構上大多需要一個除法器，將除法完之結果套到一對照表中找出角度為何，但除法器之體積很大，造成硬體的複雜度與面積都會增加。

Volder 於 1959 年 IEEE 上發表了一篇相關的論文「The CORDIC Trigonometric Computing Technique」，其中所揭露的 CORDIC 技術雖不需要除法器即可做餘切角度計算，但其技術特徵為先將座標系統分一半，比較該角度在哪一半，接著於那一半再分一半，以此類推，不斷的對半分直到得出結果，因此需重複好幾次對半分再判斷之週期，所需的等待時間太長，導致系統效能降低。

因此，本發明即提出一種低延遲時間之餘切硬體結構及其計算方法，以克服上述該等問題，具體架構及其實施方式將詳述於下。

【發明內容】

本發明之主要目的在提供一種低延遲時間之餘切硬體結構及其計算方法，其係將座標系統分成複數等份，只要確定角度在某一等份之範圍內，之後計算皆可排除其他等份之運算，減少所需要的對照表數量。

本發明之另一目的在提供一種低延遲時間之餘切硬體結構及其計算方法，其利用取對數之方式將除法器之計算轉化成減法器，進一步減少運算

時間及實做的複雜度。

為達上述之目的，本發明提供一種低延遲時間之餘切硬體結構，其包括用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，該硬體結構包括：二對照表，包含一第一對照表及一第二對照表；二多工器，判斷 I 值與 Q 值何者先進入第一對照表中進行對數運算，並計算與二對照表比對之結果之正負；至少一比較器，判斷 I 值與 Q 值之正負及大小；一控制單元，判斷 I 值與 Q 值位於一座標系統中之哪一象限；一位移編碼器，依據比較器之輸出判斷應位移之角度；以及一加法器，將位移編碼器輸出之角度與多工器輸出之計算結果相加。

本發明另提供一種低延遲時間之餘切計算方法，包括下列步驟：利用至少一比較器判斷 I 值與 Q 值之正負及大小；利用二絕對值產生器分別將 I 值與 Q 值取絕對值；利用一第一對照表分別將 I 值與 Q 值取一對數，再利用一第二對照表將二對數之差值取指數及一餘切角度；利用一控制單元判斷 I 值與 Q 值位於座標系統中之哪一象限；依據控制單元之判斷結果，利用一多工器計算第二對照表之輸出應為正或負；一位移編碼器依據比較器之輸出判斷應位移之角度；以及將位移編碼器輸出之角度與多工器輸出之結果相加。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明提供一種低延遲時間之餘切硬體結構及其計算方法，其係基於餘切函數之特性，將座標系統分成複數等份，利用對數與指數之轉換使除

法完全被減法所取代，找出該角度位於哪一等份之象限中，減少運算時間。

在本發明一實施例中，若將座標系統 X-Y 均分成八等份，每一等份為 45 度，則可將餘切函數表示為下式(1)：

$$\theta_i = \tan^{-1}\left(\frac{Q_i}{I_i}\right)$$

$$= \begin{cases} \tan^{-1}(e^{\log|Q_i| - \log|I_i|}) + 0^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, +\} \\ -\tan^{-1}(e^{\log|I_i| - \log|Q_i|}) + 90^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, +\} \\ \tan^{-1}(e^{\log|Q_i| - \log|I_i|}) + 180^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, -\} \\ -\tan^{-1}(e^{\log|I_i| - \log|Q_i|}) + 270^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, -\} \\ -\tan^{-1}(e^{\log|Q_i| - \log|I_i|}) + 360^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, -\} \\ \tan^{-1}(e^{\log|I_i| - \log|Q_i|}) + 270^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{+, -\} \\ -\tan^{-1}(e^{\log|Q_i| - \log|I_i|}) + 180^\circ, & \text{where } |I_i| > |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, +\} \\ \tan^{-1}(e^{\log|I_i| - \log|Q_i|}) + 90^\circ, & \text{where } |I_i| < |Q_i| \text{ \& } \{sign(I_i), sign(Q_i)\} = \{-, +\} \end{cases}$$

第 1 圖為本發明中用於運算餘切函數之硬體結構，用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，此硬體結構中包含二絕對值產生器 10、10'、一第一多工器 12、一第一對照表 14、一暫存器 16、一減法器 18、一第二對照表 20、一補數器 22、一第二多工器 24、一加法器 26、一正負比較器 28、一數值比較器 30、一控制單元 32 及一位移編碼器 34。

二絕對值產生器 10、10' 分別對 I 值及 Q 值取絕對值，再傳送至第一多工器 12 及第二比較器 30；第一多工器 12 判斷 I 值與 Q 值何者先進入第一對照表 14；第一對照表 14 為 I 值與 Q 值轉換成對數之依據，並將 I 值與 Q 值在第一對照表 14 中所轉換之對數儲存在暫存器 16 中；減法器 18 將第一對照表 14 中取對數之 I 值與 Q 值相減得到一差值；第二對照表 20 係將一指數對照表及一角度對照表整合，針對差值取指數，再將該指數進行餘切計算；補數器 22 用以給予一負號，因此第二對照表 20 之結果為正，而補數器 22 加上負號後，使第二多工器 24 同時得到正、負之輸入，再計算應

取正或負的結果；正負比較器 28 及數值比較器 30 分別判斷 I 值與 Q 值之正負及數值之大小，其中 I 值及 Q 值在未經過絕對值計算之前就先送至正負比較器 28，而經過絕對值後送至數值比較器 30，此二比較器 28、30 可為同一個比較器；控制單元 32 判斷 I 值與 Q 值位於一座標系統中之哪一象限，於本發明之一實施例中係將座標系統分為各 45 度之八個象限；位移編碼器 34 依據正負比較器 28 及數值比較器 30 之輸出判斷應位移之角度；加法器 26 將位移編碼器 34 輸出之角度與第二多工器 24 輸出之計算結果相加。

本發明之低延遲時間之餘切計算方法之流程如第 2 圖，當步驟 S10 中 X 軸之 I 值與 Y 軸之 Q 值進入後，步驟 S12 利用二絕對值產生器分別將 I 值與 Q 值取絕對值；步驟 S14 中將取絕對值後的 I 值與 Q 值在第一多工器中判斷何者先進入第一對照表，並在第一對照表中將 I 值與 Q 值轉化成對數 $\log Q$ 及 $\log I$ ，儲存於暫存器中，同時，對數 $\log Q$ 及 $\log I$ 亦利用減法器相減得到差值 $\log Q - \log I$ 或 $\log I - \log Q$ ，再於步驟 S16 中利用第二對照表將二對數之差值 $\log Q - \log I$ 或 $\log I - \log Q$ 取指數 $e^{\log Q - \log I}$ 或 $e^{\log I - \log Q}$ ，並找出其相對應之餘切角度資訊，送出之指數與角度資訊為正，而經過補數器後為負值，正、負值皆傳送到第二多工器中。

另一方面，步驟 S10 中 X 軸之 I 值與 Y 軸之 Q 值進入後，於步驟 S18 中利用至少一比較器判斷 I 值與 Q 值之正負及大小，於第 1 圖之實施例中係以正負比較器判斷 I 值與 Q 值之符號為正或負，再以數值比較器判斷取絕對值後的 I 值與 Q 值孰大孰小；由於本發明先將座標系統分割成複數等份，以每 45° 分割一份為例，共分成八個象限，步驟 S20 利用控制單元判斷 I 值與 Q 值位於座標系統中之哪一象限，亦即上式(1)中依據 $|I|$ 與 $|Q|$ 之大小

及 $\{\text{sign}(I_i), \text{sign}(Q_i)\}$ 之正負，以供第二多工器決定餘切函數應為正或負，亦即 \tan^{-1} 是否要加上負號，同理，位移編碼器依據 $|I_i|$ 與 $|Q_i|$ 之大小及 $\{\text{sign}(I_i), \text{sign}(Q_i)\}$ 之正負可得知應位移之角度；最後，步驟S20將位移編碼器輸出之角度與第二多工器輸出之結果相加，可得到 (I_i, Q_i) 的餘切函數。

第3圖為將座標系統X-Y分成八等份之實施例示意圖，每一等份為 45° 之象限，由X軸為正、Y軸為正逆時針分別為第一象限、第二象限、第八象限、第七象限、第三象限、第四象限、第六象限及第五象限，欲求 $\tan^{-1}\left(\frac{Q_i}{I_i}\right)$ ，由圖可知座標點 (I_i, Q_i) 中 I_i 為正， Q_i 為負，因此 $\{\text{sign}(I_i), \text{sign}(Q_i)\} = \{+, -\}$ 且 $|I_i| < |Q_i|$ ，此為第六象限，故位移角度為 270° ，餘切值為 $\tan^{-1}(e^{\log|I_i| - \log|Q_i|}) + 270^\circ$ 。

綜上所述，本發明提供之硬體結構及其計算方法係用以求餘切角度，除了以減法器取代除法器，可減少運算時間及硬體所佔面積之外，並將座標系統分成複數等份，僅需利用二對照表即可找出相對應的角度資訊，進一步減少運算之複雜度，提升系統效能。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第1圖為本發明低延遲時間之餘切硬體結構之方塊圖。

第2圖為本發明低延遲時間之餘切計算方法之流程圖。

第3圖將座標系統X-Y分成八等份求座標點 (I_i, Q_i) 之餘切函數之實施例示意圖。

【主要元件符號說明】

- 10、10' 絕對值產生器
- 12 第一多工器
- 14 第一對照表
- 16 暫存器
- 18 減法器
- 20 第二對照表
- 22 補數器
- 24 第二多工器
- 26 加法器
- 28 正負比較器
- 30 數值比較器
- 32 控制單元
- 34 位移編碼器

七、申請專利範圍：

1. 一種低延遲時間之餘切硬體結構，用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，該硬體結構包括：
 - 二對照表，包含一第一對照表及一第二對照表；
 - 二多工器，分別判斷該 I 值與該 Q 值何者先進入該第一對照表進行對數運算，並計算與該二對照表比對之結果之正負；
 - 至少一比較器，判斷該 I 值與該 Q 值之正負及大小；
 - 一控制單元，判斷該 I 值與該 Q 值位於一座標系統中之哪一象限；
 - 一位移編碼器，依據該等比較器之輸出判斷應位移之角度；以及
 - 一加法器，將該位移編碼器輸出之角度與該多工器輸出之計算結果相加。
2. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，更包括二絕對值產生器，將該 I 值與該 Q 值取絕對值再傳送至該多工器及該比較器。
3. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該比較器包含一正負比較器及一數值比較器，分別判斷該 I 值與該 Q 值之正負及數值之大小。
4. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該第一對照表係做為該 I 值與該 Q 值轉換成對數之依據。
5. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該第二對照表係將一指數對照表及一角度對照表整合。
6. 如申請專利範圍第 4 項所述之低延遲時間之餘切硬體結構，其中該第二對照表係針對該 I 值與該 Q 值取對數後之一差值取其指數，並將該指數取餘切。

7. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，更包括一暫存器，儲存該 I 值與該 Q 值在該第一對照表中所取得之結果。
8. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該等多工器包含一第一多工器及一第二多工器，該第一多工器係判斷經過絕對值之該 I 值與該 Q 值何者先進入該第一對照表中。
9. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，更包括一減法器，將該第一對照表中取對數之該 I 值與該 Q 值相減得到一差值。
10. 如申請專利範圍第 8 項所述之低延遲時間之餘切硬體結構，其中該第二多工器係依據該控制單元之輸出判斷該第二對照表之結果應為正值或負值。
11. 如申請專利範圍第 1 項所述之低延遲時間之餘切硬體結構，其中該控制單元係將該座標系統分為各 45 度之八個象限。
12. 一種低延遲時間之餘切計算方法，用以將 X 軸之 I 值與 Y 軸之 Q 值進行餘切角度之計算，包括下列步驟：
 - 利用至少一比較器判斷該 I 值與該 Q 值之正負及大小；
 - 利用二絕對值產生器分別將該 I 值與該 Q 值取絕對值；
 - 利用一第一對照表分別將該 I 值與該 Q 值取一對數，再利用一第二對照表將二該對數之一差值取指數及一餘切角度；
 - 利用一控制單元判斷該 I 值與該 Q 值位於一座標系統中之哪一象限；
 - 依據該控制單元之判斷結果，利用一多工器計算該第二對照表之輸出應為正或負，並利用一位移編碼器依據該等比較器之輸出判斷應位移之角度；以及

將該位移編碼器輸出之角度與該多工器輸出之結果相加。

- 13.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該比較器包含一正負比較器及一數值比較器，分別判斷該 I 值與該 Q 值之正負及數值之大小。
- 14.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該第二對照表係將一指數對照表及一角度對照表整合。
- 15.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，更包括利用一暫存器儲存該 I 值與該 Q 值在該第一對照表中所取得之結果。
- 16.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中二該對數之該差值係利用一減法器所得出，再將該差值傳送到該第二對照表。
- 17.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該 I 值與該 Q 值取絕對值後先經過一第一多工器判斷先後順序，再依序傳送到該第一對照表。
- 18.如申請專利範圍第 12 項所述之低延遲時間之餘切計算方法，其中該控制單元係將該座標系統分為各 45 度之八個象限。