

(21) 申請案號：099134465

(22) 申請日：中華民國 99 (2010) 年 10 月 08 日

(51) Int. Cl. : H01L27/092 (2006.01)

H01L29/40 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：楊皓義 YANG, HAO I (TW) ; 莊景德 CHUANG, CHING TE (TW) ; 黃威 HWANG, WEI (US)

(74) 代理人：林火泉

申請實體審查：有 申請專利範圍項數：6 項 圖式數：7 共 21 頁

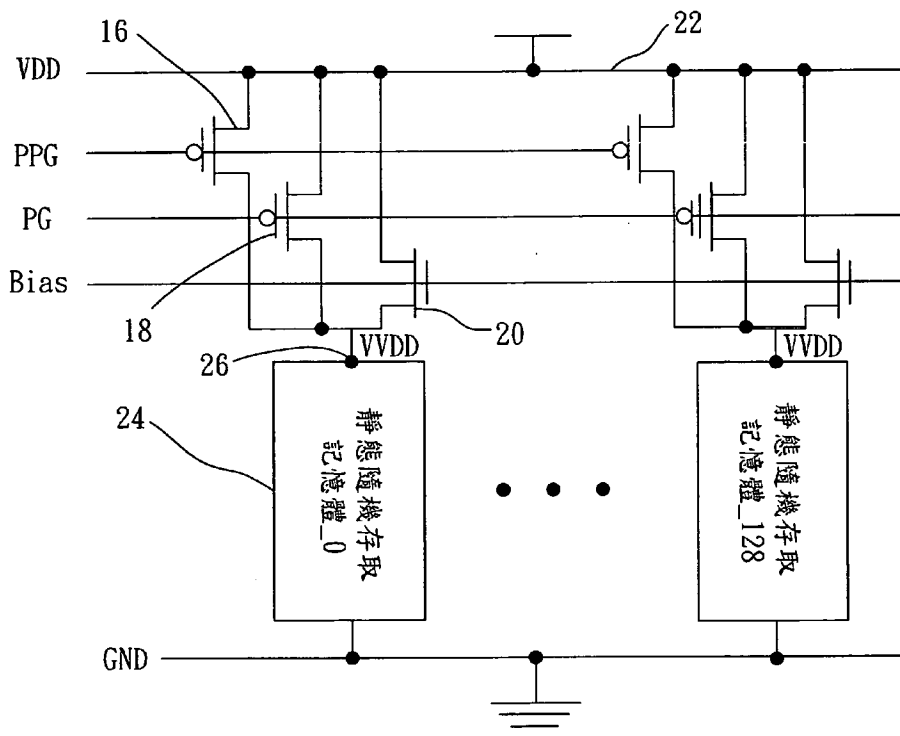
(54) 名稱

可容忍閘極崩毀之功率開結構

A POWER SWITCH STRUCTURE TO TOLERATE GATE-OXIDE BREAKDOWN

(57) 摘要

本發明提供一種可容忍閘極崩毀之功率開關結構，其連接於一靜態隨機存取記憶體，功率開結構包含第一互補式金氧半電晶體(CMOS)開關及第二互補式金氧半電晶體(CMOS)開關，兩者為不同閘極厚度或不同臨界電壓，利用正常閘極厚度或正常臨界電壓提供靜態隨機存取記憶體從睡眠模式或待機模式切換至啟動模式所需之電流；利用較厚的閘極厚度或較高臨界電壓提供予靜態隨機存取記憶體在工作模式所需之電流，藉以避免功率開關閘極崩毀的發生，進而影響靜態隨機存取記憶體的雜訊增益邊界、穩定性與效能。



- 16：第一互補式金氧半電晶體開關
- 18：第二互補式金氧半電晶體開關
- 20：第三互補式金氧半電晶體開關
- 22：第一電壓源
- 24：靜態隨機存取記憶體
- 26：第二電壓源

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99134465

HOIL 27/09242006.01

※申請日： 09.10.03

※IPC 分類：

HOIL 29/40
I2006.01

一、發明名稱：(中文/英文)

可容忍閘極崩毀之功率閘結構 / A power switch structure to tolerate gate-oxide breakdown

二、中文發明摘要：

本發明提供一種可容忍閘極崩毀之功率開關結構，其連接於一靜態隨機存取記憶體，功率閘結構包含第一互補式金氧半電晶體 (CMOS) 開關及第二互補式金氧半電晶體 (CMOS) 開關，兩者為不同閘極厚度或不同臨界電壓，利用正常閘極厚度或正常臨界電壓提供靜態隨機存取記憶體從睡眠模式或待機模式切換至啟動模式所需之電流；利用較厚的閘極厚度或較高臨界電壓提供予靜態隨機存取記憶體在工作模式所需之電流，藉以避免功率開關閘極崩毀的發生，進而影響靜態隨機存取記憶體的雜訊增益邊界、穩定性與效能。

三、英文發明摘要：

The present invention proposes a power switch structure that connects a static random access memory to tolerate gate-oxide breakdown. The power-switch structure comprising a first Complementary Metal Oxide Semiconductor (CMOS) switch and a second CMOS switch, the two transistors have different gate-oxide thickness or threshold voltages. Therefore, utilization of regular gate-oxide thickness or regular threshold voltages provide the needed current that static random access memory (SRAM) switch from sleep mode or standby mode to active mode; utilization of thicker gate-oxide thickness or higher threshold voltages provide the SRAM active mode current. So as to avoid the gate-oxide breakdowns of the power-switches which promote the margin, stability, and performance of the SRAM.

四、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

- 16 第一互補式金氧半電晶體開關
- 18 第二互補式金氧半電晶體開關
- 20 第三互補式金氧半電晶體開關
- 22 第一電壓源
- 24 靜態隨機存取記憶體
- 26 第二電壓源

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種可容忍閘極崩毀之功率開關結構，應用於靜態隨機存取記憶體，特別是指一種使用兩種不同閘極厚度或不同臨界電壓的功率開關以避免發生功率閘崩毀效應。

【先前技術】

由於各類硬體、通訊、消費性電子產品及微處理器都須要嵌入式記憶體做為資料儲存設備。目前大部分先進的靜態隨機存取記憶體 (SRAM) 設計使用功率閘架構降低當 SRAM 的待機和睡眠模式的漏電流功率消耗。如第 1 圖所示，頭部功率閘架構包含一 P 型電晶體 10 及一 N 型電晶體 12，其中 P 型電晶體 10 之源極及 N 型電晶體 12 之汲極係連接一電壓源 (VDD)，P 型電晶體 10 之汲極及 N 型電晶體 12 之源極連接至一 SRAM 的單元陣列 14 之電壓端 (VVDD)，單元陣列 14 之另一端連接至接地 (GND)。P 型電晶體 10 之閘極係接收一控制訊號 (HPG)，若控制訊號為低準位，P 型電晶體 10 呈現導通狀態，VDD 可藉 P 型電晶體 10 將 VVDD 充電到與 VDD 相同的準位，此時單元陣列 14 為可供讀寫狀態。若 P 型電晶體 10 接收之控制訊號為高準位時，則其為截止狀態，單元陣列 14 之 VVDD 的電壓準位將較 N 型電晶體 12 的閘級 (Bias) 電位再低一 N 型電晶體臨界電壓準位，此時單元陣列 14 為待機狀態或睡眠狀態，P 型電晶體 10 能將大部份單元陣列 14 的電流關閉，大幅降低晶片的功率消耗。N 型電晶體開關 12 係用以穩定單元陣列 14 上的電壓，以避免單元陣列 14 發生不正常運作現象。

然而，隨著互補式金氧半電晶體 (CMOS) 製程微縮，閘極的厚度愈薄，

但是電源供應器的電壓確相對地保持不變，由於供應電源持續充放電而導致高閘極電場現象，進而使閘極崩毀 (breakdown, BD) 極易發生，因此閘極崩毀成為 100 奈米以下設計的主要考量之一。當功率開關的閘極崩毀，甚至損壞發生時，將嚴重影響 SRAM 的雜訊增益邊界、穩定性與效能，導致產品的可靠度降低。請一併參閱第 1 圖、第 2 圖及第 3 圖，於第 2 圖中，當 SRAM 在正常地工作狀態，正常 P 型電晶體 10 於導通時，提供電壓為 0.9 伏特 (V_{VDD}) 予單元陣列 14 進行運作 (active)。當 P 型電晶體 10 之閘極崩毀現象發生後，P 型電晶體 10 之閘極至汲極形成一等效電阻 (equivalence resistance)，若等效電阻之電阻值愈大，例如電阻值為 10^8 歐姆 (Ω)，則仍可提供電壓約為 0.9 伏特，因此影響較小；反之，閘極崩毀現象愈嚴重，則等效電阻之電阻值愈小，例如電阻值為 10^4 歐姆 (Ω)，則僅能提供電壓約為 0.1 伏特，進而嚴重影響 SRAM 的雜訊增益邊界、穩定性與效能，由此可知，P 型電晶體 10 之閘極崩毀現象會嚴重影響 SRAM 是否正常運作。再如第 3 圖，當 SRAM 在待機狀態或睡眠狀態，正常 P 型電晶體 10 係為截止狀態，不會提供任何電壓予單元陣列 14 運作，此時單元陣列 14 為待機狀態 (standby)。當 P 型電晶體 10 之閘極崩毀現象發生後，則 P 型電晶體 10 之閘極至汲極猶如形成一等效電阻，由第 3 圖中可得知，隨著等效電阻之電阻值愈小，SRAM 的單元陣列 14 的 V_{VDD} 電位越高，使單元陣列 14 上的漏電流增加而增加 SRAM 功率消耗。

有鑑於此，本發明遂針對上述習知技術之缺失，提出一種可容忍閘極崩毀之功率開關結構，以有效克服上述之該等問題。

【發明內容】

本發明之主要目的在提供一種可容忍閘極崩毀之功率閘結構，係解決靜態隨機存取記憶體受到功率閘的閘極崩毀或損壞，導致運作不正常或影響容忍度、穩定性和性能。

本發明之另一目的在提供一種可容忍閘極崩毀之功率閘結構，用以提高功率開關的介電質擊穿時間同時維持其性能，進而可延長功率開關的使用壽命。

為達上述之目的，本發明提供一種可容忍閘極崩毀之功率閘結構，係連接於一靜態隨機存取記憶體，功率開關結構包括一第一互補式金氧半電晶體開關，係連接一電壓源，第一互補式金氧半電晶體開關接收一第一控制訊號，呈暫時導通狀態，以提供電壓源予靜態隨機存取記憶體進行運作；及一第二互補式金氧半電晶體開關，係連接電壓源，第二互補式金氧半電晶體開關接收一第二控制訊號，並在第一互補式金氧半電晶體開關之導通狀態結束後，呈現導通狀態，進而提供該電壓源予靜態隨機存取記憶體進行運作，且第一互補式金氧半電晶體開關、第二互補式金氧半電晶體開關呈導通狀態時，第一互補式金氧半電晶體開關之閘極電場係大於第二互補式金氧半電晶體開關。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

如第 4 圖所示，功率開關結構係應用於靜態隨機存取記憶體，在此以包含 128×128 位元的靜態隨機存取記憶體的單元陣列架構為例，功率開關結構包括一第一互補式金氧半電晶體開關 16、一第二互補式金氧半電晶體

開關 18 及一第三互補式金氧半電晶體開關 20。第一互補式金氧半電晶體開關 16 之源極及汲極分別連接至一第一電壓源 (VDD) 22 及靜態隨機存取記憶體 24 之一第二電壓源 26 (VVDD)，第一互補式金氧半電晶體開關 16 之閘極係用以接收一第一控制訊號 (RPG)，若第一控制訊號為低準位，則第一開關 16 呈現暫時導通狀態，以連結第一電壓源 22 至第二電壓源 26 使第二電壓源 26 可以並快速充電，其中靜態隨機存取記憶體 24 之另一端係連接至一接地 (GND)。第二互補式金氧半電晶體開關 18 之源極及汲極分別連接至第一電壓源 22 及靜態隨機存取記憶體 24 之第二電壓源 26，第二互補式金氧半電晶體開關 18 之閘極係用以接收一第二控制訊號 (PG)，並在第一互補式金氧半電晶體開關 16 之導通狀態結束後，呈現導通狀態，進而提供第一電壓源 22 至第二電壓源 26 予靜態隨機存取記憶體 24 進行運作，且第一互補式金氧半電晶體開關 16、第二互補式金氧半電晶體開關 18 呈導通狀態時，第一互補式金氧半電晶體開關 16 之閘極電場 (E_{ox}) 係大於第二互補式金氧半電晶體開關 18。電晶體 20 可為 N 型電晶體或 P 型電晶體，係作為二極體 (diode) 使用，在此以 N 型電晶體為例，第三互補式金氧半電晶體開關 20 之汲極連接第一電壓源 22，第三互補式金氧半電晶體開關 20 之源極連接靜態隨機存取記憶體 24 之第二電壓源 26，第三互補式金氧半電晶體開關 20 之閘極係接收一穩壓控制訊號，用以穩定靜態隨機存取記憶體 24 上的電壓。

其中，第一互補式金氧半電晶體開關 16 及第二互補式金氧半電晶體開關 18 係為不同閘極厚度 (T_{ox}) 或為不同臨界電壓值 (V_{th})，為了克服互補式金氧半電晶體開關因閘極崩毀 (gate-oxide breakdown) 而影響靜態隨

機存取記憶體 24 之效能，或是互補式金氧半電晶體開關損壞後還能繼續正常操作，因此，本發明之第一互補式金氧半電晶體開關 16 係使用正常閘極厚度或是正常的臨界電壓值，第二互補式金氧半電晶體開關 18 係使用較厚的閘極厚度或是較高的臨界電壓值。其中第一互補式金氧半電晶體開關 16 係作為快速驅動靜態隨機存取記憶體 24 運作，第二互補式金氧半電晶體開關 18 係作為延長閘極崩毀的生命週期。由於跨在第一互補式金氧半電晶體開關 16 或第二互補式金氧半電晶體開關 18 之閘極上的電場 (E_{OX}) 是閘極電壓 (V_G) 減掉臨界電壓值 (V_{TH})，再除以閘極厚度 (T_{OX})，由於電場強度係決定於第一互補式金氧半電晶體開關 16 或第一互補式金氧半電晶體開關之生命週期，因此可以增加閘極厚度或提高臨界電壓值，即可降低電場強度，兼具避免互補式金氧半電晶體受到閘極崩毀的影響以及延長使用壽命之優點。

如第 5 圖所示，為兩種不同閘極厚度或臨界電壓值的互補式金氧半電晶體開關之生命週期曲線圖，當使用兩種不同閘極厚度 (Dual T_{OX})，一種為正常厚度，另一種閘極厚度若增加為正常厚度的 1.8 倍時，則閘極崩毀時間 (T_{BD}) 可提高約 30 倍；當使用兩種不同臨界電壓值 (Dual V_{TH})，一種為正常臨界電壓值，另一種臨界電壓值若增加為正常臨界電壓值約 2 倍時，則閘極崩毀時間 (T_{BD}) 可提高約 10 倍，故有效延長功率開關的使用壽命。

其中，本發明若使用兩種不同閘極厚度的功率開關時，則第一互補式金氧半電晶體開關 16 之一第一閘極厚度 (T_{OX1}) 係為 1.0 奈米，其小於第二互補式金氧半電晶體開關 18 之一第二閘極厚度 (T_{OX2}) 為 1.5 奈米或 2.5 奈米，且第一互補式金氧半電晶體開關 16 之一第一臨界電壓 (V_{TH1}) 及第

二互補式金氧半電晶體開關 18 之一第二臨界電壓 (V_{TH2}) 為相同臨界電壓值，例如臨界電壓值係為 200-250 毫伏特。若使用兩種不同臨界電壓值之方法，則第一互補式金氧半電晶體開關 16 之第一臨界電壓 (V_{TH1}) 係為 200-250 毫伏特 (mV)，其小於第二互補式金氧半電晶體開關 18 之第二臨界電壓 (V_{TH2}) 為 400-500 毫伏特 (mV)，且第一互補式金氧半電晶體開關 16 之第一閘極厚度 (T_{OX1}) 及第二互補式金氧半電晶體開關 18 之第二閘極厚度 (T_{OX2}) 為相同閘極厚度，例如為 1.0 奈米。

為了進一步說明本發明使用兩種不同閘極厚度或不同臨界電壓值的功率開關以避免發生功率閘崩毀效應，請一併參閱第 4 圖及第 6 圖。第 6 圖為靜態隨機存取記憶體從睡眠模式或待機模式至工作模式之時序圖，在此使用兩種不同閘極厚度的功率開關與使用單顆正常閘極厚度的互補式金氧半電晶體 (single T_{OX}) 為例說明。當靜態隨機存取記憶體 24 處於睡眠模式 (sleep mode) 或待機模式 (standby mode) 時，第一互補式金氧半電晶體開關 (PPG) 16 及第二互補式金氧半電晶體開關 (PG) 18 分別接收第一控制訊號及第二控制訊號為高準位，呈截止狀態，係將靜態隨機存取記憶體 24 之第二電壓源 26 連接至接地，用以降低靜態隨機存取記憶體 24 內的漏電流功率消耗，且第一互補式金氧半電晶體開關 16 及第二互補式金氧半電晶體開關 18 的臨界電壓值會逐漸回復到原來的初始值。當靜態隨機存取記憶體 24 處於啟動模式 (wake-up) 時，第一控制訊號從高準位降低為低準位，以暫時導通第一互補式金氧半電晶體開關 16，並提供第一電壓源 22 至第二電壓源 26 予靜態隨機存取記憶體 24，並快速驅動之；第一互補式金氧半電晶體開關 16 暫時導通的同時，第二互補式金氧半電晶體開關 18 之第

二控制訊號維持為高準位，呈截止狀態。當靜態隨機存取記憶體 24 處於工作模式 (active) 時，第一控制訊號從低準位提升至高準位，以關閉第一互補式金氧半電晶體開關 16，此時第二控制訊號從高準位降至低準位，以導通第二互補式金氧半電晶體開關 18，進而提供第一電壓源 22 至第二電壓源 26 予靜態隨機存取記憶體 24，並持續驅動之。

其中，互補式金氧半電晶體受到高電壓影響導至閘極崩毀效應是在啟動模式期間，由第 6 圖可得知，單顆正常閘極厚度的互補式金氧半電晶體 (single T_{ox}) 及第一互補式金氧半電晶體開關 16 提供靜態隨機存取記憶體 24 從睡眠模式或待機模式切換至啟動模式所需之電流；第二互補式金氧半電晶體開關 18 提供予靜態隨機存取記憶體 24 在工作模式所需之電流。然而單顆正常閘極厚度的互補式金氧半電晶體從啟動模式至工作模式持續提供靜態隨機存取記憶體 24 所需之工作電流，受到高電壓影響大，且導致高閘極電場現象以使閘極崩毀極易發生。因此相較於本發明，利用第一互補式金氧半電晶體開關 16 及第二互補式金氧半電晶體開關 18 分別於啟動模式及工作模式提供靜態隨機存取記憶體 24 所需之工作電流，藉此能兼具提升靜態隨機存取記憶體 24 的存取速度，以及降低第一互補式金氧半電晶體開關 16 及第二互補式金氧半電晶體開關 18 導通時所產生的應力影響，可延長功率開關閘極崩毀的生命週期，進而提升靜態隨機存取記憶體 24 的穩定性與效能。

請同時參閱第 7 圖，為第 6 圖中功率開關結構於啟動模式期間的時間控制電路圖，由於第一互補式金氧半電晶體開關 16 之第一閘極厚度或第一臨界電壓值小於第二互補式金氧半電晶體開關 18 之第二閘極厚度或第二臨

界電壓值，第一互補式金氧半電晶體開關 16 之控制訊號 (RPG) 係為反聯集閘 (NAND) 之輸出，第二互補式金氧半電晶體開關 18 之控制訊號 (RPG) 係為二串連反相器 (inverter) 之輸出，當控制訊號為高準位時，則反聯極閘之輸出端為低準位，呈導通狀態，即可快速驅動靜態隨機存取記憶體 24 之運作。此時第二互補式金氧半電晶體開關 18 係經由一連串的反相器作為延遲時間，也就是說於啟動模式期間，控制訊號為高準位，呈截止狀態，直到延遲時間結束，再經由二串連反相器，其輸出端為低準位，呈導通狀態，因此第二互補式金氧半電晶體開關 18 由啟動模式切換至工作模式，才開始驅動靜態隨機存取記憶體，使其持續運作。由此可知，本發明可提高功率開關的介電層擊穿時間，同時維持其性能，進而可延長功率開關的使用壽命。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術功率開關結構應用於靜態隨機存取記憶體之示意圖。

第 2 圖為先前技術之功率開關閘極崩毀之示意圖。

第 3 圖為先前技術之功率開關閘極崩毀之另一示意圖。

第 4 圖為本發明應用於靜態隨機存取記憶體之功率開關結構示意圖。

第 5 圖為本發明使用兩種不同閘極厚度或臨界電壓值的互補式金氧半電晶體開關之生命週期曲線圖。

第 6 圖為本發明於靜態隨機存取記憶體從睡眠模式或待機模式至工作模式

之時序圖。

第 7 圖為第 6 圖中功率開關結構於啟動模式期間的時間控制電路圖。

【主要元件符號說明】

- 10 P 型電晶體
- 12 N 型電晶體
- 14 單元陣列
- 16 第一互補式金氧半電晶體開關
- 18 第二互補式金氧半電晶體開關
- 20 第三互補式金氧半電晶體開關
- 22 第一電壓源
- 24 靜態隨機存取記憶體
- 26 第二電壓源

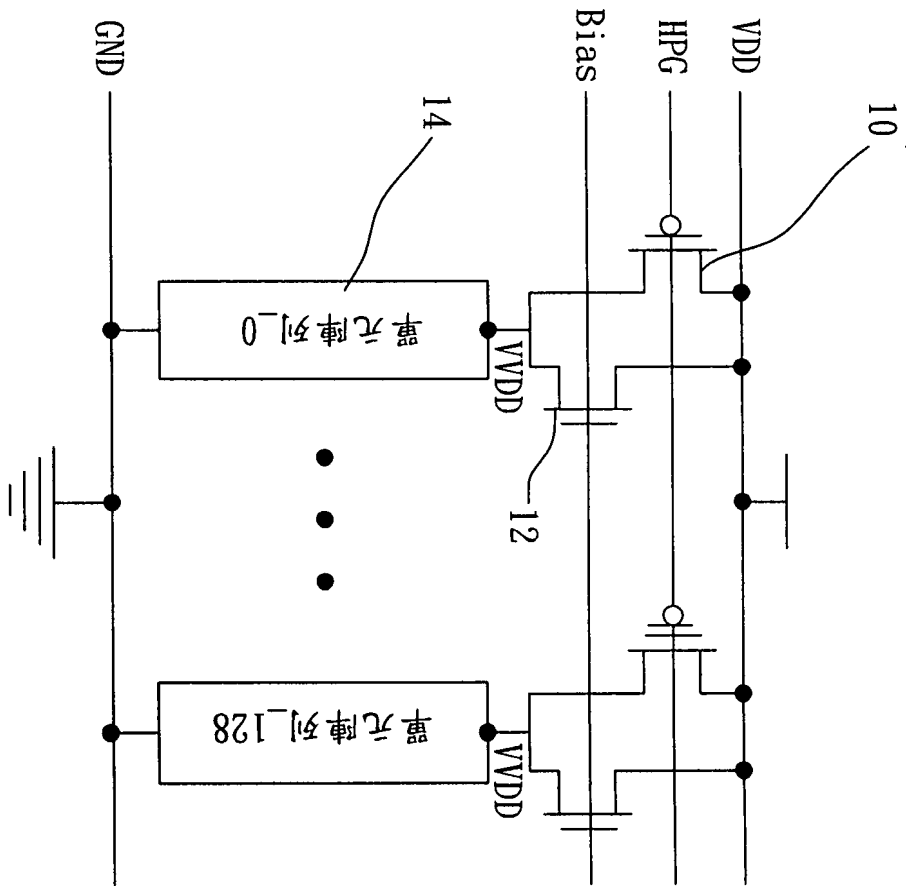
七、申請專利範圍：

1. 一種可容忍閘極崩毀之功率開關結構，係連接於一靜態隨機存取記憶體，該功率開關結構包括：
一第一互補式金氧半電晶體開關，係連接一電壓源及該靜態隨機存取記憶體，該第一互補式金氧半電晶體開關接收一第一控制訊號，呈暫時導通狀態，以提供該電壓源予該靜態隨機存取記憶體進行運作；及一第二互補式金氧半電晶體開關，係連接該電壓源及該靜態隨機存取記憶體，該第二互補式金氧半電晶體開關接收一第二控制訊號，並在該第一互補式金氧半電晶體開關之導通狀態結束後，呈現導通狀態，進而提供該電壓源予該靜態隨機存取記憶體進行運作，且該第一、第二互補式金氧半電晶體開關分別呈導通狀態時，該第一互補式金氧半電晶體開關之閘極電場係大於該第二互補式金氧半電晶體開關。
2. 如申請專利範圍第 1 項所述之可容忍閘極崩毀之功率開關結構，其中該第二控制訊號為高準位，以關閉該第二互補式金氧半電晶體開關時，該第一控制訊號為低準位，以導通該第一互補式金氧半電晶體開關，進而提供該電壓源予該靜態隨機存取記憶體並快速驅動之。
3. 如申請專利範圍第 2 項所述之可容忍閘極崩毀之功率開關結構，其中於該第一控制訊號從低準位提升至高準位，以關閉該第一互補式金氧半電晶體開關時，該第二控制訊號從高準位降至低準位，以導通該第二互補式金氧半電晶體開關，進而提供該電壓源予該靜態隨機存取記憶體並持續驅動之。
4. 如申請專利範圍第 1 項所述之可容忍閘極崩毀之功率開關結構，其中該

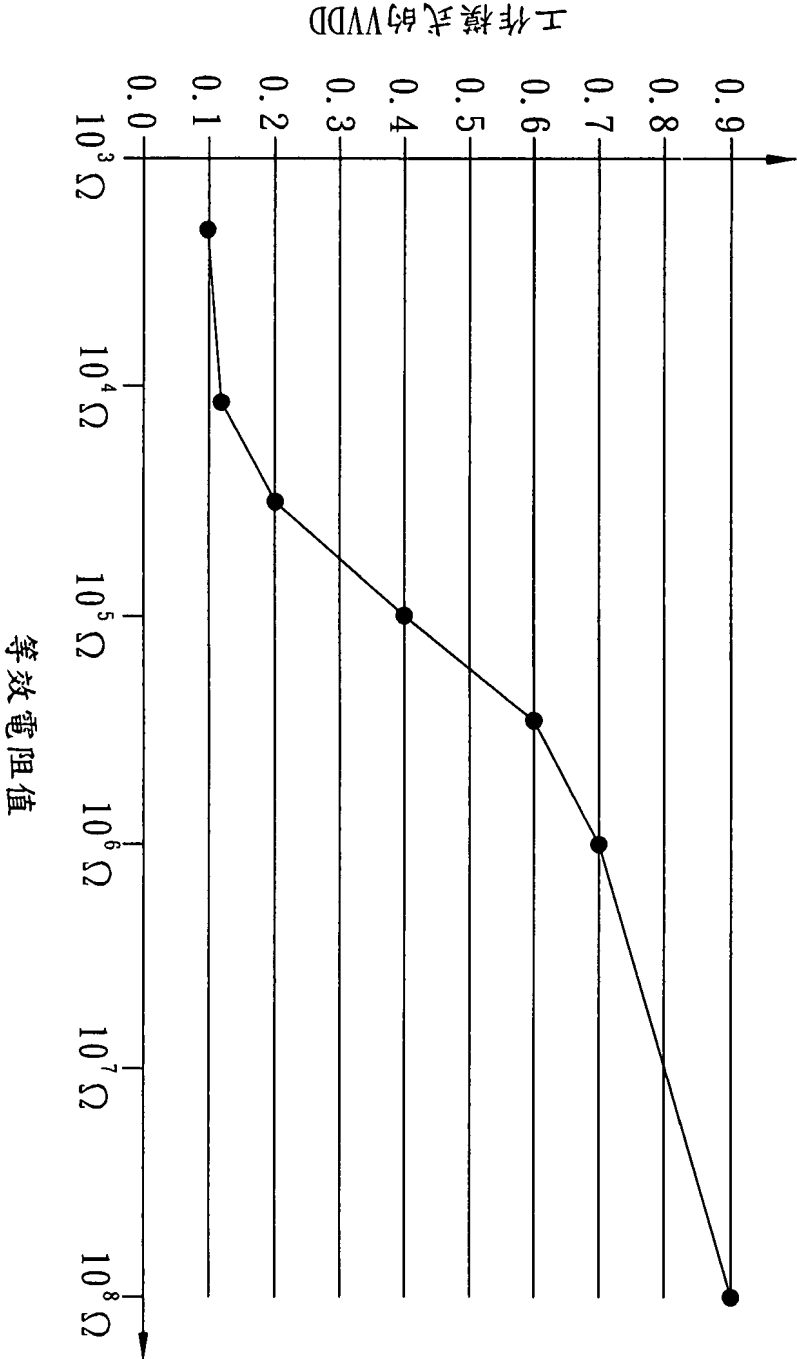
第一互補式金氧半電晶體開關之一第一閘極厚度係小於該第二互補式金氧半電晶體開關之一第二閘極厚度，且該第一互補式金氧半電晶體開關之一第一臨界電壓及該第二互補式金氧半電晶體開關之一第二臨界電壓為相同臨界電壓值。

5. 如申請專利範圍第 1 項所述之可容忍閘極崩毀之功率開關結構，其中該第一互補式金氧半電晶體開關之一第一臨界電壓係低於該第二互補式金氧半電晶體開關之一第二臨界電壓，且該第一互補式金氧半電晶體開關之一第一閘極厚度及該第二互補式金氧半電晶體開關之一第二閘極厚度為相同閘極厚度。
6. 如申請專利範圍第 1 項所述之可容忍閘極崩毀之功率開關結構，更包含一第三互補式金氧半電晶體開關，係連接該電壓源及該靜態隨機存取記憶體，係接收一穩壓控制訊號以穩定該靜態隨機存取記憶體之電壓。

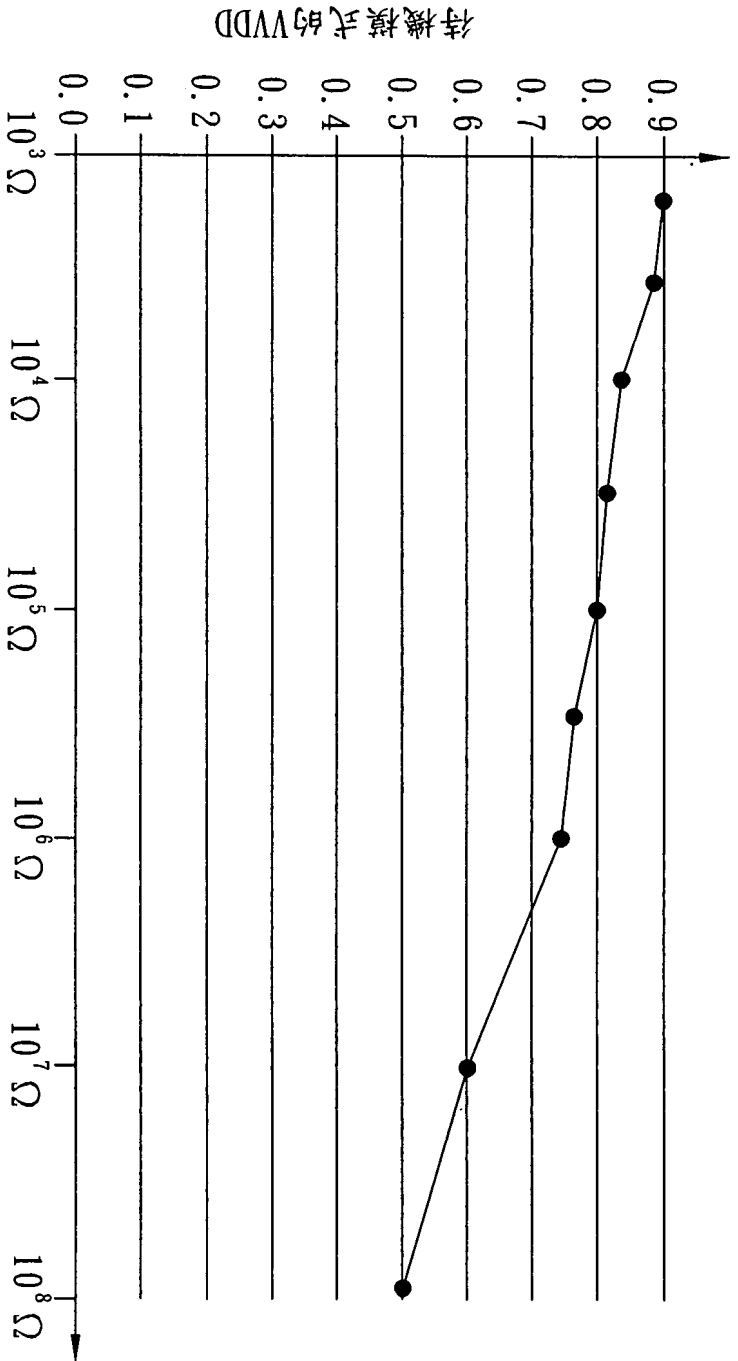
八、圖式：



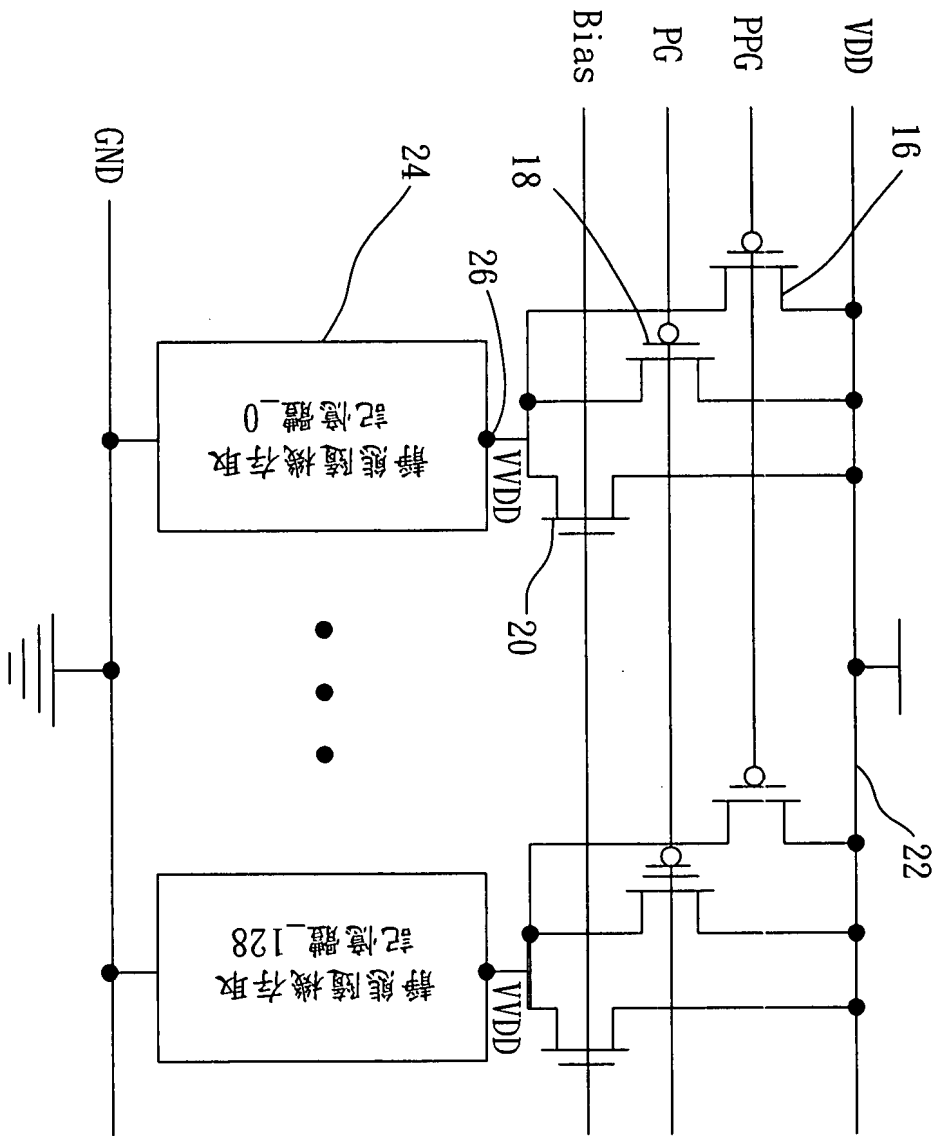
第 1 圖



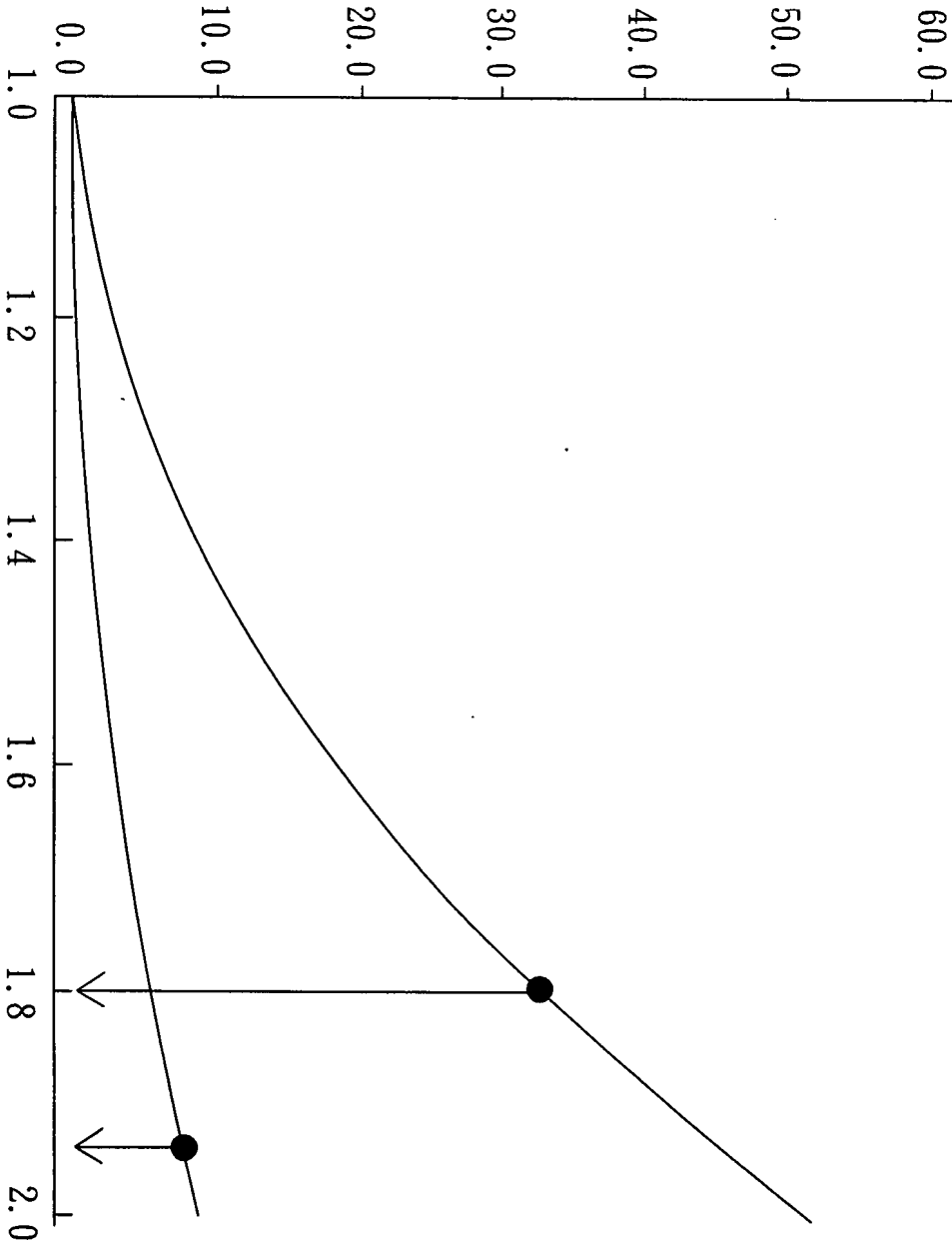
第 2 圖



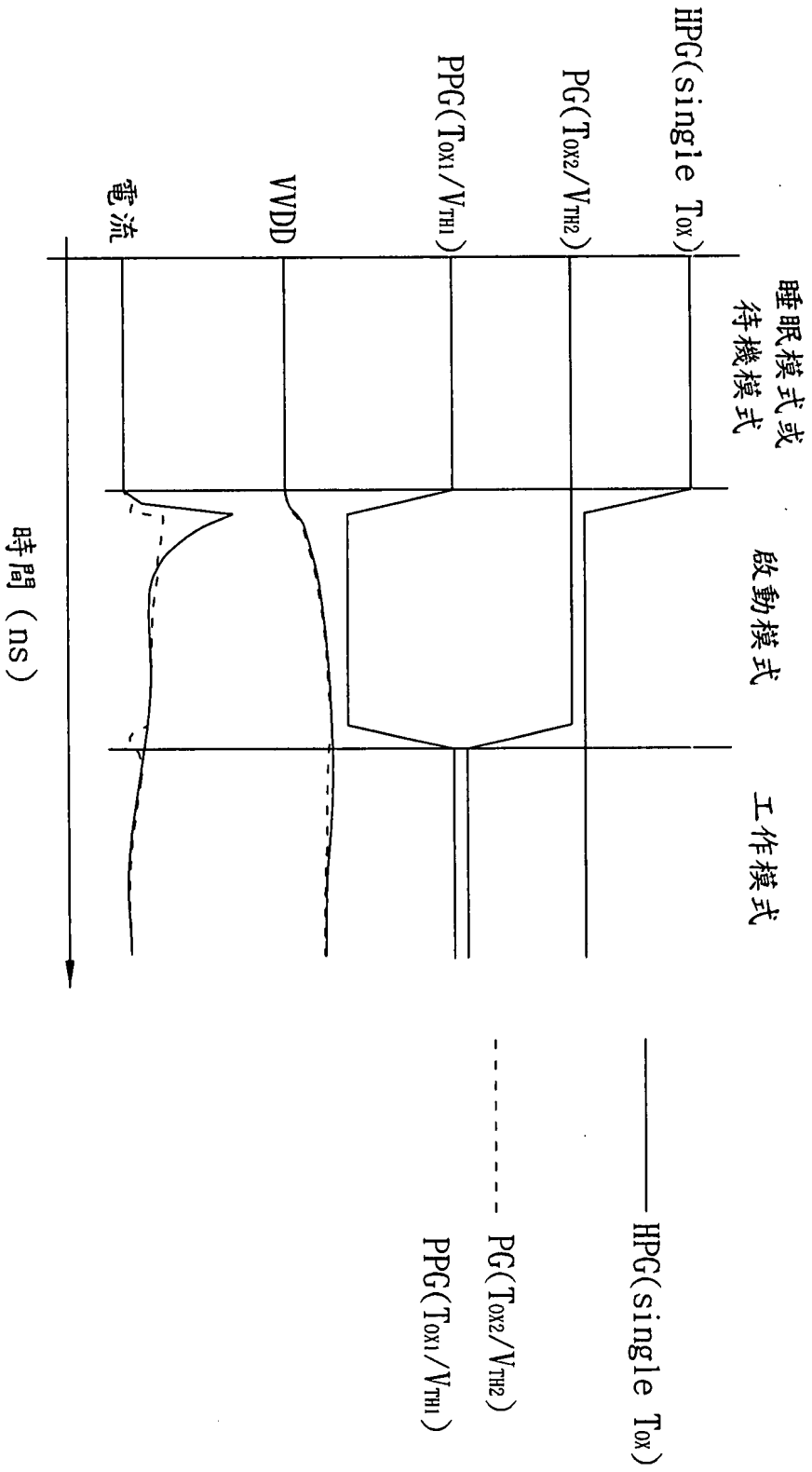
等效電阻值
第 3 圖



第 4 圖



第 5 圖



第 6 圖

第 7 圖

