



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201216363 A1

(43)公開日：中華民國 101 (2012) 年 04 月 16 日

(21)申請案號：099133633

(22)申請日：中華民國 99 (2010) 年 10 月 01 日

(51)Int. Cl.：

*H01L21/316 (2006.01)*

*H01L29/78 (2006.01)*

*H01L21/336 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：張翼 CHANG, YI (TW)；林岳欽 LIN, YUEH CHIN (TW)

(74)代理人：黃于真；李國光

申請實體審查：有 申請專利範圍項數：16 項 圖式數：6 共 22 頁

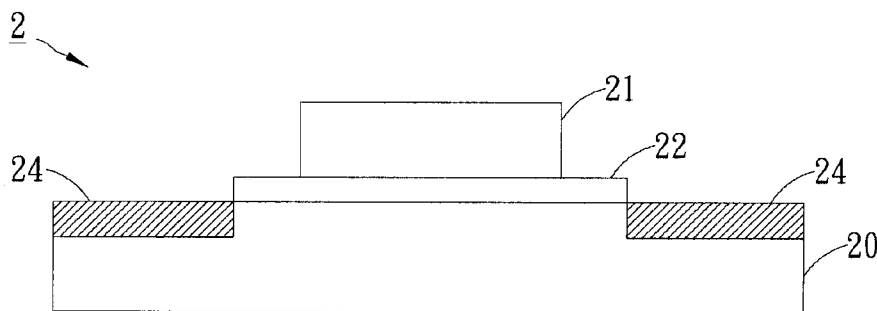
(54)名稱

具有氧化鐳之介電結構、具有氧化鐳之電晶體及其製造方法

DIELECTRIC STRUCTURE, TRANSISTOR AND MANUFACTURING METHOD THEREOF WITH PRASEODYMIUM OXIDE

(57)摘要

本發明係揭露一種具有氧化鐳之介電結構、具有氧化鐳之電晶體及其製造方法，該具有氧化鐳之電晶體係至少包含一三五族基板、一閘極介電層及一閘極。其中，閘極介電層係設於三五族基板上，閘極則設於閘極介電層上，而介電層係為氧化鐳 ( $\text{Pr}_x\text{O}_y$ )。本發明藉由使用具有高介電係數以及高能隙之氧化鐳 ( $\text{Pr}_6\text{O}_{11}$ ) 作為介電層材料，除了有效的抑制漏電流外，更可進一步降低以三五族材料作為基板的元件之等效氧化物厚度 (EOT)。



2：具有氧化鐳之電晶體

20：三五族基板

21：閘極

22：閘極介電層

24：源/汲極

專利案號：099133633



日期：99年10月01日

## 發明專利說明書

※申請案號：099133633

※IPC分類：

H01L 21/316 (2006.01)

※申請日：

99.10.01

H01L 29/158 (2006.01)

H01L 21/336 (2006.01)

### 一、發明名稱：

具有氧化鐳之介電結構、具有氧化鐳之電晶體及其製造方法  
DIELECTRIC STRUCTURE, TRANSISTOR AND MANUFACTURING  
METHOD THEREOF WITH PRASEODYMIUM OXIDE

### 二、中文發明摘要：

本發明係揭露一種具有氧化鐳之介電結構、具有氧化鐳之電晶體及其製造方法，該具有氧化鐳之電晶體係至少包含一三五族基板、一閘極介電層及一閘極。其中，閘極介電層係設於三五族基板上，閘極則設於閘極介電層上，而介電層係為氧化鐳 ( $\text{Pr}_x\text{O}_y$ )。本發明藉由使用具有高介電係數以及高能隙之氧化鐳 ( $\text{Pr}_6\text{O}_{11}$ ) 作為介電層材料，除了有效的抑制漏電流外，更可進一步降低以三五族材料作為基板的元件之等效氧化物厚度 (EOT)。

### 三、英文發明摘要：

The present invention discloses a dielectric structure, a transistor and a manufacturing method thereof with praseodymium oxide. The transistor with praseodymium oxide comprises at least a III-V substrate, a gate dielectric layer and a gate. The gate dielectric layer is disposed on the III-V substrate, and the gate is disposed on the gate dielectric layer, and the gate dielectric layer is praseodymium oxide ( $\text{Pr}_x\text{O}_y$ ), which has a high dielectric constant and a high energy gap. By using the praseodymium oxide ( $\text{Pr}_6\text{O}_{11}$ ) as the material of the gate dielectric layer in the present invention, the leakage current could be inhibited, and the equivalent oxide thickness (EOT) of the device with the III-V substrate could

201216363

be further lowered.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

2：具有氧化鋅之電晶體；

20：三五族基板；

21：閘極；

22：閘極介電層；以及

24：源/汲極。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

## 【發明所屬之技術領域】

[0001] 本發明是有關於一種具有氧化鏷之介電結構、具有氧化鏷之電晶體及其製造方法，特別是有關於一種以氧化鏷作為介電材料之具有氧化鏷之介電結構、具有氧化鏷之電晶體及其製造方法。

## 【先前技術】

[0002] 目前，三五族複合物半導體較矽半導體材料，係擁有較佳的材料特性，因此近年來三五族複合物半導體已被廣泛的研究；而將高介電常數（high-k）氧化物沈積於三五族複合物半導體晶片上作為閘極介電層的三五金氧半導體電晶體（ $n$ -V Metal-Oxide-Semiconductor Field Effect Transistor， $n$ -V MOSFET），也已被開發用以取代傳統矽材之金氧半導體電晶體（Si MOSFET）。

[0003] 隨著科技的發展，積體電路的尺寸也日益縮小，而單位電容量的需求也日益增加。然而，一般介電係數高的材料其能隙也較低（請參閱下表），以致於無法在較低的氧化物厚度下有效抑制漏電流的產生。傳統的矽半導體元件係利用原生氧化物（native oxide）作為閘極介電層以獲得較大的電容值，但對於三五族複合物半導體元件而言，並沒有擁有如二氧化矽/矽晶格匹配良好以及介面品質優良的氧化物。

[0004]	氧化物	$\text{HfO}_2$	$\text{Pr}_6\text{O}_{11}$	$\text{Al}_2\text{O}_3$
	K	25	32	8-11.5

Eg(eV)	5.7	5.5	6.65
--------	-----	-----	------

[0005] 台灣核准專利公告第I30426號係揭露一種具有高K閘極介電值及金屬閘極電極之半導體裝置，其係在NMOS金屬閘極與基板之間形成high-K介電層，如氧化鉛、氧化矽鉛、氧化鋮及氧化鋁鋮等材料；台灣核准專利公告第I297947號係揭露一種具有介電結構之半導體記憶裝置及其製造方法，其係利用原子層沈積法（ALD）成長不同high-k介電層，例如氧化鋅、氧化鉛、氧化鋮及氧化鉍等，並運用於矽製程上；美國核准專利公告第US7595263號則揭露了一種以原子層沈積法沈積障礙層材料的方法，其係以原子層沈積法成長氮化鉍於半導體基板上作為閘極介電層；而美國核准專利公告第US7510956號則係揭露了一種具有多層堆疊閘極的半導體元件，其係以鉛、鋅或鋅化鉛的氧化物作為在金屬閘極與基板通道層之間的介電層，並應用在MOS元件上。

[0006] 然而，上述的習知技術大多使用氧化鋅、氧化鉛、氧化鋮及氧化鉍等氧化物作為閘極介電層，並應用在矽製程上或是三五族複合物半導體的製程上，並未能有效解決漏電流以及等效厚度過高的問題。

#### 【發明內容】

[0007] 有鑑於上述習知技藝之問題，本發明之目的就是在提供一種具有氧化鏷之介電結構、具有氧化鏷之電晶體及其製造方法，以解決習知的半導體元件之漏電流以及等效厚度過高的問題。

- [0008] 根據本發明之目的，提出一種具有氧化鏷之介電結構，其至少包含一三五族基板、一介電層、一第一金屬層及一第二金屬層。介電層係設於三五族基板上，第一金屬層設於介電層上，而第二金屬層則係設於三五族基板下。其中，介電層係為氧化鏷 ( $\text{Pr}_x\text{O}_y$ )。
- [0009] 其中，x係介於1~10，y係介於1~12。
- [0010] 其中，三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )，m係介於0~1，m+n係等於1。
- [0011] 其中，第一金屬層及第二金屬層係為鋁或金。
- [0012] 根據本發明之目的，另提出一種具有氧化鏷之介電結構之製造方法，其至少包含提供一三五族基板，並設置一介電層於三五族基板上；設置一第一金屬層於介電層上，並設置一第二金屬層於三五族基板下。其中，介電層係為氧化鏷 ( $\text{Pr}_x\text{O}_y$ )。
- [0013] 其中，x係介於1~10，y係介於1~12。
- [0014] 其中，三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )，m係介於0~1，m+n係等於1。
- [0015] 其中，第一金屬層及第二金屬層係為鋁或金。
- [0016] 根據本發明之目的，再提出一種具有氧化鏷之電晶體，其至少包含一三五族基板、一閘極介電層及一閘極。閘極介電層係設於三五族基板上，而閘極則設於閘極介電層上。其中，介電層係為氧化鏷 ( $\text{Pr}_x\text{O}_y$ )。
- [0017] 其中，x係介於1~10，y係介於1~12。

[0018] 其中，三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )， $m$ 係介於0~1， $m+n$ 係等於1。

[0019] 其中，閘極係為鋁、金或多晶矽。

[0020] 根據本發明之目的，更提出一種具有氧化鐳之電晶體之製造方法，其至少包含提供一三五族基板，並設置一閘極介電層於三五族基板上，以及設置一閘極設於閘極介電層上。其中，介電層係為氧化鐳 ( $\text{Pr}_x\text{O}_y$ )。

[0021] 其中， $x$ 係介於1~10， $y$ 係介於1~12。

[0022] 其中，三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )， $m$ 係介於0~1， $m+n$ 係等於1。

[0023] 其中，閘極係為鋁、金或多晶矽。

[0024] 承上所述，依本發明之具有氧化鐳之介電結構、具有氧化鐳之電晶體及其製造方法，其可具有下述優點：

此具有氧化鐳之介電結構、具有氧化鐳之電晶體及其製造方法可藉由使用具有高介電常數及高能隙之氧化鐳作為閘極介電層並應用在三五族複合物半導體元件上，藉此可有效降低漏電流以及等效厚度。

#### 【實施方式】

[0025] 請參閱第1圖，其係為本發明之具有氧化鐳之介電結構之示意圖。如圖所示，本發明之具有氧化鐳之介電結構1（亦稱做電容器，capacitor）包含了一三五族基板10、一介電層11、一第一金屬層12及一第二金屬層13。介電層11係設於三五族基板10上，第一金屬層12設於介電層11上，而第二金屬層13則係設於三五族基板10下。其中



，介電層11係為氧化鏷 ( $\text{Pr}_x\text{O}_y$ )，而x係可介於1~10，y係可介於1~12。另外，三五族基板10係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )，m係可介於0~1之間，較佳可為0.4~0.8之間。其中，m+n係等於1，而n較佳則可介於0.2~0.6。在一些較佳的實施例中，第一金屬層12及第二金屬層13係可為鋁或金。

[0026] 在本實施例中，三五族基板10更包含了一第一三五族材料層100以及一第二三五族材料層101，其中第一三五族材料層100設於第二金屬層13上，其係為厚度10nm的n型砷化銦鎵 ( $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ )，其摻雜矽的濃度則在  $5 \times 10^{17} \text{cm}^{-3}$ ；而第二三五族材料層101則設於第一三五族材料層100上，其係為厚度5nm的n型砷化銦鎵 ( $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ )，其摻雜矽的濃度則在  $5 \times 10^{17} \text{cm}^{-3}$ 。另外，於第二金屬層13與第一三五族材料層100之間更包含一 $n^+$ 層14，係用以降低第二金屬層13與第一三五族材料層100之間的接觸阻抗。在本實施例中，介電層11係為厚度9nm的氧化鏷 ( $\text{Pr}_6\text{O}_{11}$ )，而第一金屬層12及第二金屬層13則為厚度50nm的鋁 (Al)。

[0027] 請參閱第2圖，其係為本發明之具有氧化鏷之介電結構之電容電壓曲線圖。如圖所示，由於-V族材料與氧化物間會在表面形成一層具損耗特性的薄膜層，所以在電容電壓曲線圖 (C-V curve) 上，可以明顯發現有頻率散佈 (frequency dispersion) 的現象。而氧化鏷 ( $\text{Pr}_6\text{O}_{11}$ ) 擁有很高的介電係數 (34)，因此在與習知的氧化鈦 ( $\text{HfO}_2$ ) 比較之下，以頻率為1kHz的電容值來估

算本發明之介電結構的等效氧化層厚度 (EOT) 即為 2.783nm，相對於習知的氧化鈺 ( $\text{HfO}_2$ ) 的等效氧化層厚度為 3.343nm，本發明之具有氧化鏷之介電結構的的確確改善了半導體元件氧化層的等效厚度。

[0028] 請參閱第3圖，其係為本發明之具有氧化鏷之電晶體之第一實施例示意圖。如圖所示，本發明之具有氧化鏷之電晶體2之第一實施例包含了一三五族基板20、一閘極21、一閘極介電層22、一通道層23以及一源/汲極24。其中，閘極21係設於三五族基板20上，閘極介電層22設於閘極21上，通道層23則設於閘極介電層22上，源/汲極24設於通道層23上。閘極介電層22係為氧化鏷 ( $\text{Pr}_x\text{O}_y$ )，x係介於1~10，y係介於1~12，而較佳的狀況則為 $\text{Pr}_6\text{O}_{11}$ 或 $\text{Pr}_2\text{O}_3$ ；三五族基板20及通道層23則可為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )，m係可介於0~1，m+n係等於1；閘極21係可為鋁、金或多晶矽。本實施例即為所謂的底層閘極 (bottom gate) 之電晶體 (MOSFET)；另請參閱第4圖，其係為本發明之具有氧化鏷之電晶體之第二實施例示意圖。如圖所示，本實施例與第一實施例最大的不同即在於，本實施例之具有氧化鏷之電晶體為頂層閘極 (top gate) 的態樣，即：閘極介電層22係設置於三五族基板20上，而閘極21則設置於閘極介電層22上；另外源/汲極24則是設置在三五族基板20上或以離子佈值的方式設置於三五族基板20中。而由於上述之各該電晶體的運作及製造流程方式皆為習知技術，故在此便不再贅述。

[0029] 儘管前述在說明本發明之具有氧化鏷之介電結構及具有

氧化鋂之電晶體的過程中，亦已同時說明本發明之具有氧化鋂之介電結構及具有氧化鋂之電晶體之製造方法的概念，但為求清楚起見，以下仍另繪示流程圖詳細說明。

[0030] 請參閱第5圖，其係為本發明之具有氧化鋂之介電結構之製造方法之流程圖。如圖所示，本發明之具有氧化鋂之介電結構之製造方法包含下列步驟：

(S10) 提供一三五族基板；

(S11) 設置一介電層於三五族基板上，閘極介電層係為氧化鋂 ( $\text{Pr}_x\text{O}_y$ )；

(S12) 設置一第一金屬層於介電層上；以及

(S13) 設置一第二金屬層於三五族基板下。

[0031] 請參閱第6圖，其係為本發明之具有氧化鋂之電晶體之製造方法之示意圖。如圖所示，本發明之具有氧化鋂之電晶體之製造方法至少包含下列步驟：

(S20) 提供一三五族基板；

(S21) 設置一閘極介電層於三五族基板上，閘極介電層係為氧化鋂 ( $\text{Pr}_x\text{O}_y$ )；以及

(S22) 設置一閘極設於閘極介電層上。

其中，上述的x係可介於1~10，y係可介於1~12，較佳地狀況則為 $\text{Pr}_6\text{O}_{11}$ 或 $\text{Pr}_2\text{O}_3$ ；三五族基板則可為砷化銦鎵

( $\text{In}_m\text{Ga}_n\text{As}$ )，m係可介於0~1，m+n係等於1。

[0032] 另外，設置氧化鋂的方法也包含了化學氣象沈積法 (CVD)，直/交流濺鍍法 (DC/AC sputtering) 原子層沉積法 (ALD) 或分子束磊晶法 (Molecular Beam Epi-

toxy, MBE)。

[0033] 由於電晶體以及介電結構的其他各層係為已知的習知技術，在此便僅只敘述本發明最關鍵的部分，而不再多加敘述其他各層的製造流程。

[0034] 綜上所述，本發明所揭露的具有氧化鋅之介電結構、具有氧化鋅之電晶體及其製造方法，係藉由使用高介電常數及高能隙之氧化鋅作為閘極介電層並應用在三五族複合物半導體元件上，藉此可有效降低三五族半導體元件的漏電流以及等效厚度。

[0035] 以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

#### 【圖式簡單說明】

- [0036] 第1圖係為本發明之具有氧化鋅之介電結構之示意圖；  
第2圖係為本發明之具有氧化鋅之介電結構之電容電壓曲線圖；  
第3圖係為本發明之具有氧化鋅之電晶體之第一實施例示意圖；  
第4圖係為本發明之具有氧化鋅之電晶體之第二實施例示意圖；  
第5圖係為本發明之具有氧化鋅之介電結構之製造方法之流程圖；以及  
第6圖係為本發明之具有氧化鋅之電晶體之製造方法之示意圖。

【主要元件符號說明】

- [0037] 1：具有氧化鋅之介電結構；  
10：三五族基板；  
100：第一三五族材料層；  
101：第二三五族材料層；  
11：介電層；  
12：第一金屬層；  
13：第二金屬層；  
14：n<sup>+</sup>層；  
2：具有氧化鋅之電晶體；  
20：三五族基板；  
21：閘極；  
22：閘極介電層；  
23：通道層；  
24：源/汲極；以及  
S10~S13、S20~S22：步驟。

## 七、申請專利範圍：

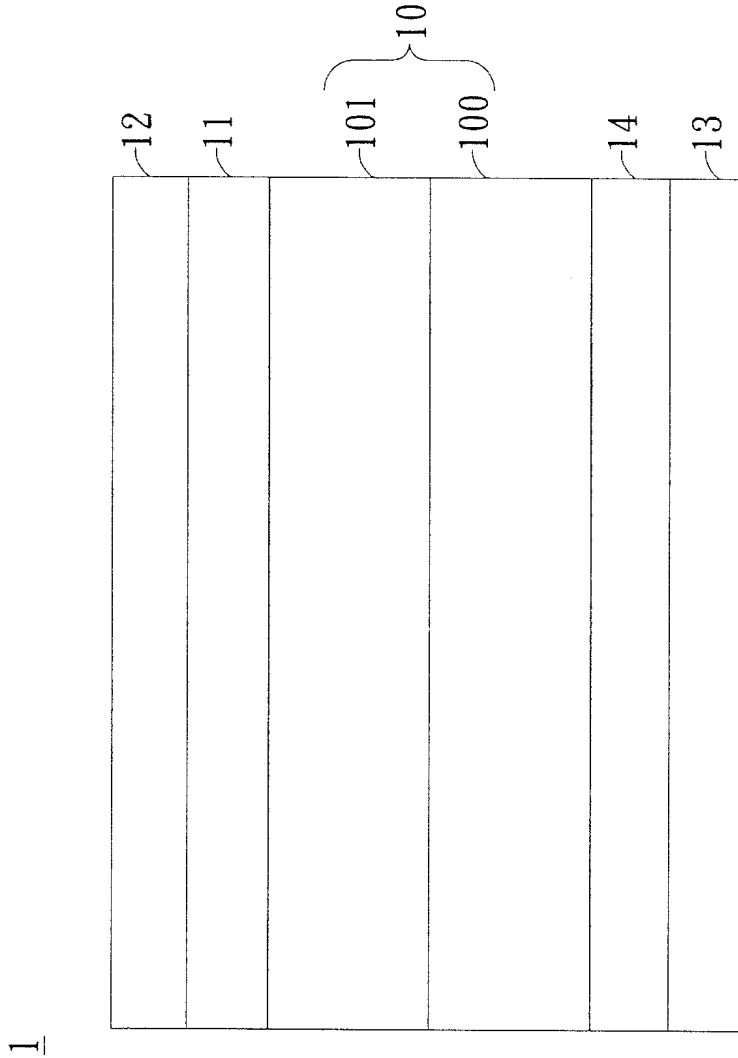
- 1 . 一種具有氧化鏷之介電結構，其至少包含：
  - 一三五族基板；
  - 一介電層，設於該三五族基板上；
  - 一第一金屬層，設於該介電層上；以及
  - 一第二金屬層，係設於該三五族基板下；
 其中，該介電層係為氧化鏷 ( $\text{Pr}_x\text{O}_y$ )。
- 2 . 如申請專利範圍第1項所述之具有氧化鏷之介電結構，其中x係介於1~10，y係介於1~12。
- 3 . 如申請專利範圍第1項所述之具有氧化鏷之介電結構，其中該三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )，m係介於0~1，m+n係等於1。
- 4 . 如申請專利範圍第1項所述之具有氧化鏷之介電結構，其中該第一金屬層及該第二金屬層係為鋁或金。
- 5 . 一種具有氧化鏷之介電結構之製造方法，至少包含下列步驟：
  - 提供一三五族基板；
  - 設置一介電層於該三五族基板上；
  - 設置一第一金屬層於該介電層上；以及
  - 設置一第二金屬層於該三五族基板下；
 其中，該介電層係為氧化鏷 ( $\text{Pr}_x\text{O}_y$ )。
- 6 . 如申請專利範圍第5項所述之具有氧化鏷之介電結構之製造方法，其中x係介於1~10，y係介於1~12。
- 7 . 如申請專利範圍第5項所述之具有氧化鏷之介電結構之製造方法，其中該三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )

- ， $m$ 係介於 $0\sim 1$ ， $m+n$ 係等於 $1$ 。
- 8 . 如申請專利範圍第5項所述之具有氧化鋅之介電結構之製造方法，其中該第一金屬層及該第二金屬層係為鋁或金。
- 9 . 一種具有氧化鋅之電晶體，其至少包含：
- 一三五族基板；
- 一閘極介電層，係設於該三五族基板上；以及
- 一閘極，係設於該閘極介電層上；
- 其中，該閘極介電層係為氧化鋅 ( $\text{Pr}_x\text{O}_y$ )。
- 10 . 如申請專利範圍第9項所述之具有氧化鋅之電晶體，其中 $x$ 係介於 $1\sim 10$ ， $y$ 係介於 $1\sim 12$ 。
- 11 . 如申請專利範圍第9項所述之具有氧化鋅之電晶體，其中該三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )， $m$ 係介於 $0\sim 1$ ， $m+n$ 係等於 $1$ 。
- 12 . 如申請專利範圍第9項所述之具有氧化鋅之電晶體，其中該閘極係為鋁、金或多晶矽。
- 13 . 一種具有氧化鋅之電晶體之製造方法，其至少包含下列步驟：
- 提供一三五族基板；
- 設置一閘極介電層於該三五族基板上；以及
- 設置一閘極設於該閘極介電層上；
- 其中，該閘極介電層係為氧化鋅 ( $\text{Pr}_x\text{O}_y$ )。
- 14 . 如申請專利範圍第13項所述之具有氧化鋅之電晶體之製造方法，其中 $x$ 係介於 $1\sim 10$ ， $y$ 係介於 $1\sim 12$ 。
- 15 . 如申請專利範圍第13項所述之具有氧化鋅之電晶體之製造方法，其中該三五族基板係為砷化銦鎵 ( $\text{In}_m\text{Ga}_n\text{As}$ )， $m$ 係介於 $0\sim 1$ ， $m+n$ 係等於 $1$ 。

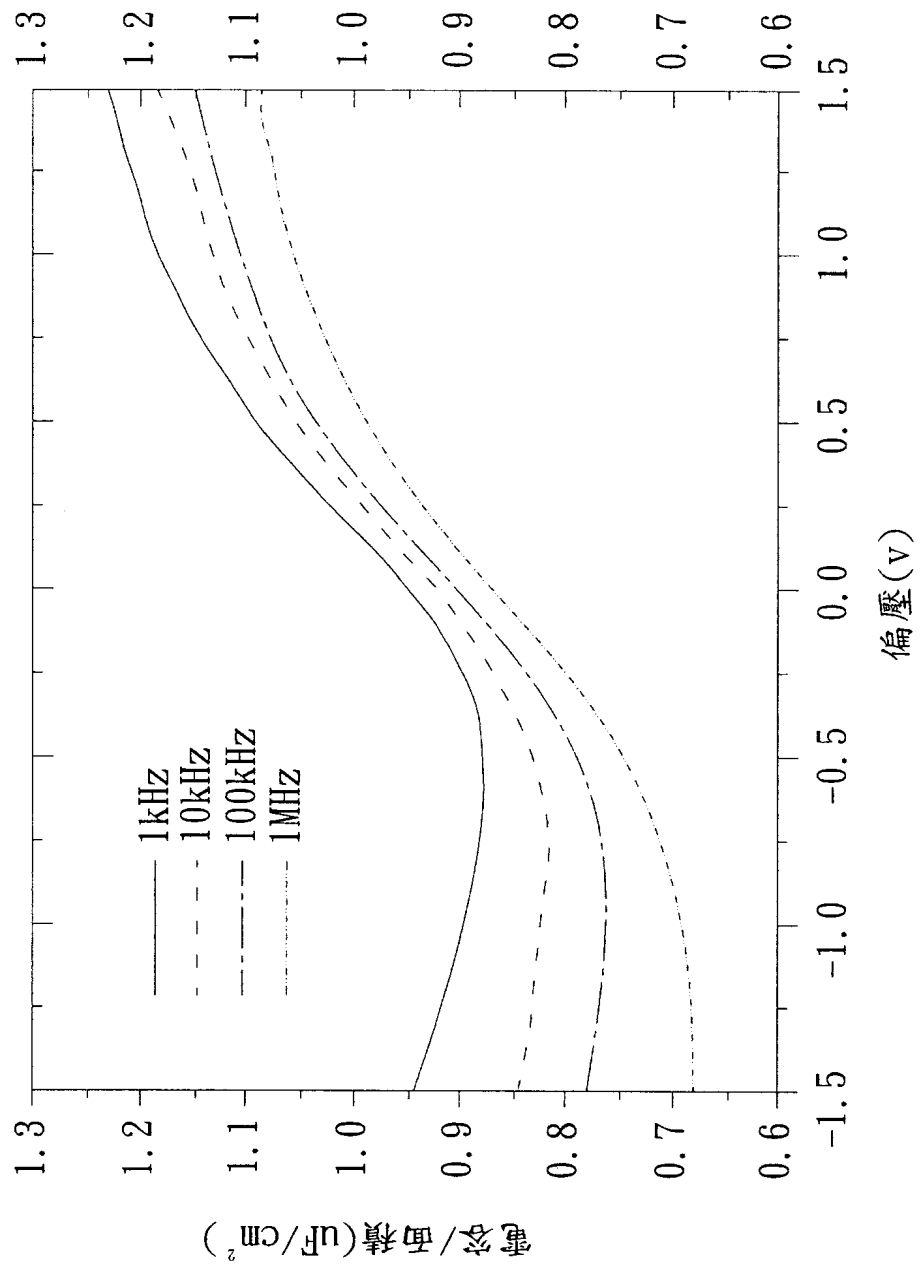
- 16 . 如申請專利範圍第13項所述之具有氧化鋅之電晶體之製造方法，其中該閘極係為鋁、金或多晶矽。



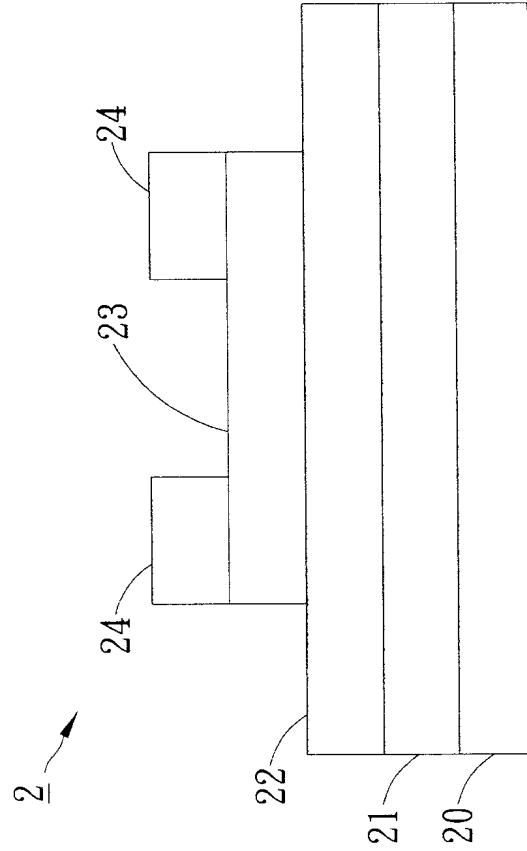
八、圖式：



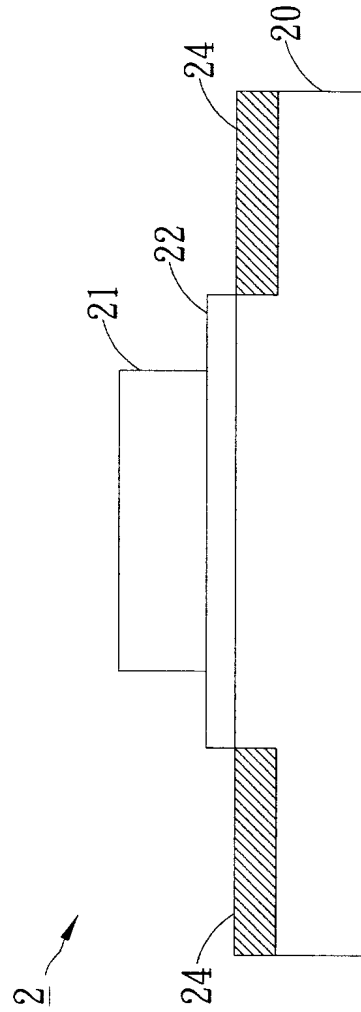
第 1 圖



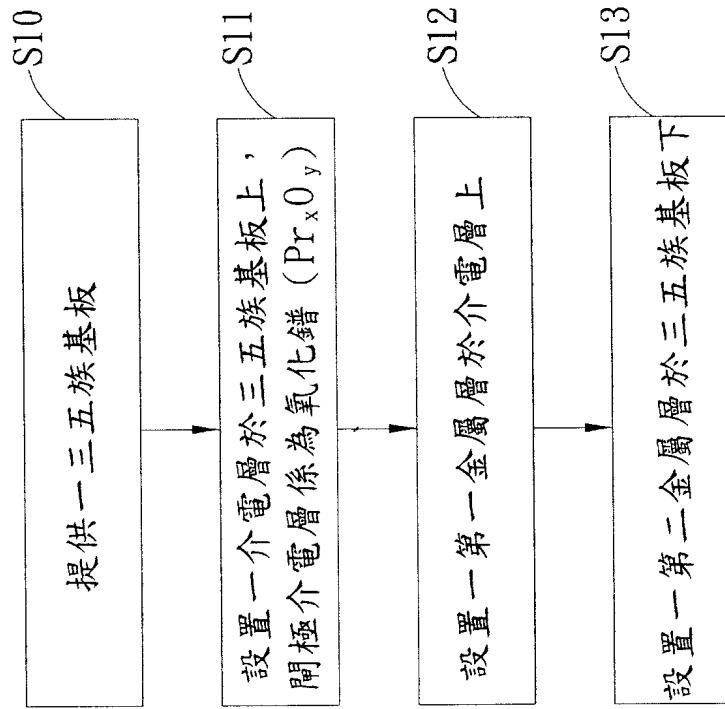
第2圖



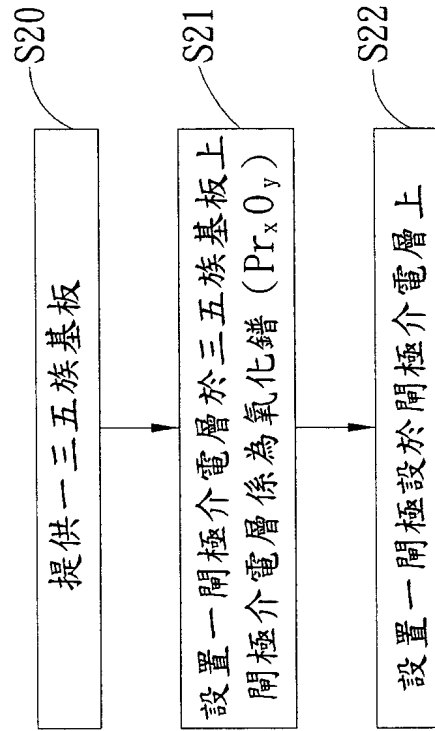
第 3 圖



第 4 圖



第5圖



第 6 圖