



(21)申請案號：100109598

(22)申請日：中華民國 100 (2011) 年 03 月 21 日

(51)Int. Cl. : G11C16/08 (2006.01)

(30)優先權：2010/08/09 美國 12/852,759

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

智原科技股份有限公司(中華民國) FARADAY TECHNOLOGY CORPORATION (TW)

新竹市東區新竹科學工業園區力行三路 5 號

(72)發明人：莊景德 CHUANG, CHING TE (TW) ; 林宜緯 LIN, YI WEI (TW) ; 陳家政 CHEN, CHIA CHENG (TW) ; 石維強 SHIH, WEI CHIANG (TW)

(74)代理人：祁明輝；葉明源

申請實體審查：有 申請專利範圍項數：12 項 圖式數：10 共 46 頁

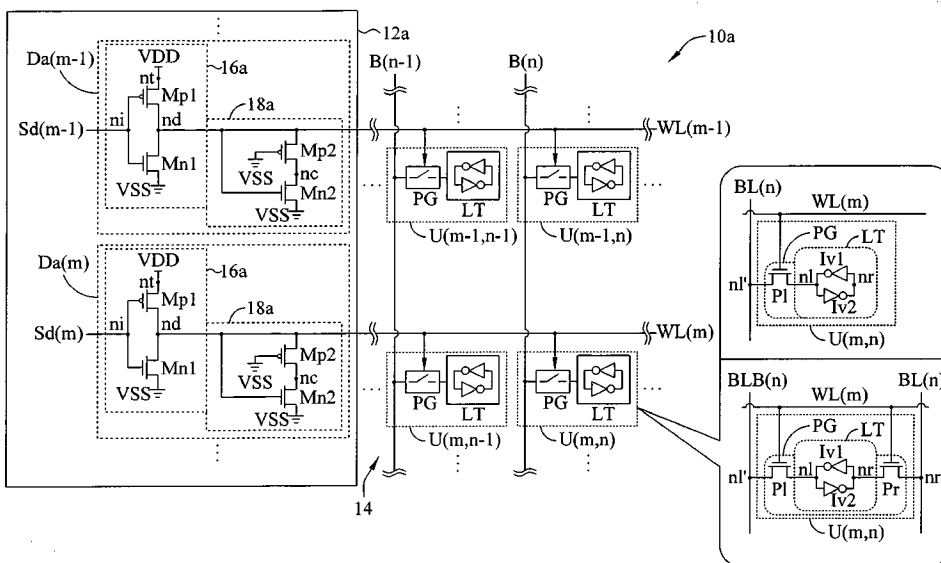
(54)名稱

具容忍變異字元線驅動抑制機制之隨機存取記憶體

VARIATION-TOLERANT WORD-LINE UNDER-DRIVE SCHEME FOR RANDOM ACCESS MEMORY

(57)摘要

本發明提供一種隨機存取記憶體，其包括複數個字元線驅動器、至少一第一追隨電晶體與第二追隨電晶體。各字元線驅動器有一輸入端以接收一解碼訊號、一電源端以接受一工作電壓、與一驅動端以驅動一字元線。一實施例中，第一追隨電晶體有兩通道端，分別耦接字元線驅動器的驅動端與第二追隨電晶體的一個通道端。其中，第一追隨電晶體的電子特性追隨字元線驅動器中驅動電晶體的電子特性，第二追隨電晶體的電子特性追隨各記憶單元中開通電晶體的電子特性。



- 10a：隨機存取記憶體
- 12a：字元線驅動電路
- 14：記憶單元陣列
- 16a：字元線驅動器
- 18a：電壓調整器
- B(.)：位元線匯流排
- BL(.)：位元線
- BLB(.)：位元線
- Da(.)-Dj(.)：字元線驅動單元
- Iv1：反相器
- Iv2：反相器
- LT：閃鎖器

Mn1-Mn2：電晶體

Mp1-Mp2：電晶體

nd：節點

ni：節點

nr：節點

nr'：節點

nt：節點

n1：節點

n1'：節點

P1-Pr：電晶體

PG：存取開關

Sd(.)：解碼訊號

U(.,.)：記憶單元

VDD：電壓源

VSS：電壓源

WL(.)：字元線



(21)申請案號：100109598

(22)申請日：中華民國 100 (2011) 年 03 月 21 日

(51)Int. Cl. : G11C16/08 (2006.01)

(30)優先權：2010/08/09 美國 12/852,759

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

智原科技股份有限公司(中華民國) FARADAY TECHNOLOGY CORPORATION (TW)

新竹市東區新竹科學工業園區力行三路 5 號

(72)發明人：莊景德 CHUANG, CHING TE (TW) ; 林宜緯 LIN, YI WEI (TW) ; 陳家政 CHEN, CHIA CHENG (TW) ; 石維強 SHIH, WEI CHIANG (TW)

(74)代理人：祁明輝；葉明源

申請實體審查：有 申請專利範圍項數：12 項 圖式數：10 共 46 頁

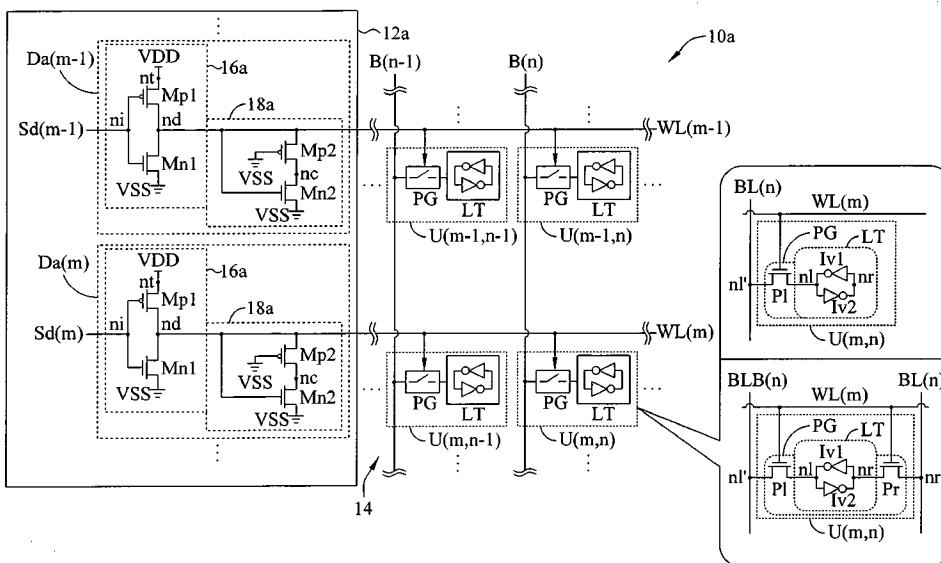
(54)名稱

具容忍變異字元線驅動抑制機制之隨機存取記憶體

VARIATION-TOLERANT WORD-LINE UNDER-DRIVE SCHEME FOR RANDOM ACCESS MEMORY

(57)摘要

本發明提供一種隨機存取記憶體，其包括複數個字元線驅動器、至少一第一追隨電晶體與第二追隨電晶體。各字元線驅動器有一輸入端以接收一解碼訊號、一電源端以接受一工作電壓、與一驅動端以驅動一字元線。一實施例中，第一追隨電晶體有兩通道端，分別耦接字元線驅動器的驅動端與第二追隨電晶體的一個通道端。其中，第一追隨電晶體的電子特性追隨字元線驅動器中驅動電晶體的電子特性，第二追隨電晶體的電子特性追隨各記憶單元中開通電晶體的電子特性。



10a：隨機存取記憶體

12a：字元線驅動電路

14：記憶單元陣列

16a：字元線驅動器

18a：電壓調整器

B(.)：位元線匯流排

BL(.)：位元線

BLB(.)：位元線

Da(.)-Dj(.)：字元線驅動單元

Iv1：反相器

Iv2：反相器

LT：閃鎖器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100109598

※申請日：100.3.21

※IPC 分類：G11C 16/08 (2006.01)

一、發明名稱：(中文/英文)

具容忍變異字元線驅動抑制機制之隨機存取記憶體/

VARIATION-TOLERANT WORD-LINE UNDER-DRIVE SCHEME
FOR RANDOM ACCESS MEMORY

二、中文發明摘要：

本發明提供一種隨機存取記憶體，其包括複數個字元線驅動器、至少一第一追隨電晶體與第二追隨電晶體。各字元線驅動器有一輸入端以接收一解碼訊號、一電源端以接受一工作電壓、與一驅動端以驅動一字元線。一實施例中，第一追隨電晶體有兩通道端，分別耦接字元線驅動器的驅動端與第二追隨電晶體的一個通道端。其中，第一追隨電晶體的電子特性追隨字元線驅動器中驅動電晶體的電子特性，第二追隨電晶體的電子特性追隨各記憶單元中開通電晶體的電子特性。

三、英文發明摘要：

A Random Access Memory (RAM) is provided. The RAM includes a plurality of word line drivers, at least a first tracking transistor and a second tracking transistor. Each word line driver has an input node receiving a decoding signal, a power node receiving an operation voltage and a driving node driving a word line. In an embodiment, the first tracking transistor has two channel nodes respectively coupled to the driving node of one of the word line driver and a

channel node of the second tracking transistor; wherein the first tracking transistor has electronic characteristics tracking those of a driving transistor of word line driver, and the second tracking transistor has electronic characteristics tracking those of pass gate transistor(s) in each cell of the RAM.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10a 隨機存取記憶體

12a 字元線驅動電路

14 記憶單元陣列

16a 字元線驅動器

18a 電壓調整器

LT 閃鎖器

U(.,.) 記憶單元

WL(.) 字元線

B(.) 位元線匯流排

BL(.)、BLB(.) 位元線

PG 存取開關

Da(.)-Dj(.) 字元線驅動單元

Iv1、Iv2 反相器

nr、nl、nl'、nr'、ni、nt、nd 節點

Pl-Pr、Mp1-Mp2、Mn1-Mn2 電晶體

201207856

TW6960PAMY

VDD、VSS 電壓源

Sd(.) 解碼訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種隨機存取記憶體，特別是有關於一種利用第一與第二追隨電晶體分別追隨字元線驅動器中驅動電晶體的電子特性與記憶單元中閘通電晶體的電子特性來實現可容忍變異的字元線驅動抑制機制以增進低電壓工作穩定性的隨機存取記憶體。

【先前技術】

隨機存取記憶體，例如靜態隨機存取記憶體，已成為現代電子電路、裝置與系統中最重要的構築方塊之一。

【發明內容】

先進的半導體製程，像是低於 100nm 的製程，具有充分的潛力來實現低工作電壓、低功耗與低布局面積的隨機存取記憶體。然而，製程、供應電壓與溫度的變異會對先進半導體製程的產品造成影響。這些變異會降低隨機存取記憶體的穩定度。譬如說，靜態隨機存取記憶體的讀取干擾 (Read-disturb) 會降低讀取的靜態雜訊邊際 (RSNM, Read Static Noise Margin)，影響讀取過程的穩定性。

隨機存取記憶體包括一個具有複數列的記憶單元陣列；每一列上有複數個記憶單元，耦接於一對應字元線。各字元線的電壓受控於一對應的字元線驅動器。每一記憶單元中則設有一門鎖器 (例如由一對交錯互耦的反相器形

成) 及至少一個閘通電晶體；閘鎖器具有兩個儲存節點，閘通電晶體則有一控制端（如閘極）與兩個通道端（如源極與汲極），分別耦合至對應的字元線、兩儲存節點的其中之一、以及一對應的位元線。

當要讀取某一系列與某一位元線上的某一記憶單元時，該位元線會被預充電至邏輯 1 的高電壓；經由該列的字元線，記憶單元的閘通電晶體會被對應位元線驅動器致能，將對應儲存節點導通至該位元線。若該儲存節點儲存邏輯 0 的低電壓，記憶單元中的閘鎖器就會將該位元線由原先的高電壓放電至邏輯 0 的低電壓。然而，閘通電晶體和閘鎖器中用於拉低電壓的反相器電晶體會形成一分壓電路，使邏輯 0 儲存節點的電壓升高為一讀取干擾電壓。若閘通電晶體在其兩通道端間的導通電阻較低（相較於記憶單元閘鎖器中用於拉低電壓的反相器電晶體），該儲存節點上的讀取干擾電壓會上升超過閘鎖器中另一反相器的翻轉電壓（trip voltage，使反相器轉換輸出邏輯值的輸入電壓臨界值），並導致該閘鎖器所閘鎖儲存的資料被錯誤地翻轉，也就是將該儲存節點中原本儲存的低電壓邏輯 0 錯誤地翻轉為高電壓邏輯 1。

前述的問題被稱為讀取干擾；製程、供應電壓與溫度的變異會加重讀取干擾的影響，因為閘通電晶體的導通特性（如用於致能閘通電晶體的字元線電壓與閘通電晶體本

身的導通電阻)與記憶單元中各反相器的翻轉電壓都會隨變異增加而擴大其漂移的範圍,使各儲存節點上由閘通電晶體導致的讀取干擾電壓更有可能會超過另一反相器的翻轉電壓。

減少讀取干擾的解決方案之一是適當地降低字元線驅動器為致能閘通電晶體所提供的字元線致能電壓。較低的字元線致能電壓可實現一字元線驅動抑制(WLUD, Word-Line Under-Drive)機制,降低閘通電晶體的通道導通程度,增加閘通電晶體的通道端間導通電阻,而預充電位元線對儲存節點的讀取干擾也就連帶降低。在為字元線驅動器實現字元線驅動抑制機制時,較佳地是能追隨前述的變異來動態地調整字元線電壓位準,以達成較佳的變異容忍。

因此,本發明的目的之一是提供一種隨機存取記憶體,其具備有容忍變異的字元線驅動抑制機制以提供一較低的字元線致能電壓,並能依據/追隨電晶體特性的製程、電壓與溫度變異來動態地調整字元線致能電壓。本發明隨機存取記憶體包括複數個列、複數個字元線驅動器、至少一第一追隨電晶體與至少一第二追隨電晶體。各列對應一字元線並設有複數個記憶單元;每一記憶單元包括一個用以儲存資料的門鎖器,以及至少一個閘通電晶體,耦接於門鎖器、對應字元線與一對應的位元線之間。各字元線驅

動器設有一電源端、一驅動端、一輸入端及一驅動電晶體；電源端接收一工作電壓，驅動端耦合各字元線的其中之一，輸入端接收一解碼訊號，而驅動電晶體則有一控制端與兩通道端，分別耦接輸入端、驅動端與電源端。

各第一追隨電晶體對應一字元線驅動器，其電子特性追隨對應字元線驅動器中的（拉高）驅動電晶體，並具有兩通道端，其中一通道端耦接對應字元線驅動器的驅動端。第二追隨電晶體的電子特性追隨記憶單元中的開通電晶體，並具有一通道端，與第一追隨電晶體的兩通道端的其中之一耦接。

本發明一實施例中，字元線驅動抑制機制由複數個第一追隨電晶體與複數個第二追隨電晶體實現。各第一追隨電晶體對應一字元線驅動器，並設有一控制端與兩通道端（如一閘極、一汲極與一源極）。各第二追隨電晶體對應一第一追隨電晶體，亦設有一控制端與兩通道端（如一閘極、一汲極與一源極）。一實施例中，各第一追隨電晶體的控制端與兩通道端分別耦接一第二電壓源（如一地電壓源）、對應字元線、與對應第二追隨電晶體的一通道端；對應第二追隨電晶體的另一通道端與控制端則分別耦接第二電壓源與對應字元線。各字元線驅動器的電源端共同耦接至一第一電壓源（如一電源電壓源）。

延續前述實施例，各第一追隨電晶體的控制端可耦接

至對應字元線驅動器的輸入端，而非第二電壓源。

另一實施例中，數個字元線驅動器可被群組起來以共用一共用第二追隨電晶體；群組的各字元線驅動器各自對應一第一追隨電晶體，此第一追隨電晶體的控制端與兩通道端分別耦接對應字元線驅動器的輸入端、對應字元線與共用第二追隨電晶體的一通道端。共用第二追隨電晶體的控制端則可耦接至第一電壓源或一電壓控制器。

本發明的又一實施例中，各第一追隨電晶體中有一個是電源側第一追隨電晶體，其兩通道端分別耦接第一電壓源與各字元線驅動器的電源端。各第二追隨電晶體中有一個是電源側第二追隨電晶體，其兩通道端分別耦接各字元線驅動器的電源端與第二電壓源。如此，就能降低字元線驅動器的供應電壓，以實現字元線驅動抑制機制。

以第一追隨電晶體耦接字元線的電路架構可和前述實施例組合。電源側第一與第二追隨電晶體耦接各字元線驅動器的電源端；除此之外，第一與第二追隨電晶體中還包括驅動側第一追隨電晶體與驅動側第二追隨電晶體。各驅動側第一追隨電晶體的控制端與兩通道端分別耦接第二電壓源、對應字元線與一對應驅動側第二追隨電晶體的一通道端；而對應第二追隨電晶體的另一通道端與控制端則分別耦接第二電壓源與對應字元線。或者，各驅動側第一追隨電晶體與其對應的驅動側第二追隨電晶體的控制

端可分別耦接對應字元線驅動器的輸入端與一共用電壓控制器。又如，各驅動側第一追隨電晶體可被群組起來共用同一個共用驅動側第二追隨電晶體；各驅動側第一追隨電晶體的兩通道端分別耦接對應字元線與共用驅動側第二追隨電晶體的一通道端。

在本發明的又一種實施例中，各字元線驅動器對應一第一追隨電晶體與一第二追隨電晶體；第一追隨電晶體的控制端與兩通道端分別耦接第二電壓源、對應字元線與第二電壓源，第二追隨電晶體的控制端與兩通道端分別耦接第一電壓源、對應字元線與第二電壓源。或者，各字元線驅動器可對應一第一追隨電晶體與兩個第二追隨電晶體，分別為一並聯第二追隨電晶體與一串聯第二追隨電晶體；第一追隨電晶體的兩通道端分別耦接對應字元線與串聯第二追隨電晶體的一通道端，並聯第二追隨電晶體的兩通道端則分別耦接字元線與串聯第二追隨電晶體的通道端。又如，數個字元線驅動器可被群組起來以共用一共用第二追隨電晶體，各字元線驅動器在此共用第二追隨電晶體之外還另對應一第一追隨電晶體與一並聯第二追隨電晶體。針對每一字元線驅動器，第一追隨電晶體的兩通道端分別耦接對應字元線與共用第二追隨電晶體的一通道端，並聯第二電晶體的兩通道端則分別耦接字元線與共用第二追隨電晶體的通道端。

為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第 1 圖，其所示意的是依據本發明一實施例的隨機存取記憶體 10a。隨機存取記憶體 10a 設有一記憶單元陣列 14 與一字元線驅動電路 12a。記憶單元陣列 14 有複數列，每列包括複數個記憶單元與一對應的字元線，例如說，記憶單元 $U(m-1,n-1)$ 與 $U(m-1,n)$ 屬於同一列，對應字元線 $WL(m-1)$ ；記憶單元 $U(m,n-1)$ 與 $U(m,n)$ 則同屬另一列，對應字元線 $WL(m)$ 。以下就以記憶單元 $U(m,n)$ 來代表各記憶單元的通用架構；記憶單元 $U(m,n)$ 具有一閃鎖器 LT 以儲存資料（如一位元的資料），並有一存取開關 PG，其可依據字元線 $WL(m)$ 的電壓控制一位元線 $B(n)$ 與記憶單元 $U(m,n)$ 儲存節點的導通。位元線 $B(n)$ 耦接同一行的各記憶單元，如記憶單元 $U(m-1,n)$ 與 $U(m,n)$ ；而另一位元線 $B(n-1)$ 則耦接另一行的記憶單元 $U(m-1,n-1)$ 與 $U(m,n-1)$ 。

第 1 圖中亦示意了記憶單元 $U(m,n)$ 的兩種實施例；閃鎖器 LT 可由兩個反相器 $Iv1$ 與 $Iv2$ 形成，反相器 $Iv1$ 與 $Iv2$ 交錯互耦於兩節點（兩儲存節點） nr 與 $n1$ 之間。在一實施例中，位元線 $B(n)$ 包括單一位元線 $BL(n)$ ，存取開關

PG 中則設有一電晶體 P1 (如一 n 通道金氧半電晶體) 以作為單一開通電晶體, 其具有一控制端 (閘極) 與兩通道端 (汲極與源極), 分別耦接對應字元線 WL(m)、儲存節點 n1 與位元線 BL(n) 的節點 n1'。在另一實施例中, 位元線 B(n) 設有位元線 BL(n) 與 BLB(n), 故存取開關 PG 包括了兩電晶體 P1 與 Pr 以作為兩個開通電晶體。電晶體 P1 的兩通道端耦接於節點 n1 與位元線 BLB(n) 的節點 n1', 電晶體 Pr 的兩通道端則耦接於節點 nr 與位元線 BL(n) 的節點 nr'; 電晶體 Pr 與 P1 的控制端 (閘極) 均耦接至字元線 WL(m)。

字元線驅動電路 12a 可為上述兩種記憶單元實施例實現本發明的字元線驅動抑制機制。字元線驅動電路 12a 工作於兩電壓源 VDD (電源電壓源) 與 VSS (地電壓源) 之間, 包括複數個驅動單元, 各驅動單元為一對應的字元線提供一字元線電壓; 例如說, 字元線驅動單元 Da(m) 與 Da(m-1) 就分別對應字元線 WL(m) 與 WL(m-1)。

以字元線驅動單元 Da(m) 為例來說明各字元線驅動單元的通用架構; 字元線驅動單元 Da(m) 設有一字元線驅動器 16a 與一電壓調整器 18a。字元線驅動器 16a 設有一電晶體 Mpl (如一 p 通道金氧半電晶體) 與一電晶體 Mn1 (如一 n 通道金氧半電晶體); 而節點 ni、nd 與 nt 則分別為一輸入端, 一驅動端與一電源端。節點 ni 接收一對應

解碼訊號 $Sd(m)$ (譬如說由一字元位址預解碼器接收，未示於圖)，節點 nd 耦接字元線 $WL(m)$ ，而節點 nt 則由電壓源 VDD 接收工作電壓。

電晶體 $Mp1$ 為一拉高 (pull-up) 驅動電晶體，具有一控制端與兩通道端，分別耦接節點 ni 、 nt 與 nd ；電晶體 $Mn1$ 則為一拉低 (pull-down) 驅動電晶體，亦具有一控制端與兩通道端，分別耦接節點 ni 、電壓源 VSS 與節點 nd 。字元線驅動器控制字元線 $WL(m)$ 的電壓轉換；當對應於字元線 $WL(m)$ 的某一記憶單元要被存取時，解碼訊號 $Sd(m)$ 會觸發字元線驅動單元 $Da(m)$ 中的字元線驅動器 16a，以升高字元線 $WL(m)$ 的電壓；拉高電晶體 $Mp1$ 會導通而使字元線電壓朝向電壓源 VDD 升高，以提供一字元線致能電壓。如此，在耦接於字元線 $WL(m)$ 的各個記憶單元中 (如記憶單元 $U(m,n-1)$ 與 $U(m,n)$)，其開通電晶體就會被致能導通。

為實現本發明的字元線驅動抑制機制，各字元線驅動單元 $Da(m)$ 中的電壓調整器 18a 會與字元線驅動器 16a 一起運作，以降低字元線 $WL(m)$ 上用以致能對應開通電晶體的字元線致能電壓，並維護字元線致能電壓，使其可以抵抗變異影響。第 1 圖實施例中，電壓調整器 18a 包括一電晶體 $Mp2$ (如一 p 通道金氧半電晶體) 與一電晶體 $Mn2$ (如一 n 通道金氧半電晶體)，可分別視為一第一追隨電

晶體與一第二追隨電晶體。在每一字元線驅動單元 Da(m) 中，電晶體 Mp2 具有一控制端與兩通道端，分別耦接電壓源 VSS、節點 nd 與節點 nc；電晶體 Mp2 的電子特性（例如兩通道端間的導通電阻、驅動能力及/或臨限電壓）會追隨驅動電晶體 Mp1 的電子特性。電晶體 Mn2 亦具有一控制端與兩通道端，分別耦接節點 nd、節點 nc 與電壓源 VSS；針對字元線 WL(m) 耦接的各存取開關 PG，電晶體 Mn2 的電子特性會追隨存取開關 PG 中各開通電晶體的電子特性。

電壓調整器 18a 的運作情形可描述如下。在字元線驅動單元 Da(m) 中，當字元線驅動器 16a 的電晶體 Mp1 導通而拉高字元線 WL(m) 的電壓以提供字元線致能電壓來致能字元線 WL(m) 的各開通電晶體時，電壓調整器 18a 中的電晶體 Mn2 亦會導通，故電晶體 Mp2 與 Mn2 均會導通而由節點 nd 汲取電流；因此，節點 nd 的電壓（也就是字元線 WL(m) 的字元線致能電壓）就會降低至一個低於電壓源 VDD 的電壓值，實現字元線驅動抑制機制。等效上來說，導通的電晶體 Mp2 與 Mn2 會在節點 nd 與電壓源 VSS 之間提供一電阻，以降低字元線致能電壓。

再者，由字元線驅動單元 Da(m) 提供的字元線致能電壓會由電晶體 Mp2 與 Mn2 自動地動態調整，以維護字元線致能電壓，使其能對抗各種變異。例如說，在拉高驅動

電晶體 Mp1 驅動字元線致能電壓時，若製程變異使驅動電晶體 Mp1 成為一個具有高電流驅動能力與低通道電阻（即其通道端間的導通電阻）的快電晶體（fast transistor），電晶體 Mp1 會傾向將節點 nd 的電壓提昇地更高，更趨近電壓源 VDD。然而，由於電晶體 Mp2 的電流驅動能力會追隨電晶體 Mp1 的電流驅動能力，電晶體 Mp2 的導通通道電阻也會較低，使電壓調整器 18a 會由節點 nd 汲取更多電流；因此，節點 nd 的字元線致能電壓就會被動態地維護，抵抗變異的影響。

類似地，若耦接於字元線 WL(m) 的各開通電晶體因製程變異而成為快電晶體，會傾向於提高儲存節點的讀取干擾電壓，更容易引發錯誤的資料翻轉。然而，由於電晶體 Mn2 的行為表現會追隨各開通電晶體，故電晶體 Mn2 亦為一快電晶體，具有較低的導通通道電阻，使電壓調整器 18a 會由節點 nd 汲取更多電流，連帶使字元線 WL(m) 的字元線致能電壓降低，而開通電晶體的導通程度（與讀取干擾電壓）也就會一併降低。

在電壓驅動單元 Da(m) 的電壓調整器 18a 中使用追隨電晶體 Mn2 而不使用被動的電阻，對字元線 WL(m) 的電壓上升時間有正面的助益，可改善隨機存取記憶體 10a 的存取時序。當字元線驅動器 16a 將節點 nd 的電壓由一低電壓（例如，趨近電壓源 VSS 的電壓）開始拉高時，節點

nd 的初始低電壓不會將電晶體 Mn2 完全導通，故電壓調整器 18a 的電晶體 Mp2 與 Mn2 一開始並不會向節點 nd 汲取電流，不會影響字元線驅動器 16a 對節點 nd 的充電，而節點 nd 的電壓就能更快地被建立起來；相較之下，若以一被動電阻取代電晶體 Mn2，當字元線驅動器 16a 開始拉高字元線電壓時，此電阻會從一開始就由節點 nd 汲取電流，阻擾對節點 nd 的充電。此外，由於字元線驅動單元 Da(m) 在作為電源端的節點 nt 係直接耦接電壓源 VDD，電晶體 Mp1 會由電壓源 VDD 獲得充分完全的電壓供應，以加快字元線致能電壓的上升速度。

依據本發明的另一實施例，第 1 圖的隨機存取記憶體 10a 可修改衍生為第 2 圖的隨機存取記憶體 10b。類似於隨機存取記憶體 10a 的字元線驅動電路 12a，隨機存取記憶體 10b 的字元線驅動電路 12b 具有各字元線驅動單元，例如 Db(m-1) 與 Db(m)；各字元線驅動單元 Db(m) 設有一字元線驅動器 16b 與一電壓調整器 18b，前者具有驅動電晶體 Mp1 與 Mn1，後者則設置追隨電晶體 Mp2 與 Mn2。在各字元線驅動單元 Db(m) 中，追隨電晶體 Mp2 的控制端耦接於節點 ni，而非電壓源 VSS。當字元線 WL(m) 被選擇時，解碼訊號 Sd(m) 會在節點 ni 以低電壓觸發節點 nd 的電壓提昇；由於電壓調整器 18b 只需在字元線 WL(m) 被選擇時進行運作，故電晶體 Mp2 的控制端可直接受控於解碼

訊號 $Sd(m)$ 。當解碼訊號 $Sd(m)$ 降低以導通字元線驅動器 16b 的拉高驅動電晶體 $Mp1$ 時，電晶體 $Mp2$ 也一併被導通，使電壓調整器 18b 能夠開始運作，得以維護並補償字元線 $WL(m)$ 的字元線致能電壓。當解碼訊號 $Sd(m)$ 回升至高電壓而終止字元線 $WL(m)$ 的存取時，電晶體 $Mp1$ 與 $Mp2$ 就會關閉而不再導通運作。在隨機存取記憶體 10b 中，字元線驅動電路 12b 的布局面積能夠縮減；由於電晶體 $Mp1$ 與 $Mp2$ 均耦接節點 ni 與 nd ，兩者的布局能夠優化而縮減。

延續第 1 圖與第 2 圖，請參考第 3 圖，其示意的是本發明另一實施例的隨機存取記憶體 10c。隨機存取記憶體 10c 的字元線驅動電路 12c 具有複數個字元線驅動單元，如 $Dc(m)$ 至 $Dc(m+K-1)$ ，分別對應字元線 $WL(m)$ 至 $WL(m+K-1)$ 。以字元線驅動單元 $Dc(m)$ 為例來說明各字元線驅動單元的共通架構，字元線驅動單元 $Dc(m)$ 具有一字元線驅動器 16c 與一電壓調整器 18c，前者設有驅動電晶體 $Mp1$ 與 $Mn1$ ，後者則設有電晶體 $Mp2$ ，可視為一第一追隨電晶體。在第 1 圖與第 2 圖的每一字元線驅動單元 $Da(m)$ 與 $Db(m)$ 都各自有一對應的第二追隨電晶體 $Mn2$ ，第 3 圖中的複數個 (K 個) 字元線驅動單元 $Dc(m)$ 至 $Dc(m+K-1)$ 則被群組起來共用同一個共用第二追隨電晶體 $Mn2$ 。在各字元線驅動單元 $Dc(m)$ 至 $Dc(m+K-1)$ 中，各第 s

點 nd ，與該共用第二追隨電晶體 $Mn2$ 的一個通道端。共用第二追隨電晶體 $Mn2$ 的控制端（閘極）耦接一電壓控制器 22，以接收一閘極偏壓。隨機存取記憶體 12c 不但承襲隨機存取記憶體 12a 與 12b 的各項優點，其布局面積也可降低，因為多個字元線驅動單元可共用同一個第二追隨電晶體 $Mn2$ 。

較佳地，各字元線 $WL(m)$ 至 $WL(m+K-1)$ （與對應字元線驅動單元 $Dc(m)$ 至 $Dc(m+K-1)$ ）被群組的原則可以是：單一時間內，同一群組中只有一個字元線被致能選擇，其餘的字元線則失能而不被選擇。因此，在同一群組中，一次只有一個第一追隨電晶體 $Mp2$ 會被導通而和共用第二追隨電晶體 $Mn2$ 共同運作。在此種安排下，由於共用第二追隨電晶體 $Mn2$ 在同一時間內不需面對多個導通的第一追隨電晶體 $Mp2$ ，共用第二追隨電晶體 $Mn2$ 不需要有大布局面積。在隨機存取記憶體 10c 中，同一個有效次陣列（active sub-array，以記憶單元陣列 14 代表）可分享一個第二追隨電晶體 $Mn2$ ，也就是說， K 等於此有效次陣列 14 的列數。或者，有效次陣列 14 的所有列可被群組為複數個不同的群組，例如說，字元線 $WL(m)$ 至 $WL(m+K-1)$ 為第一群組，共用同一個共用第二追隨電晶體 $Mn2$ ，而字元線 $WL(m+K)$ 至 $WL(m+2*K-1)$ 則為第二群組，共用另一個共用追隨電晶體 $Mn2$ 。各共用第二追隨電晶體 $Mn2$ 可

各自擁有對應的電壓控制器 22，或者，不同群組的複數個共用第二追隨電晶體可共用同一個電壓控制器 22。

電壓控制器 22 可以是一可程式化 (programmable) 的電壓源，以為第二追隨電晶體 $Mn2$ 提供一個可程式化的閘極偏壓。在將隨機存取記憶體 12c 實現於晶粒或晶片時，電壓控制器可因應不同晶粒/晶片間的變異而於不同晶粒/晶片中各自調整字元線驅動抑制的程度。舉例而言，若在一第一晶粒的隨機存取記憶體 12c 中，其 p 通道金氧半電晶體因快電晶體的變異而使字元線致能電壓偏高，第一晶粒中的電壓控制器 22 就可被程式化來提供一較高的閘極偏壓，以反向補償 (降低) 字元線致能電壓；若在一第二晶粒的隨機存取記憶體 12c 中，其 p 通道金氧半電晶體變異為慢電晶體而使其字元線致能電壓偏低，第二晶粒中的電壓控制器 22 可被程式化來提供一較低的閘極偏壓，以提高字元線致能電壓。電壓控制器 22 的程式化設定可由晶粒/晶片中的內部程式電路 (如內建自我測試器，built-in self-tester) 進行。或者，在晶粒/晶片出廠前可先進行測試，以為各晶粒/晶片決定一個適合的程式化設定，並將程式化設定燒錄至晶粒/晶片的非揮發性記憶裝置中。又如，晶粒/晶片可設置一或多個輸入腳位，以接收外部傳入的程式化設定。

請參考第 4 圖，其示意本發明另一實施例的隨機存取

記憶體 10d。隨機存取記憶體 10d 有一字元線驅動電路 12d，其設有複數個字元線驅動單元以驅動記憶單元陣列 14 中的複數條對應字元線，例如說，字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$ 就分別對應字元線 $WL(m)$ 至 $WL(m+K-1)$ 。以字元線驅動單元 $Dd(m)$ 來說明各字元線驅動單元的共通架構，字元線驅動單元 $Dd(m)$ 設有一字元線驅動器 16d，其包括有一電晶體 $Mp1$ 與 $Mn1$ ，分別為拉高驅動電晶體與拉低驅動電晶體。字元線驅動單元 $Dd(m)$ 的字元線驅動器 16d 於節點 ni 的輸入端接收一解碼訊號 $Sd(m)$ 、於節點 nt 的電源端接受工作電壓供應，並於節點 nd 的驅動端為對應字元線 $WL(m)$ 提供字元線致能電壓。

字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$ 被群組起來以共用一個電壓控制器 18d；電壓控制器 18d 包括一對電晶體 $Mp3$ （如一 p 通道金氧半電晶體）與 $Mn3$ （如一 n 通道金氧半電晶體），分別作為一電源側第一追隨電晶體與一電源側第二追隨電晶體。電源側第一追隨電晶體 $Mp3$ 有一控制端與兩通道端，分別耦接電壓源 VSS 、電壓源 VDD 與各字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$ 的節點 nt ；電源側第二追隨電晶體 $Mn3$ 亦具有一控制端與兩通道端，分別耦接一解碼訊號 $Sd0$ 、電壓源 VSS ，以及各字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$ 的節點 nt 。由於電晶體 $Mp3$ 與 $Mn3$ 可控制同一群組中各字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$

的節點 nt 電壓，故可為各字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$ 中的字元線驅動器 $16d$ 降低工作電壓供應，藉此來實現字元線驅動抑制機制。

對應字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$ 的字元線 $WL(m)$ 至 $WL(m+K-1)$ 被群組的原則可以是：當存取（選擇）字元線 $WL(m)$ 至 $WL(m+K-1)$ 的其中之一時，解碼訊號 $Sd0$ 可導通電源側第二追隨電晶體 $Mn3$ 。如此，電源側第一與第二追隨電晶體 $Mp3$ 與 $Mn3$ 的通道電阻就會在電壓源 VDD 與 VSS 間進行分壓，以供應一個低於電壓源 VDD 的工作電壓，而由各字元線驅動單元 $Dd(m)$ 至 $Dd(m+K-1)$ 的字元線驅動器 $16d$ 所提供的字元線致能電壓就會被降低。為維護一個穩定且可抵抗變異的字元線致能電壓，電源側第一追隨電晶體 $Mp3$ 的電子特性會追隨各電晶體 $Mp1$ 的電子特性，而電源側第二追隨電晶體 $Mn3$ 的電子特性則追隨各記憶單元中的開通電晶體。舉例而言，當字元線 $WL(m)$ 被致能（選擇）時，快電晶體 $Mp1$ 會傾向於汲取更多電流而降低節點 nt 的電壓，但快電晶體 $Mp3$ 的導通通道電阻也會較低，使快電晶體 $Mp3$ 傾向於將節點 nt 的電壓提昇；因此，變異的影響就會被抵減，供應於節點 nt 的工作電壓可被維護，連帶地，節點 nd 的字元線致能電壓也就能一併維持穩定。

在隨機存取記憶體 $10d$ 中，所有列的所有字元線驅動

單元可以共用同一對電源側第一與第二追隨電晶體 Mp3 與 Mn3；亦即 K 等於記憶單元陣列 14 的總列數。或者，記憶單元陣列 14 的所有列可被群組為不同的群組，例如說，字元線 WL(m)至 WL(m+K-1)為第一群組，共用一對電源側第一與第二追隨電晶體 Mp3 與 Mn3；字元線 WL(m+K)至 WL(m+2*K-1)則群組為第二群組，共用另一對電源側第一與第二追隨電晶體 Mp3 與 Mn3，以此類推。

隨機存取記憶體 10a 至 10c 的字元線驅動抑制機制可以和隨機存取記憶體 10d 的字元線驅動抑制機制合併，如第 5、6 與 7 圖所示的隨機存取記憶體 10e、10f 與 10g。第 5 圖的隨機存取記憶體 10e 設有一字元線驅動電路 12e，其包括了複數個字元線驅動單元，如 De(m)至 De(m+K-1)；以下以字元線驅動單元 De(m)來代表各字元線驅動單元的共通架構。類似於第 1 圖的字元線驅動單元 Da(m)，隨機存取記憶體 10e 的字元線驅動單元 De(m)設有一字元線驅動器 16a 與一電壓調整器 18e。字元線驅動器 16e 於節點 ni、nd 與 nt 分別具有一輸入端、一驅動端與一電源端，並設置兩電晶體 Mp1 與 Mn1，分別為拉高驅動電晶體與拉低驅動電晶體。電壓調整器 18e 則設有電晶體 Mp2 與 Mn2，分別為驅動側第一追隨電晶體與驅動側第二追隨電晶體。再者，隨機存取記憶體 10e 還有另一電壓調整器 18e'，其具有電晶體 Mp3 與 Mn3，分別是電源側第

一追隨電晶體與電源側第二追隨電晶體；電壓調整器 18e' 可在節點 nt 為各字元線驅動單元 De(m) 至 De(m+K-1) 的各字元線驅動器 16e 供應工作電壓。

由於電壓調整器 18e' 供應的工作電壓低於電壓源 VDD，各字元線驅動單元 De(m) 至 De(m+K-1) 的字元線驅動器 16e 與電壓調整器 18e 便能進一步提供比該工作電壓更低的字元線致能電壓；在電壓調整器 18e' 與 18e 的共同運作下，就能實現字元線驅動抑制機制。為維護字元線致能電壓，第一追隨電晶體 Mp2 與 Mp3 的電子特性會追隨拉高驅動電晶體 Mp1 的電子特性，第二追隨電晶體 Mn2 與 Mn3 的電子特性則追隨記憶單元中的各開通電晶體。

第 6 圖的隨機存取記憶體 10f 設有一字元線驅動電路 12f，其配備一電壓調整器 18f'；在群組的各字元線驅動單元 Df(m) 至 Df(m+K-1) 中的字元線驅動器 16f 與電壓調整器 18f 可和電壓調整器 18f' 一起運作。以字元線驅動單元 Df(m) 為例說明各字元線驅動單元的共通架構，字元線驅動單元 Df(m) 中設有電晶體 Mp2 與 Mn2，分別作為驅動側第一與第二追隨電晶體；電晶體 Mp2 的控制端（閘極）在節點 ni 耦接字元線驅動器 16f 的輸入端，電晶體 Mn2 的控制端則耦接一共用電壓控制器 22。

在第 7 圖的隨機存取記憶體 10g 中，除了以電源側第一與第二追隨電晶體 Mp3 與 Mn3 所形成的電壓調整器

18g', 被群組起來的各字元線驅動單元 $Dg(m)$ 至 $Dg(m+K-1)$ 也各設有一電壓調整器 18g; 電壓調整器 18g 中以電晶體 $Mp2$ 作為驅動側第一追隨電晶體, 而字元線驅動單元 $Dg(m)$ 至 $Dg(m+K-1)$ 的電晶體 $Mp2$ 則一併耦接至同一個電晶體 $Mn2$, 作為共用驅動側第二追隨電晶體, 類似第 3 圖中的電路。

第 8 圖示意本發明另一實施例的隨機存取記憶體 10h, 其設有一字元線驅動電路 12h, 包括有複數個字元線驅動單元, 如 $Dh(m-1)$ 與 $Dh(m)$ 。以字元線驅動單元 $Dh(m)$ 為例來說明各字元線驅動單元的共通架構, 其設有一字元線驅動器 16h 與一對應的電壓調整器 18h。在字元線驅動單元 $Dh(m)$ 中, 字元線驅動器 16h 包括兩電晶體 $Mp1$ 與 $Mn1$, 分別為拉高與拉低驅動電晶體, 並在節點 ni 的輸入端接收解碼訊號 $Sd(m)$, 在節點 nt 的電源端接收電壓源 VDD 所供應的工作電壓, 在節點 nd 的驅動端為記憶單元陣列 14 的字元線 $WL(m)$ 提供字元線致能電壓。字元線驅動單元 $Dh(m)$ 的電壓控制器 18h 則包括電晶體 $Mp2$ 與 $Mn2$, 分別為第一與第二追隨電晶體; 電晶體 $Mp2$ 有一控制端與兩通道端, 分別耦接電壓源 VSS 、節點 nd (即對應之字元線 $WL(m)$), 以及電壓源 VSS ; 電晶體 $Mn2$ 也有一控制端與兩通道端, 分別耦接電壓源 VDD 、節點 nd 與電壓源 VSS 。

類似於字元線驅動電路 12a 至 12c 與 12e 至 12g 中對第一與第二追隨電晶體 M_{p2} 與 M_{n2} 的串聯安排，第 8 圖字元線驅動電路 12h 中對第一與第二追隨電晶體 M_{p2} 與 M_{n2} 的並聯安排也能利用電晶體 M_{p2} 與 M_{n2} 對電晶體 M_{p1} 與開通電晶體的電子特性追隨來實現抵抗變異的字元線驅動抑制機制。舉例而言，當拉高驅動電晶體 M_{p1} 驅動字元線致能電壓時，快電晶體 M_{p1} 的高電流驅動能力與低通道電阻（其兩通道端間的導通電阻）會傾向將節點 nd 的電壓拉昇地更高，使字元線致能電壓更趨近電壓源 VDD ；然而，既然電晶體 M_{p2} 的驅動能力會追隨電晶體 M_{p1} ，電晶體 M_{p2} 也會由節點 nd 汲取更多電流而使其電壓降低；因此，節點 nd 的字元線致能電壓就能被動態地維護，降低變異對字元線致能電壓的影響。同理，在耦接字元線 $WL(m)$ 的記憶單元中，若開通電晶體因變異而變成快電晶體，開通電晶體會傾向將儲存節點的讀取干擾電壓提高。然而，由於電晶體 M_{n2} 的行為與性能會追隨開通電晶體，電晶體 M_{n2} 會由節點 nd 汲取更多電流，反向地降低字元線 $WL(m)$ 的字元線致能電壓，使開通電晶體的通道導通程度降低，連帶使讀取干擾電壓一併降低。

追隨電晶體的串聯與並聯可以合併，如第 9 圖的隨機存取記憶體 10i 與第 10 圖的隨機存取記憶體 10j。在隨機存取記憶體 10i 的字元線驅動電路 12i 中，各字元線驅動

單元，如 $D_i(m)$ ，包括有一字元線驅動器 16_i 與一電壓調整器 18_i 。電壓調整器 18_i 設有電晶體 M_{p2} 作為第一追隨電晶體，並設有兩電晶體（如 n 通道金氧半電晶體） M_{n2} 與 M_{n3} ，分別為並聯第二追隨電晶體與串聯第二追隨電晶體。在字元線驅動單元 $D_i(m)$ 中，第一追隨電晶體 M_{p2} 有一控制端與兩通道端，分別耦接電壓源 VSS 、節點 nd 與節點 nc ；並聯第二追隨電晶體 M_{n2} 也有一控制端與兩通道端，分別耦接電壓源 VDD 、節點 nd 與節點 nc ；串聯第二追隨電晶體 M_{n3} 亦有一控制端與兩通道端，分別耦接節點 nd 、 nc 與電壓源 VSS 。電晶體 M_{p2} 的電子特性被設計來追隨電晶體 M_{p1} 的電子特性，而電晶體 M_{n2} 與 M_{n3} 的電子特性則設計來追隨記憶單元開通電晶體的電子特性，而各驅動單元 $D_i(m)$ 中的電壓調整器 18_i 與字元線驅動器 16_i 就能提供抵抗變異的字元線驅動抑制機制。

串聯第二追隨電晶體可由群組的複數個字元線驅動單元 $D_j(m)$ 至 $D_j(m+K-1)$ 共用，如第 10 圖的隨機存取記憶體 10_j 所示。在字元線驅動電路 12_j 的各字元線驅動單元 $D_j(m)$ 中，電壓調整器 18_j 設有電晶體 M_{p2} 與 M_{n2} ，分別為第一追隨電晶體與並聯第二追隨電晶體，而各字元線驅動單元 $D_j(m)$ 至 $D_j(m+K-1)$ 的電壓調整器 18_j 則統一於節點 nc 耦接至共用串聯第二追隨電晶體 M_{n3} ，以實現容忍變異的字元線驅動抑制機制。共用串聯第二電晶體 M_{n3} 的控制

端可受控於電壓控制器 22。

第 1 圖至第 10 圖的字元線驅動電路 12a 至 12j 可被推廣運用於各種需要變異容忍字元線驅動抑制機制的記憶單元陣列。舉例而言，在多埠記憶單元陣列中，各記憶單元有複數個埠，每個埠設由一存取開關耦接一對應字元線；而本發明就可為每一埠的字元線設置一對應的驅動電路。

在使用被動電阻的習知技術中，電阻本身的變異會影響字元線驅動抑制機制的效能，也無法完全地因應所有的電晶體變異（例如說，只能追隨開通電晶體的變異或只能追隨字元線拉高驅動電晶體的變異），還會使字元線致能電壓的上升時間變慢；相較之下，本發明變異容忍字元線驅動抑制機制可以完整因應字元線拉高驅動電晶體與開通電晶體的變異，以對讀取干擾進行較佳的減抑，並加強靜態雜訊邊際，改善字元線致能電壓的上升時間與隨機存取記憶體存取時序。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖至第 10 圖分別示意本發明的不同實施例。

【主要元件符號說明】

10a-10j 隨機存取記憶體

12a-12j 字元線驅動電路

14 記憶單元陣列

16a-16j 字元線驅動器

18a-18j、18e'-18g' 電壓調整器

22 電壓控制器

LT 門鎖器

U(.,.) 記憶單元

WL(.) 字元線

BL(.)、BLB(.) 位元線

PG 存取開關

B(.) 位元線

Da(.)-Dj(.) 字元線驅動單元

Iv1、Iv2 反相器

nr、nl、nl'、nr'、ni、nt、nd、nc 節點

Pl-Pr、Mp1-Mp3、Mn1-Mn3 電晶體

VDD、VSS 電壓源

Sd(.)、Sd0 解碼訊號

七、申請專利範圍：

1. 一種隨機存取記憶體，包含：

複數個列，每一該列包含複數個記憶單元及一對應的字元線；各該記憶單元包含一個用於儲存資料的門鎖器以及至少一閘通電晶體，耦接於該門鎖器、該對應字元線與一對應位元線之間；

複數個字元線驅動器，每一該字元線驅動器包含一電源端、一驅動端、一輸入端及一驅動電晶體；該電源端接收一工作電壓，該驅動端耦接該些列的該些字元線的其中之一，該輸入端接收一解碼訊號，該驅動電晶體包含一控制端與兩通道端，分別耦接該輸入端、該驅動端與該電源端；

至少一第一追隨電晶體，各該第一追隨電晶體對應該些字元線驅動器的其中之一，包含兩通道端；其中一通道端耦接該對應字元線驅動器的該電源端及該驅動端的其中之一；該第一追隨電晶體的電子特性追隨該對應字元線驅動器中該驅動電晶體的電子特性；以及至少一第二追隨電晶體，包含一通道端，耦接該第一追隨電晶體的該兩通道端的其中之一；該第二追隨電晶體的電子特性追隨該些記憶單元中該些閘通電晶體的電子特性。

2. 如申請專利範圍第 1 項的隨機存取記憶體，其係包含複數個第一追隨電晶體與複數個第二追隨電晶體，各該第一追隨電晶體對應該些字元驅動器的其中之一，各該第二追隨電晶體對應該些第一追隨電晶體的其中之一，各該第一追隨電晶體的該兩通道端分別耦接該對應字元線驅動器的該驅動端及該對應第二追隨電晶體的該通道端。

3. 如申請專利範圍第 2 項的隨機存取記憶體，其中，各該字元線驅動器的該電源端係耦接於一第一電壓源，各該第一追隨電晶體更包含一控制端，耦接至一第二電壓源；各該第二追隨電晶體更包含一控制端，耦接該對應字元線驅動器的該驅動端。

4. 如申請專利範圍第 2 項的隨機存取記憶體，其中，各該字元線驅動器的該電源端係耦接於一第一電壓源，各該第一追隨電晶體更包含一控制端，耦接該對應字元線驅動器的該輸入端；各該第二追隨電晶體更包含一控制端，耦接該對應字元線驅動器的該驅動端。

5. 如申請專利範圍第 1 項的隨機存取記憶體，其係包含複數個第一追隨電晶體與一個第二追隨電晶體，每一該第一追隨電晶體對應該些字元線驅動器的其中之一，該第二追

隨電晶體係一共用第二追隨電晶體；各該第一追隨電晶體的該兩通道端分別耦接該對應字元驅動器的該驅動端以及該共用第二追隨電晶體的該通道端。

6. 如申請專利範圍第 1 項的隨機存取記憶體，其中，各該第一追隨電晶體的該兩通道端係分別耦接一第一電壓源與該些字元線驅動器的該些電源端，該第二追隨電晶體的該通道端係耦接該些字元線驅動器的該些電源端。

7. 如申請專利範圍第 1 項的隨機存取記憶體，係包含複數個第一追隨電晶體與複數個第二追隨電晶體；各該第一追隨電晶體更包含一控制端，該些第一追隨電晶體的其中之一係一電源側第一追隨電晶體，其他則係驅動側第一追隨電晶體；該些第二追隨電晶體的其中之一係一電源側第二追隨電晶體，其他則係驅動側第二追隨電晶體；該電源側第一追隨電晶體的該控制端與該兩通道端分別耦接一第二電壓源、一第一電壓源及該些字元線驅動器的該些電源端；各該驅動側第二追隨電晶體分別對應該些驅動側第一追隨電晶體的其中之一，各該驅動側第一追隨電晶體的該控制端與該兩通道端分別耦接該第二電壓源、該些字元線驅動器其中之一的該驅動端，與該對應的驅動側第二追隨電晶體的該通道端。

8. 如申請專利範圍第 1 項的隨機存取記憶體，係包含複數個第一追隨電晶體與複數個第二追隨電晶體；各該第一追隨電晶體更包含一控制端；該些第一追隨電晶體的其中之一係一電源側第一追隨電晶體，其他為驅動側第一追隨電晶體；該些第二追隨電晶體的其中之一係一電源側第二追隨電晶體，其他為驅動側第二追隨電晶體；各該驅動側第一電晶體對應該些驅動側第二追隨電晶體的其中之一，並對應該些字元線驅動器的其中之一；該電源側第一追隨電晶體的該控制端與該兩通道端分別耦接一第二電壓源、一第一電壓源及該些字元線驅動器的該些電源端；各該驅動側第一追隨電晶體的該控制端與該兩通道端分別耦接該對應字元線驅動器的該輸入端與該驅動端，及該對應驅動側第二追隨電晶體的該通道端。

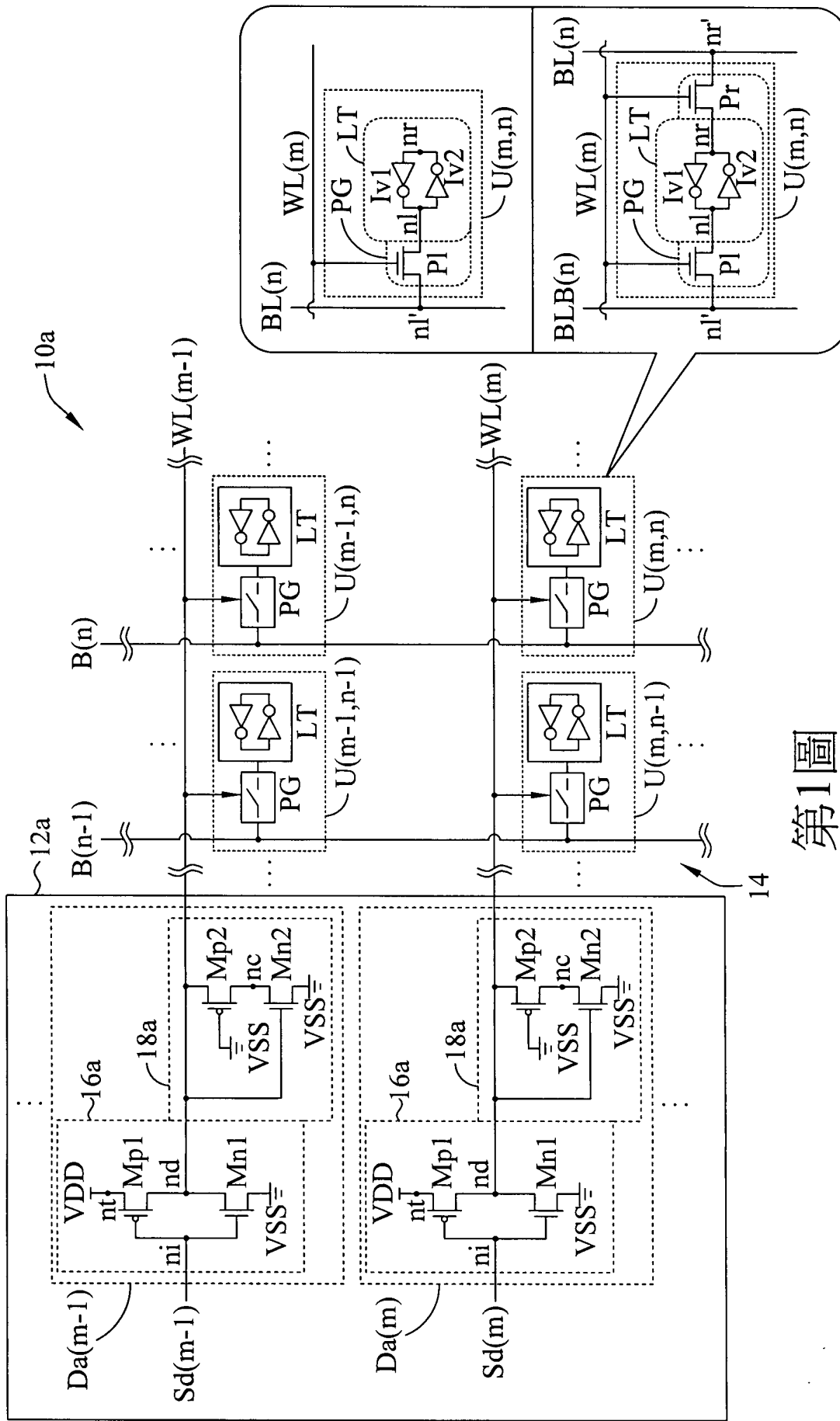
9. 如申請專利範圍第 1 項的隨機存取記憶體，係包含複數個第一追隨電晶體與複數個第二追隨電晶體；各該第一追隨電晶體更包含一控制端；該些第一追隨電晶體的其中之一係一電源側第一追隨電晶體，其他為驅動側第一追隨電晶體；該些第二追隨電晶體的其中之一係一電源側第二追隨電晶體，另一則係一共用驅動側第二追隨電晶體；各該驅動側第一追隨電晶體對應該些字元線驅動器的其中之

一；該電源側第一追隨電晶體的該控制端及該兩通道端分別耦接一第二電壓源、一第一電壓源及該些字元線驅動器的該些電源端；各該驅動側第一追隨電晶體的該控制端及該兩通道端分別耦接該對應字元線驅動器的該輸入端與該驅動端，及該共用驅動側第二追隨電晶體的該通道端。

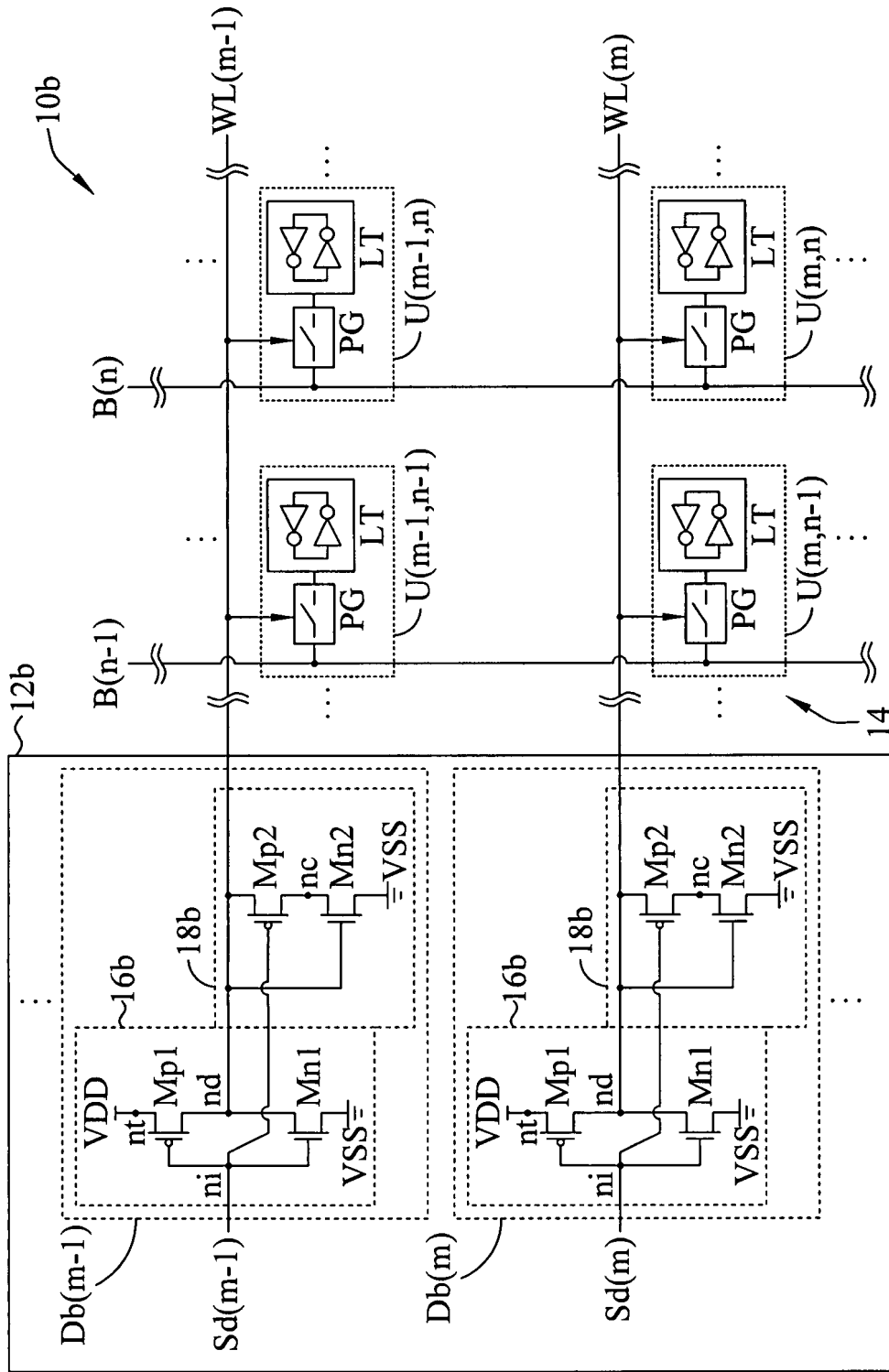
10. 如申請專利範圍第 1 項的隨機存取記憶體，係包含複數個第一追隨電晶體與複數個第二追隨電晶體；各該字元線驅動器對應該些第一追隨電晶體的其中之一與該些第二追隨電晶體的其中之一，且該驅動端耦接該對應第一追隨電晶體的兩通道端的其中之一，並耦接該對應第二追隨電晶體的兩通道端的其中之一。

11. 如申請專利範圍第 1 項的隨機存取記憶體，係包含複數個第一追隨電晶體與複數個第二追隨電晶體；各該字元線驅動器對應該些第一追隨電晶體的其中之一與該些第二追隨電晶體的其中兩個，各該字元線驅動器對應的該兩個第二追隨電晶體係為一並聯第二追隨電晶體與一串聯第二追隨電晶體；各該字元線驅動器對應的該第一追隨電晶體的該兩通道端分別耦接該驅動端及該對應串聯第二追隨電晶體的該通道端，該對應並聯第二追隨電晶體的該通道端耦接該驅動端。

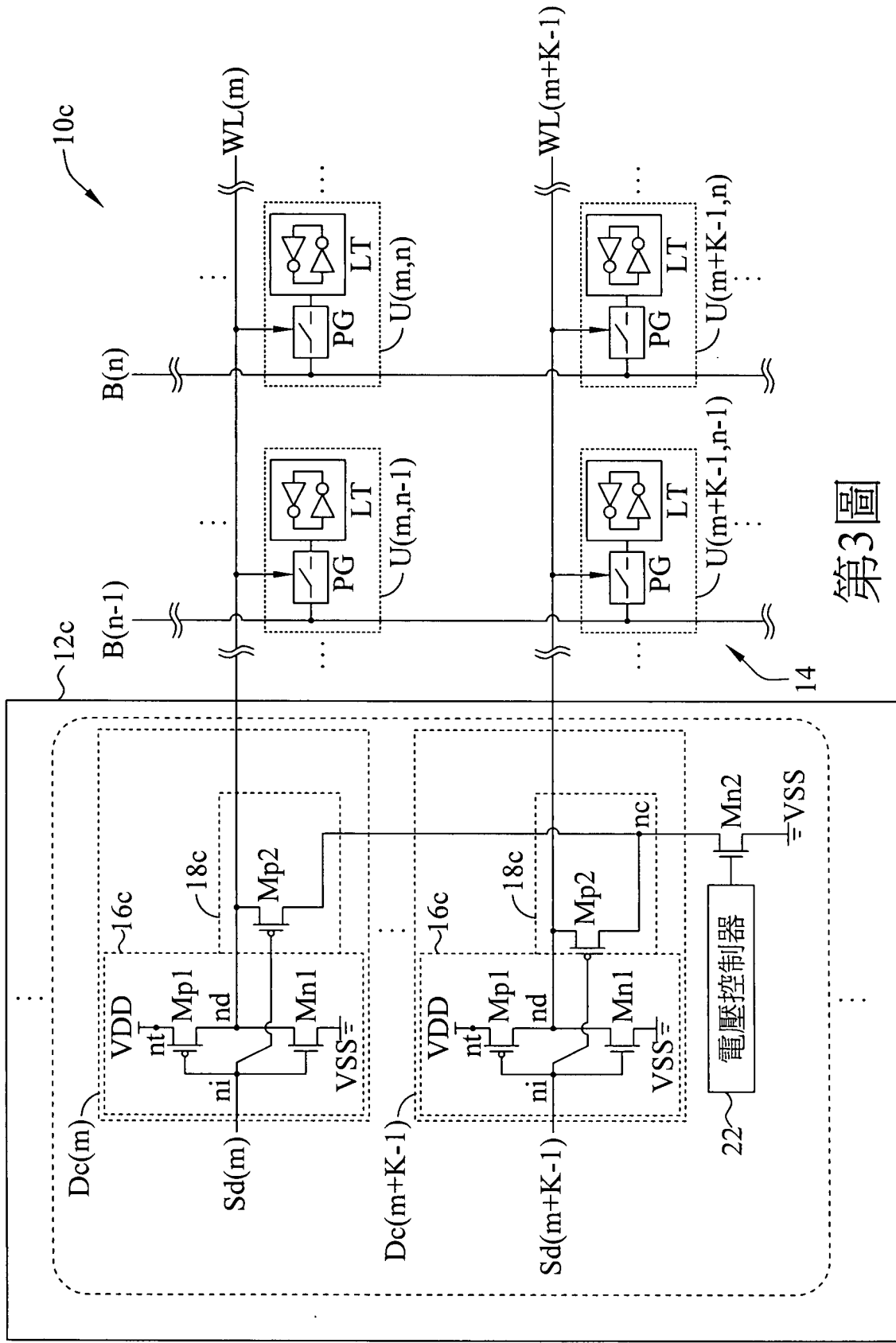
12. 如申請專利範圍第 1 項的隨機存取記憶體，係包含複數個第一追隨電晶體與複數個第二追隨電晶體；該些字元線驅動器對應該些第二追隨電晶體中的一個共用第二追隨電晶體；各該字元線驅動器更對應於該些第一追隨電晶體的其中之一與該些第二追隨電晶體中的一個並聯第二追隨電晶體；各該字元線驅動器對應的該第一追隨電晶體的該兩通道端分別耦接該驅動端與該共用第二追隨電晶體的通道端，各該字元線驅動器對應的該並聯第二追隨電晶體的通道端耦接該驅動端。



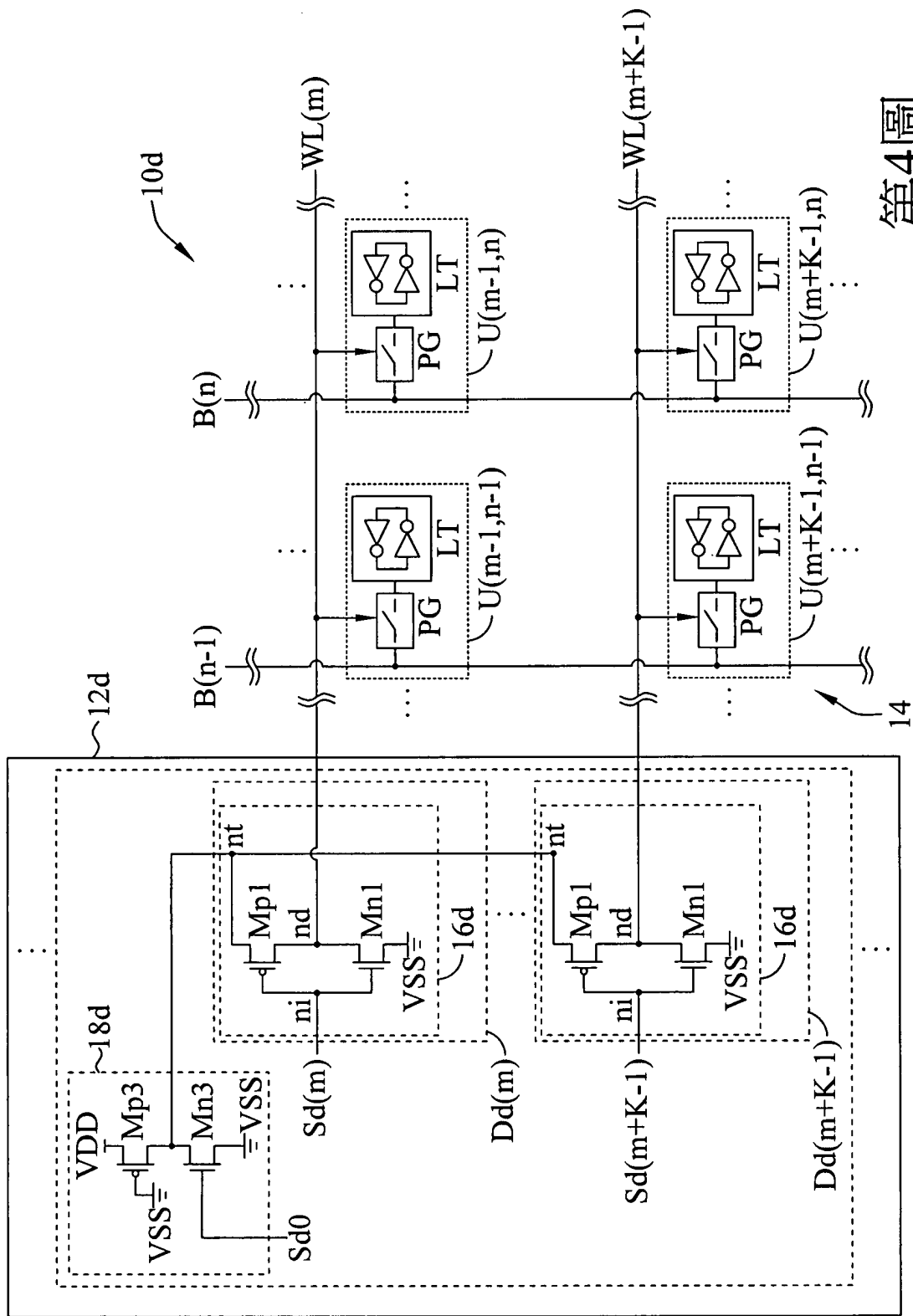
第1圖



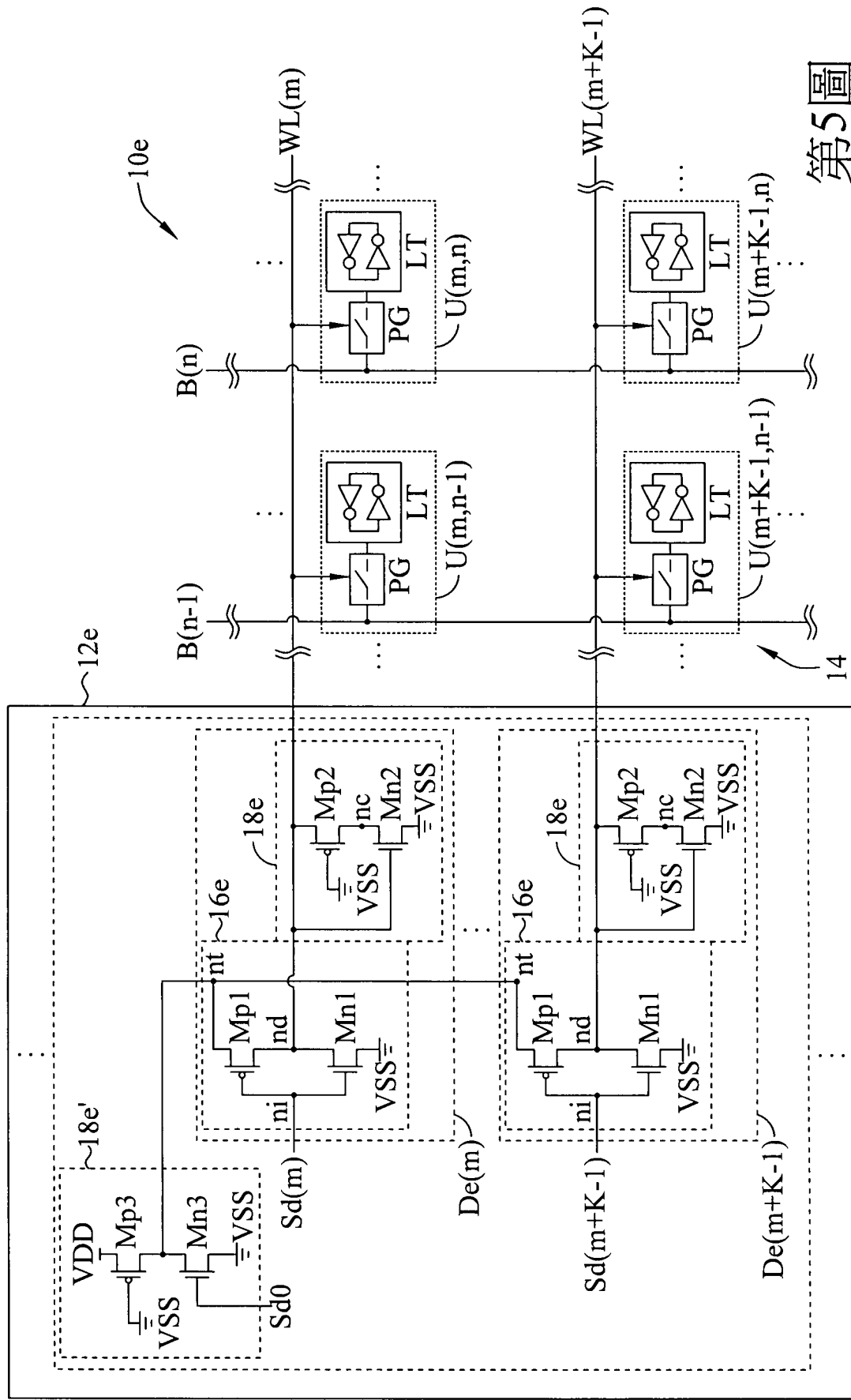
第2圖



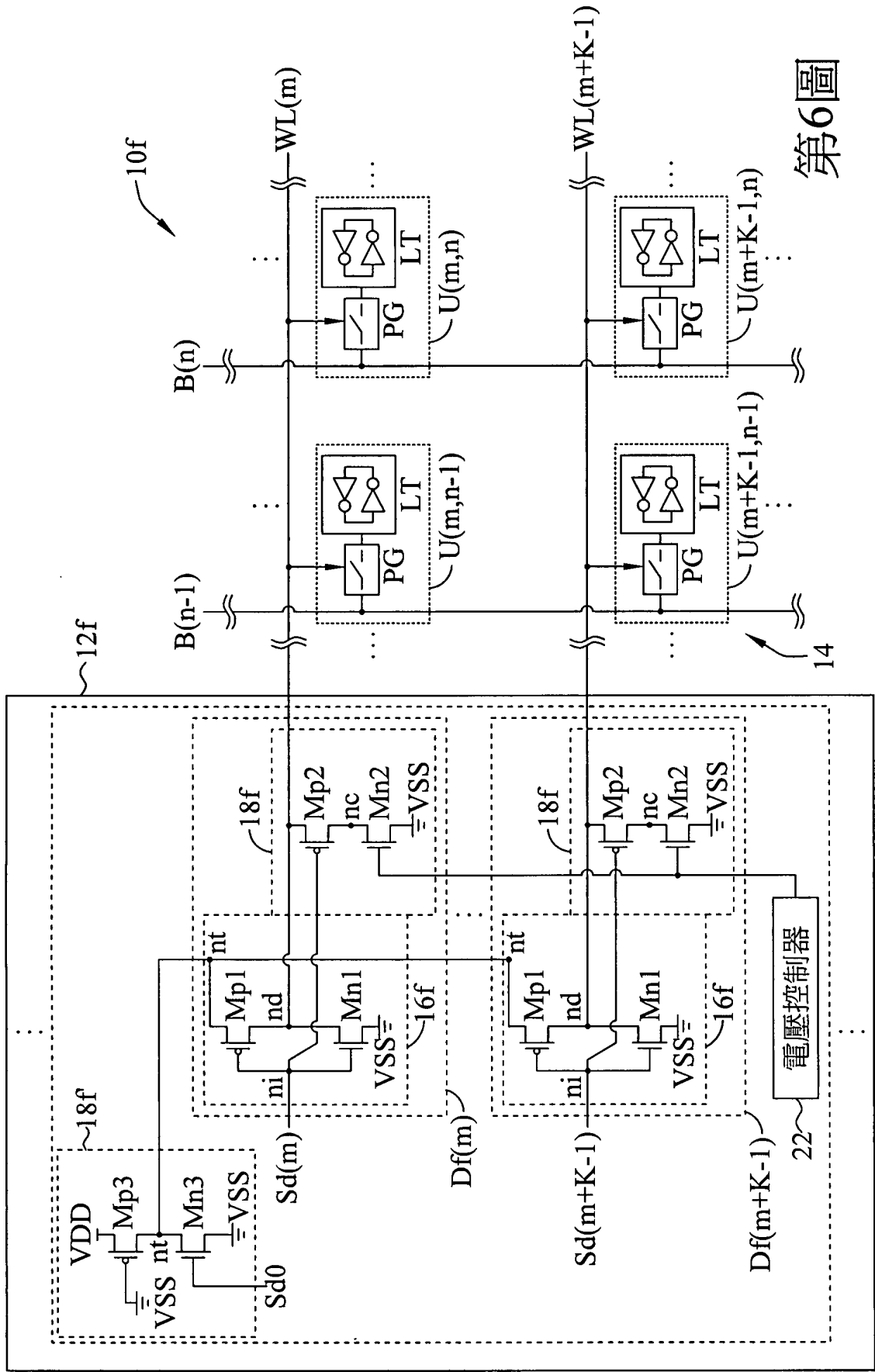
第3圖



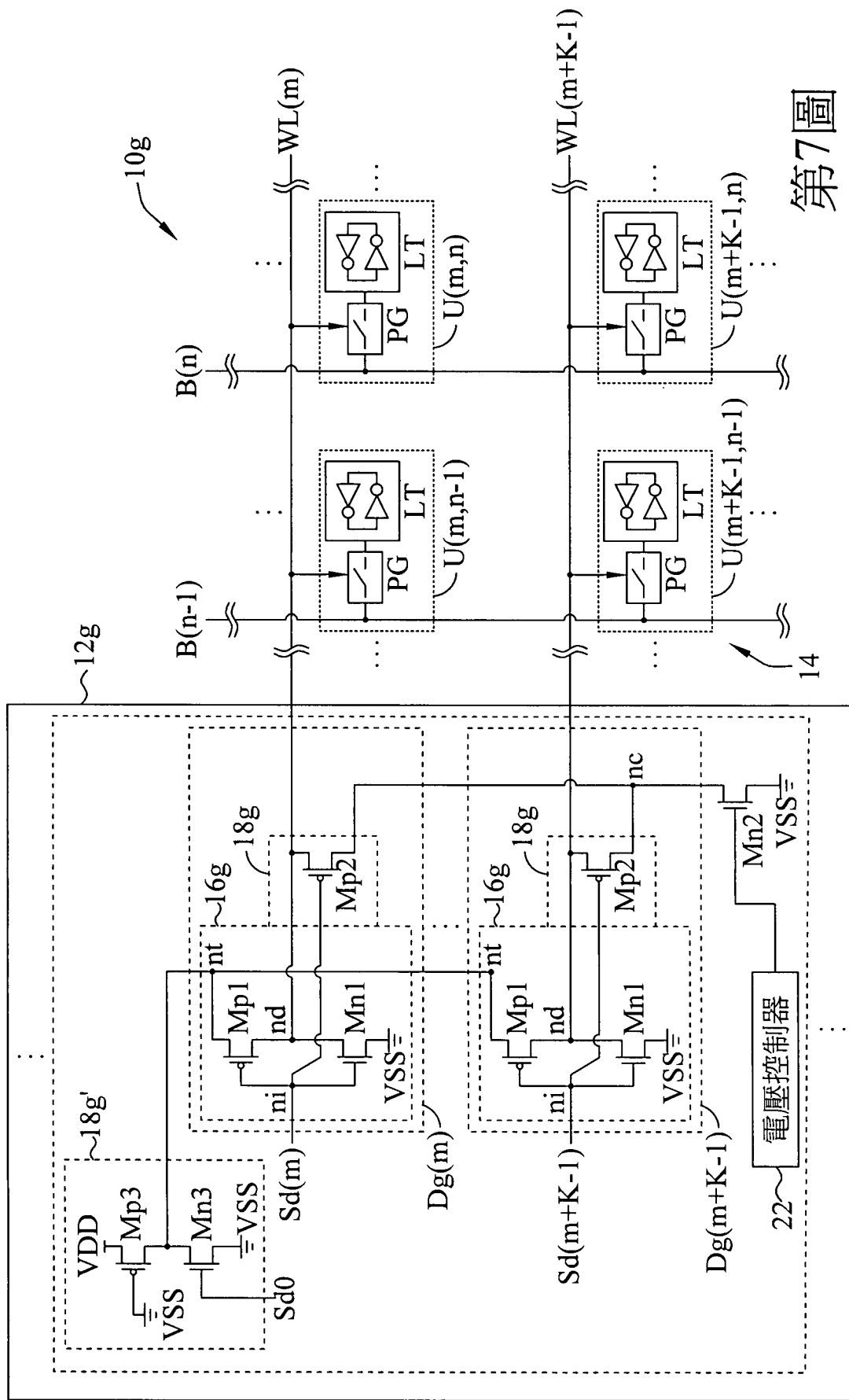
第4圖



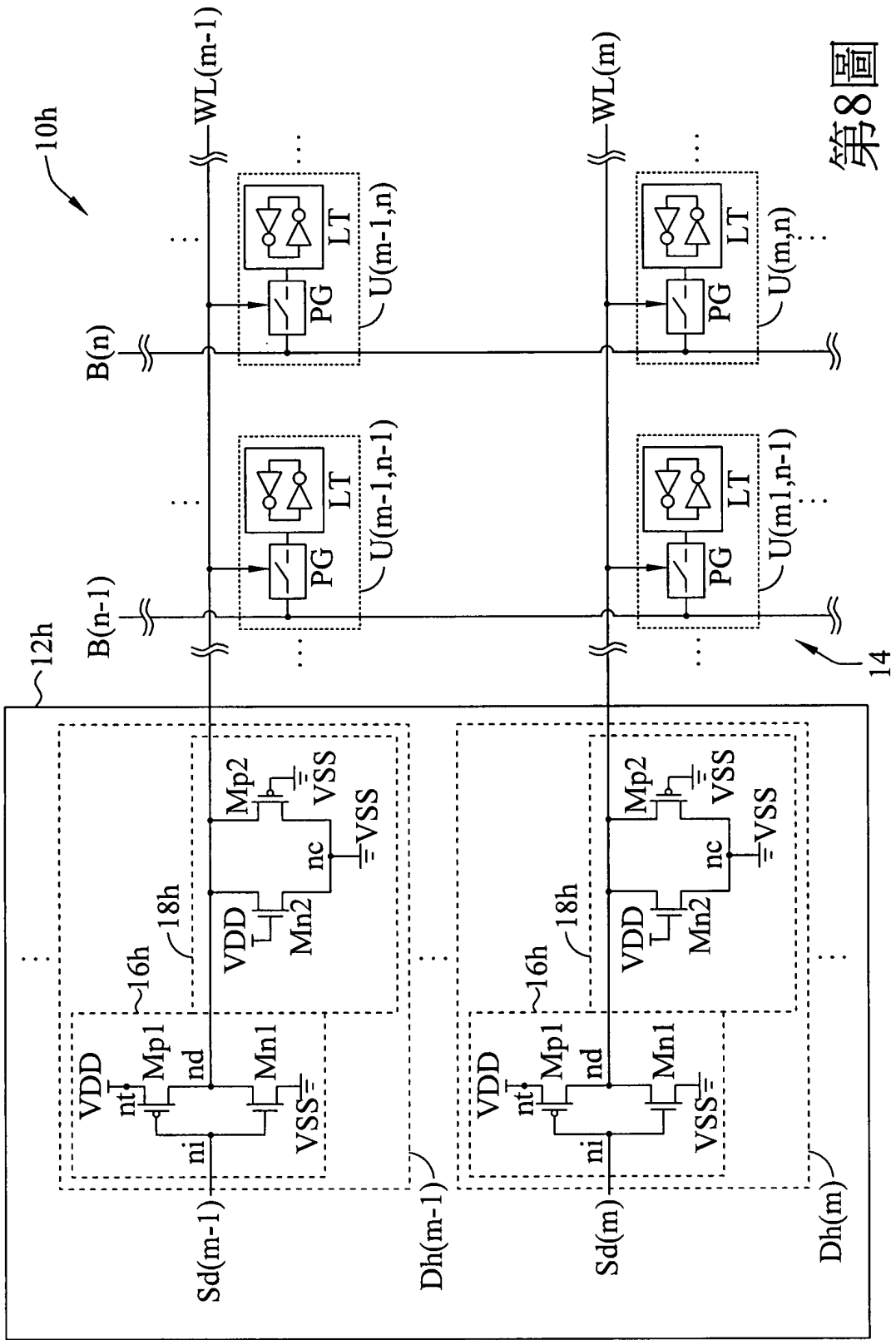
第5圖



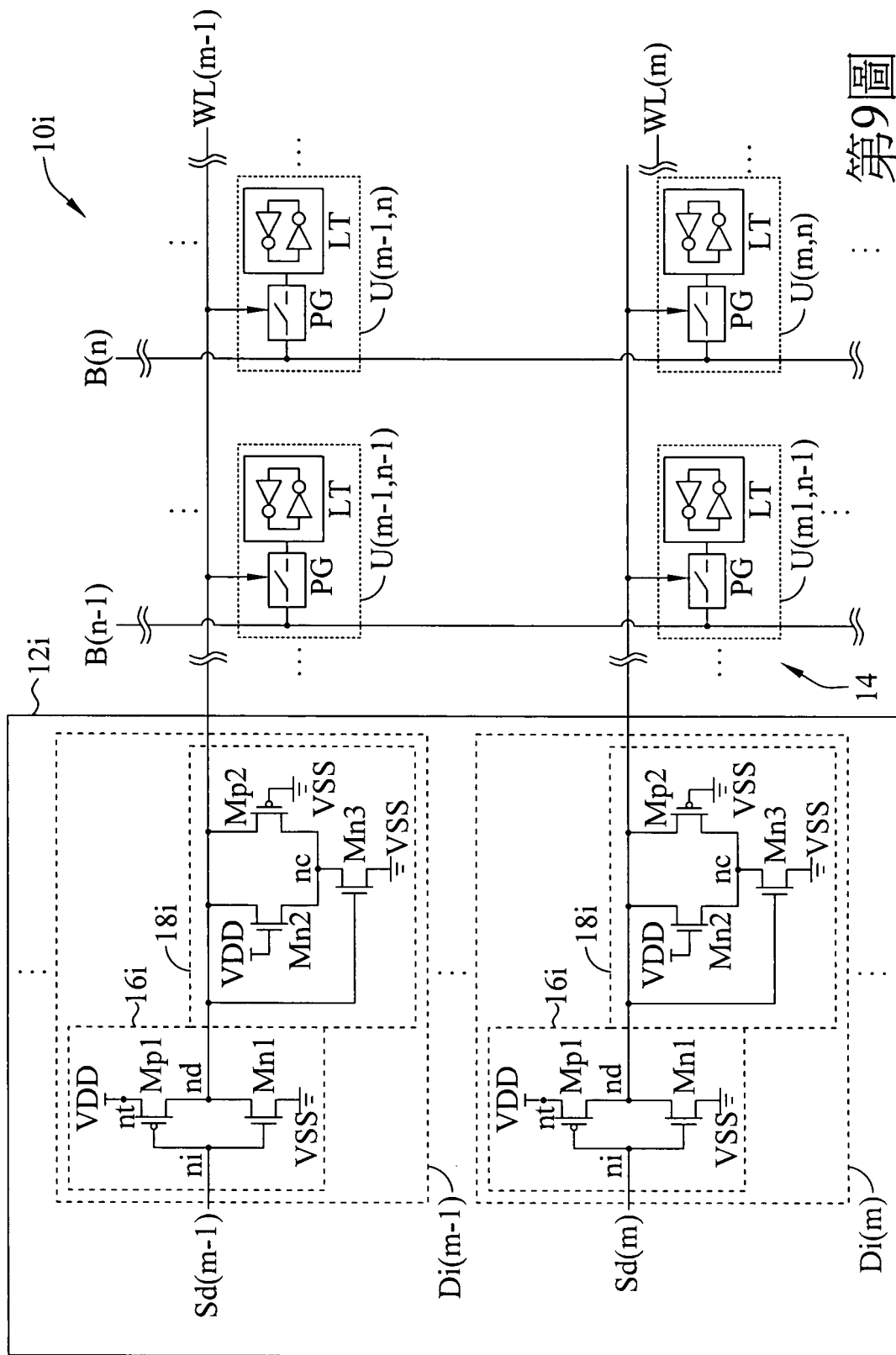
第6圖



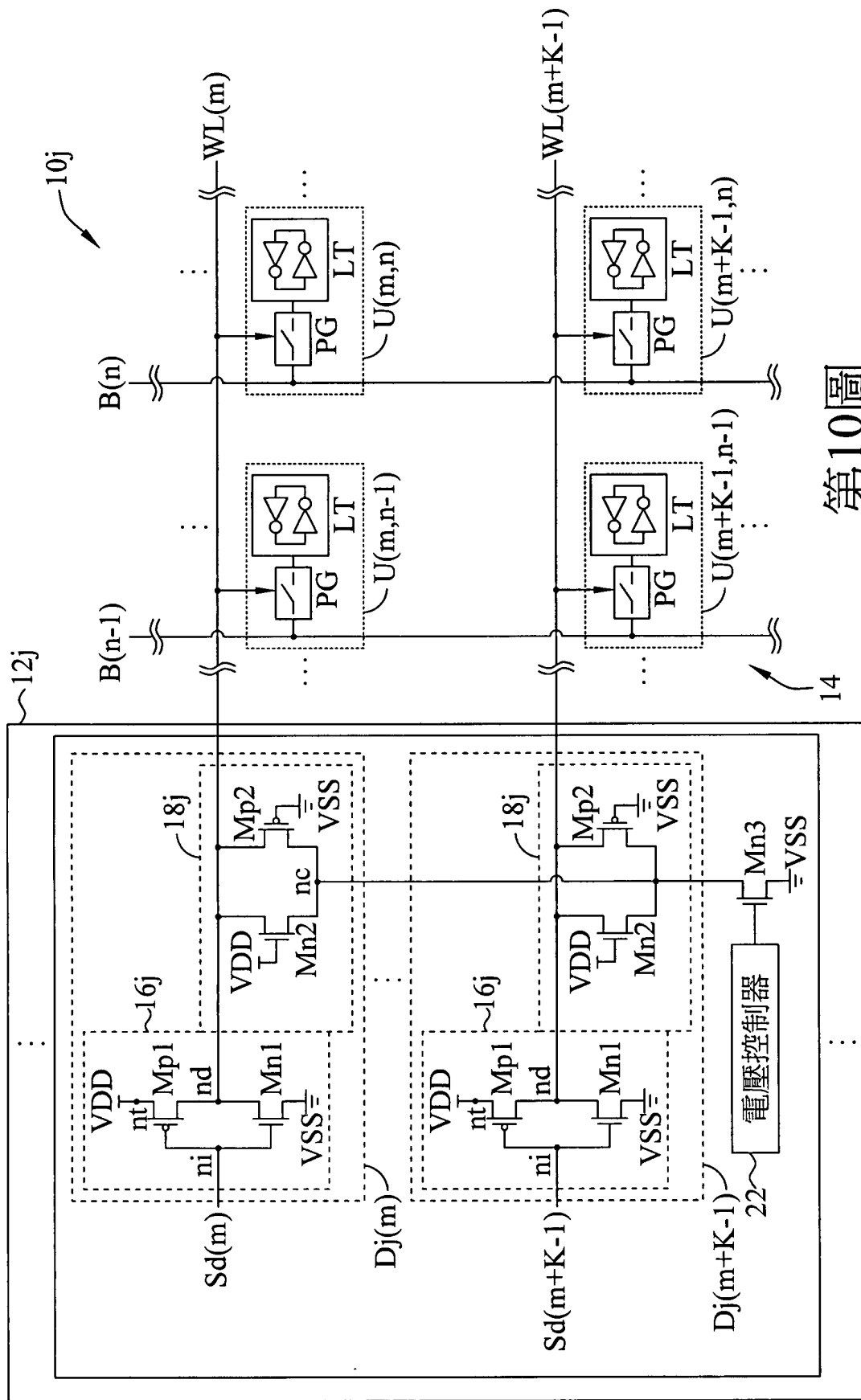
第7圖



第8圖



第9圖



第10圖