



(21)申請案號：099123917

(22)申請日：中華民國 99 (2010) 年 07 月 21 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/28 (2006.01)

H01L29/786 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：冉曉雯 ZAN, HSIAO WEN (TW)；陳蔚宗 CHEN, WEI TSUNG (TW)；周政偉  
CHOU, CHENG WEI (TW)；蔡娟娟 TSAI, CHUANG CHUANG (TW)

(74)代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：8 項 圖式數：3 共 17 頁

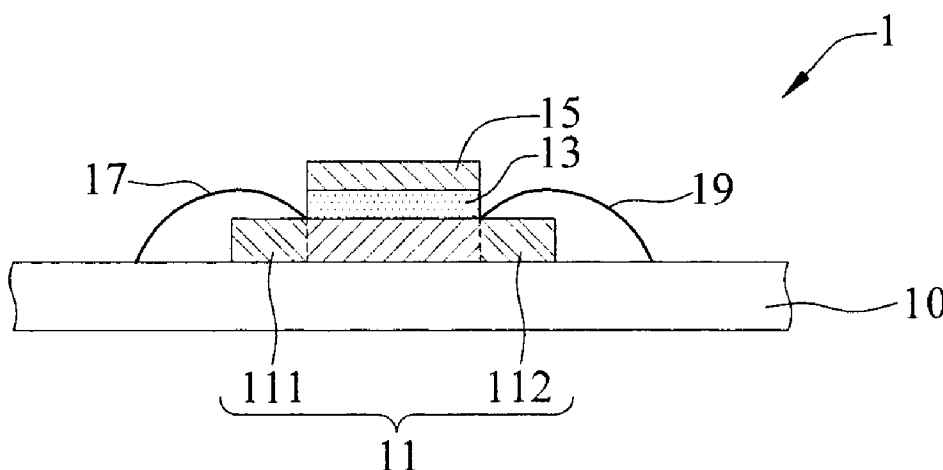
(54)名稱

自我對準之頂閘極薄膜電晶體及其製法

SELF-ALIGNED TOP-GATE THIN FILM TRANSISTORS AND METHOD FOR FABRICATING THE SAME

(57)摘要

提供一種自我對準之頂閘極薄膜電晶體，係包括：表面依序形成有氧化物半導體層、介電層及金屬層的基板，其中，該氧化物半導體層具有外露出該介電層及金屬層之第一連接區及第二連接區，且該第一連接區及第二連接區係經加熱處理或紫外光波長之輻射照射，而具有導體之性能；以及形成於該基板上之源極與汲極，係分別連接該第一連接區及第二連接區。本發明之自我對準之頂閘極薄膜電晶體的製法無須經由離子摻雜佈植製程即可降低第一連接區及第二連接區之接觸電阻，大幅簡化製程複雜度與要求仍可精準定位源極與汲極，提升元件特性。



- 1：頂閘極薄膜電晶體
- 10：基板
- 11：氧化物半導體層
- 13：介電層
- 15：金屬層
- 17：源極
- 19：汲極
- 111：第一連接區
- 112：第二連接區

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99123911

H01L 21/736 (2006.01)

※ 申請日： 99. 7. 21

※IPC 分類：

H01L 21/28 (2006.01)

H01L 29/186 (2006.01)

一、發明名稱：(中文/英文)

自我對準之頂閘極薄膜電晶體及其製法

SELF-ALIGNED TOP-GATE THIN FILM TRANSISTORS AND  
METHOD FOR FABRICATING THE SAME

二、中文發明摘要：

提供一種自我對準之頂閘極薄膜電晶體，係包括：表面依序形成有氧化物半導體層、介電層及金屬層的基板，其中，該氧化物半導體層具有外露出該介電層及金屬層之第一連接區及第二連接區，且該第一連接區及第二連接區係經加熱處理或紫外光波長之輻射照射，而具有導體之性能；以及形成於該基板上之源極與汲極，係分別連接該第一連接區及第二連接區。本發明之自我對準之頂閘極薄膜電晶體的製法無須經由離子摻雜佈植製程即可降低第一連接區及第二連接區之接觸電阻，大幅簡化製程複雜度與要求仍可精準定位源極與汲極，提升元件特性。

### 三、英文發明摘要：

The invention provides a self-aligned top-gate thin film transistor and a fabrication method thereof, comprising forming a substrate having sequentially an oxidation semiconductor layer, a dielectric layer, and a metallic layer formed thereon, wherein the oxidation semiconductor layer includes first and second connecting areas for exposing the dielectric layer and the metallic layer therefrom respectively, the first and second connecting areas having the property of a conductor after undergoing a heating process or a radiating process of ultraviolet wavelength; and a source anode and a drain cathode connected to first and second connecting areas respectively, such that contact resistance between first and second connecting areas can be reduced without the process of ion dopants as required by prior techniques, thereby simplifying the manufacturing process.

四、指定代表圖：

(一)本案指定代表圖為：第(1E)圖。

(二)本代表圖之元件符號簡單說明：

- |     |          |
|-----|----------|
| 1   | 頂閘極薄膜電晶體 |
| 10  | 基板       |
| 11  | 氧化物半導體層  |
| 111 | 第一連接區    |
| 112 | 第二連接區    |
| 13  | 介電層      |
| 15  | 金屬層      |
| 17  | 源極       |
| 19  | 汲極       |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種薄膜電晶體，特別是關於一種自我對準之頂閘極薄膜電晶體及其製法。

### 【先前技術】

薄膜電晶體(Thin Film Transistor)已被廣泛應用於液晶顯示器像素的驅動與開關元件及靜態隨機存取記憶體之主動負載等電子產品。在顯示器的應用上，為了符合液晶顯示器製程上之低溫限制與大尺寸面積之需求，已開始利用頂閘極之複晶矽薄膜電晶體作為供驅動積體電路元件之主要元件。而在眾多頂閘極薄膜電晶體結構中，自我對準(Self-align)共面型薄膜電晶體(Coplanar-TFTs)由於其製程簡單，光罩成本較少，所以最為廣泛使用。

請參閱第 2A 及 2B 圖所示之習知頂閘極薄膜電晶體 2 之製法，其中包括提供一基底 20，該基底 20 係為一絕緣透明基底，例如玻璃基底，表面上包含有半導體層 22，例如多晶矽層，以及閘絕緣層 24 係覆蓋住半導體層 22。在習知製作方法中，係先於閘絕緣層 24 上進行第一道光罩製程以定義形成光阻層 26，然後利用光阻層 26 作為罩幕來進行重離子摻雜佈植製程 27，使光阻層 26 周圍之半導體層 22，例如多晶矽層，形成  $N^+$  摻雜區域 28，用來作為源/汲極區。

其次，請參閱第 2B 圖，將光阻層 26 去除之後，於閘絕緣層 24 上再進行第二道光罩製程以定義形成閘極層

30，僅覆蓋住半導體層 22，例如多晶矽層之一部份未摻雜區域，可以用來定義摻雜結構的圖形。然後，利用閘極層 30 作為罩幕來進行輕離子摻雜佈植製程 31，使閘極層 30 周圍之未摻雜區域區域形成一  $N^-$  摻雜區域 32，至於被閘極層 30 覆蓋之半導體層 22 區域則是用來作為通道。

然而，當主動層材料替換為透明之氧化物半導體時，且改以金屬作為源極與汲極電極時，無離子摻雜佈植製程來減少接觸電阻，因此，難以得到自我對準之共面型薄膜電晶體。

雖然，Park 等人於 APPLIED PHYSICS LETTERS 93, 053501 (2008) 揭露一種自我對準頂閘極薄膜電晶體，但其係利用 Ar 電漿於高溫之條件下降低源極及汲極與主動層之接觸電阻，是種電漿處理製程不具方向性及需高溫之條件，限制了技術發展及產品製程之適用性。此外，如第 3 圖所示之自我對準頂閘極薄膜電晶體 3，絕緣層 33 係包覆閘極 34 與源極/汲極區 35、36，並需藉由電性連接柱 37 連接該源極/汲極區 35、36 與形成於絕緣層 33 頂面之源極 38 和汲極 39，相形之下，該薄膜電晶體之製程更為複雜。

因此，有必要開發新穎的薄膜電晶體之製程，簡化製程步驟，以降低接觸電阻而提升元件特性。

### 【發明內容】

本發明提供一種自我對準之頂閘極薄膜電晶體之製法，係包括：提供一表面依序形成有氧化物半導體層、介電層及金屬層的基板，其中，該氧化物半導體層之面積大

於該介電層及金屬層，且該氧化物半導體層具有外露出該介電層及金屬層之第一連接區及第二連接區；以該金屬層作為遮罩，對第一連接區及第二連接區施加熱處理或位於紫外光波長之輻射，俾使該第一連接區及第二連接區之氧化物半導體具有導體之性能；以及於該基板上形成源極與汲極，係分別連接該第一連接區及第二連接區。

在前述之製法中，係使用紫外光或雷射照射該氧化物半導體層之第一連接區及第二連接區，降低其接觸電阻。

根據前述之製法，本發明復提供一種自我對準之頂閘極薄膜電晶體，係包括：基板；形成於該基板表面之氧化物半導體層；介電層，係形成於該氧化物半導體層上，使該氧化物半導體層夾置於該基板與介電層之間；金屬層，係形成於該介電層上，使該介電層夾置於該氧化物半導體層與金屬層之間，其中，該氧化物半導體層之面積大於該介電層及金屬層，且該氧化物半導體層具有外露出該介電層及金屬層之第一連接區及第二連接區，且該第一連接區及第二連接區之氧化物半導體具有導體之性能；形成於該基板上且連接該第一連接區之源極；以及形成於該基板上且連接該第二連接區之汲極。

於前述之製法及所製得之自我對準之頂閘極薄膜電晶體中，該氧化物半導體層之材質係包括選自氧化銦、氧化鋅、氧化鎵、氧化錫及氧化鎂所組成群組的一種或多種。此外，於熱處理或以輻射照射時，因以該金屬層作為遮罩，可直接使第一連接區及第二連接區之氧化物半導體具有導

體之性能，且亦因以該金屬層作為遮罩，可簡便地藉由習知的薄膜沉積製程形成源極與汲極，且令該源極與汲極係分別覆蓋該第一連接區及第二連接區。

### 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之優點及功效。本發明亦可藉由其它不同之實施方式加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明所揭示之精神下賦予不同之修飾與變更。

請參閱第 1A 至 1E 圖，係為本發明之自我對準之頂閘極薄膜電晶體之製法示意圖。

如第 1A 圖所示，提供一表面依序形成有氧化物半導體層 11、介電層 13 及金屬層 15 的基板 10，其中，該氧化物半導體層 11 之面積大於該介電層 13 及金屬層 15，且該氧化物半導體層 11 具有外露出該介電層 13 及金屬層 15 之第一連接區 111 及第二連接區 112。在氧化物半導體層 11 之形成上，通常係以例如濺鍍等習知沉積技術在基板 10 上形成氧化物半導體層 11，其中，該氧化物半導體層 11 之材質係包括選自氧化銦、氧化鋅、氧化鎵、氧化錫及氧化鎂所組成群組的一種或多種。具體而言，該氧化物半導體層 11 可包括前述群組中任一種化合物，以作為氧化物半導體層之基底或主成分，或者可包括前述群組中任二種或多種化合物，以作為氧化物半導體層之基底。接著，藉由



微影製程定義出供形成介電層 13 之區域，以如電漿強化化學氣相沉積之方式於該氧化物半導體層 11 上形成介電層 13，最後再形成金屬層 15 於該介電層 13 上以作為閘極電極。前述之介電層可為氧化矽或包含氧化矽之材質，例如包含氧化矽及氮化矽。

由於所形成之介電層 13 及金屬層 15 僅覆蓋部分氧化物半導體層 11，使得該氧化物半導體層具有外露出該介電層 13 及金屬層 15 之第一連接區 111 及第二連接區 112。

復參閱第 1B 圖，以該金屬層 15 作為遮罩，對第一連接區 111 及第二連接區 112 施加熱處理或位於紫外光波長之輻射，俾使該第一連接區 111 及第二連接區 112 之氧化物半導體具有導體之性能。典型地，所施加之紫外光波長係指波長低於 400nm 之紫外光，如第 1C 圖所示之具體實施例中，以 172nm 之  $50\text{mW}/\text{cm}^2$  的紫外光照射，即可於約 30 分鐘後使第一連接區 111 及第二連接區 112 之氧化物半導體具有導體之性能。而熱處理係可為雷射熱處理，且通常，該雷射之能量密度至少大於  $10.0\text{mJ}/\text{cm}^2$ ，並以  $10.7$  至  $10.0\text{mJ}/\text{cm}^2$ ，甚至是  $14.2$  至  $10.0\text{mJ}/\text{cm}^2$  以上為佳，然而，不以該能量密度為限，可因應處理時間及次數需求，調整雷射之能量密度。如第 1D 圖所示之具體實施例中，以能量密度大於  $10.0\text{mJ}/\text{cm}^2$  雷射光即可使第一連接區 111 及第二連接區 112 之氧化物半導體具有導體之性能。由於該金屬層 15 本身即可作為遮罩，再輔以光輻射之高度準直性，使得第一連接區 111 及第二連接區 112 之導體化處理相當

精準，無須使用特殊光罩亦不像電漿處理法需要高溫，甚至是真空中環境，即可以自身結構設計並藉由簡便之導體化處理降低第一連接區 111 及第二連接區 112 之接觸電阻。

復參閱第 1E 圖，於該基板 10 上沉積金屬以形成源極 17 與汲極 19，係分別連接該第一連接區 111 及第二連接區 112，即可得到本發明之自我對準之頂閘極薄膜電晶體 1。較佳地，該源極 17 與汲極 19 係分別覆蓋該第一連接區 111 及第二連接區 112。

是以，根據前述之製法，本發明之自我對準之頂閘極薄膜電晶體 1，係包括：基板 10；氧化物半導體層 11，係形成於該基板 10 表面；介電層 13，係形成於該氧化物半導體層 11 上，使該氧化物半導體層 11 夾置於該基板 10 與介電層 13 之間；金屬層 15，係形成於該介電層 13 上，使該介電層 13 夾置於該氧化物半導體層 11 與金屬層 15 之間，其中，該氧化物半導體層 11 之面積大於該介電層 13 及金屬層 15，且該氧化物半導體層 11 具有外露出該介電層 13 及金屬層 15 之第一連接區 111 及第二連接區 112，且該第一連接區 111 及第二連接區 112 之氧化物半導體具有導體之性能；源極 17，係形成於該基板 10 上且連接該第一連接區 111；以及汲極 19，係形成於該基板 10 上且連接該第二連接區 112。

於該自我對準之頂閘極薄膜電晶體中，該氧化物半導體層 11 之材質係包括選自氧化銦、氧化鋅、氧化鎵、氧化錫及氧化鎂所組成群組的一種或多種。另一方面，較佳地，

該源極 17 與汲極 19 係分別覆蓋該第一連接區 111 及第二連接區 112。

本發明之自我對準之頂閘極薄膜電晶體及其製法無須經由離子摻雜佈植製程即可降低第一連接區及第二連接區之接觸電阻，並減少遮罩定義次數與成本，在大幅簡化製程複雜度與要求下，仍可精準定位源極與汲極，提升元件特性。

### 【圖式簡單說明】

第 1A 圖係顯示表面依序形成有氧化物半導體層、介電層及金屬層的基板示意圖；

第 1B 圖係顯示使部分氧化物半導體層導體化之示意圖；

第 1C 圖係顯示以紫外光使氧化物半導體層導體化之電流電壓特性圖；

第 1D 圖係顯示以雷射使氧化物半導體層導體化之電流電壓特性圖；

第 1E 圖係顯示本發明之自我對準之頂閘極薄膜電晶體示意圖；

第 2A 及 2B 圖係顯示習知頂閘極薄膜電晶體之製法示意圖；以及

第 3 圖係顯示習知之自我對準頂閘極薄膜電晶體示意圖。

### 【主要元件符號說明】

10          基板

- 11 氧化物半導體層
- 111 第一連接區
- 112 第二連接區
- 13 介電層
- 15 金屬層
- 17、38 源極
- 19、39 汲極
- 1、2 頂閘極薄膜電晶體
- 20 基底
- 22 半導體層
- 24 閘絕緣層
- 26 光阻層
- 27 重離子摻雜佈植製程
- 28  $N^+$  摻雜區域
- 3 自我對準頂閘極薄膜電晶體
- 30 閘極層
- 31 輕離子摻雜佈植製程
- 32  $N^-$  摻雜區域
- 33 絕緣層
- 34 閘極
- 35 源極區
- 36 汲極區
- 37 電性連接柱

七、申請專利範圍：

1. 一種自我對準之頂閘極薄膜電晶體之製法，係包括：

提供一表面依序形成有氧化物半導體層、介電層及金屬層的基板，其中，該氧化物半導體層之面積大於該介電層及金屬層，且該氧化物半導體層具有外露出該介電層及金屬層之第一連接區及第二連接區；

以該金屬層作為遮罩，對第一連接區及第二連接區施加熱處理或紫外光波長之輻射，俾使該第一連接區及第二連接區之氧化物半導體具有導體之性能；以及

於該基板上形成源極與汲極，係分別連接該第一連接區及第二連接區。

2. 如申請專利範圍第 1 項所述之自我對準之頂閘極薄膜電晶體之製法，其中，該氧化物半導體層之材質係包括選自氧化銦、氧化鋅、氧化鎵、氧化錫及氧化鎂所組成群組的一種或多種。

3. 如申請專利範圍第 1 項所述之自我對準之頂閘極薄膜電晶體之製法，其中，該紫外光波長之輻射係指波長低於 400nm 之紫外光。

4. 如申請專利範圍第 1 項所述之自我對準之頂閘極薄膜電晶體之製法，其中，該熱處理係雷射熱處理。

5. 如申請專利範圍第 1 項所述之自我對準之頂閘極薄膜電晶體之製法，其中，該源極與汲極係分別覆蓋該第一連接區及第二連接區。

6. 一種自我對準之頂閘極薄膜電晶體，係包括：

基板；

氧化物半導體層，係形成於該基板表面；

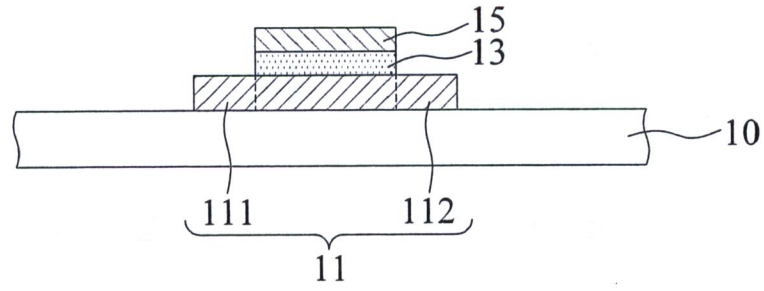
介電層，係形成於該氧化物半導體層上，使該氧化物半導體層夾置於該基板與介電層之間；

金屬層，係形成於該介電層上，使該介電層夾置於該氧化物半導體層與金屬層之間，其中，該氧化物半導體層之面積大於該介電層及金屬層，且該氧化物半導體層具有外露出該介電層及金屬層之第一連接區及第二連接區，且該第一連接區及第二連接區之氧化物半導體具有導體之性能；

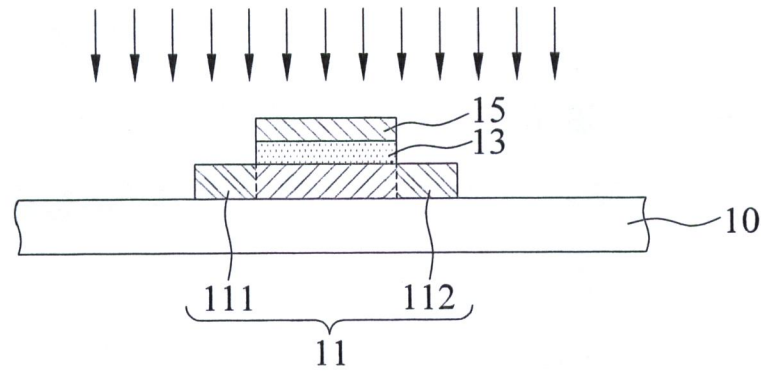
源極，係形成於該基板上且連接該第一連接區；以及

汲極，係形成於該基板上且連接該第二連接區。

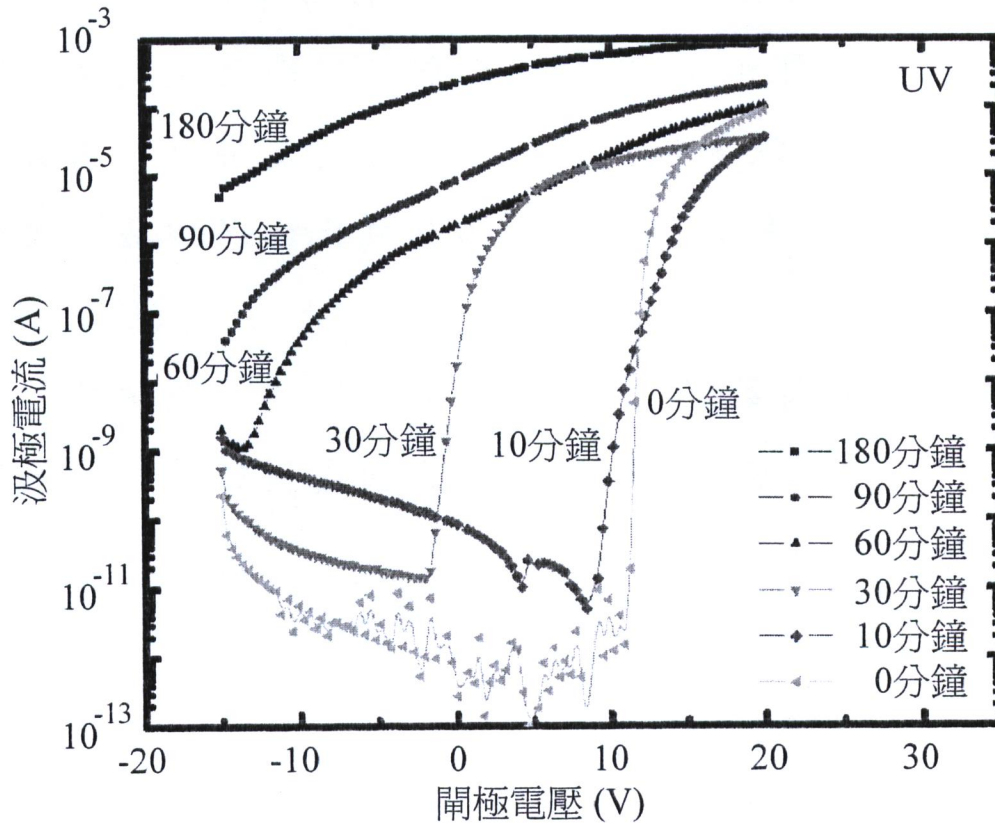
7. 如申請專利範圍第 6 項所述之自我對準之頂閘極薄膜電晶體，其中，該氧化物半導體層之材質係包括選自氧化銦、氧化鋅、氧化鎵、氧化錫及氧化鎂所組成群組的一種或多種。
8. 如申請專利範圍第 6 項所述之自我對準之頂閘極薄膜電晶體，其中，該源極與汲極係分別覆蓋該第一連接區及第二連接區。



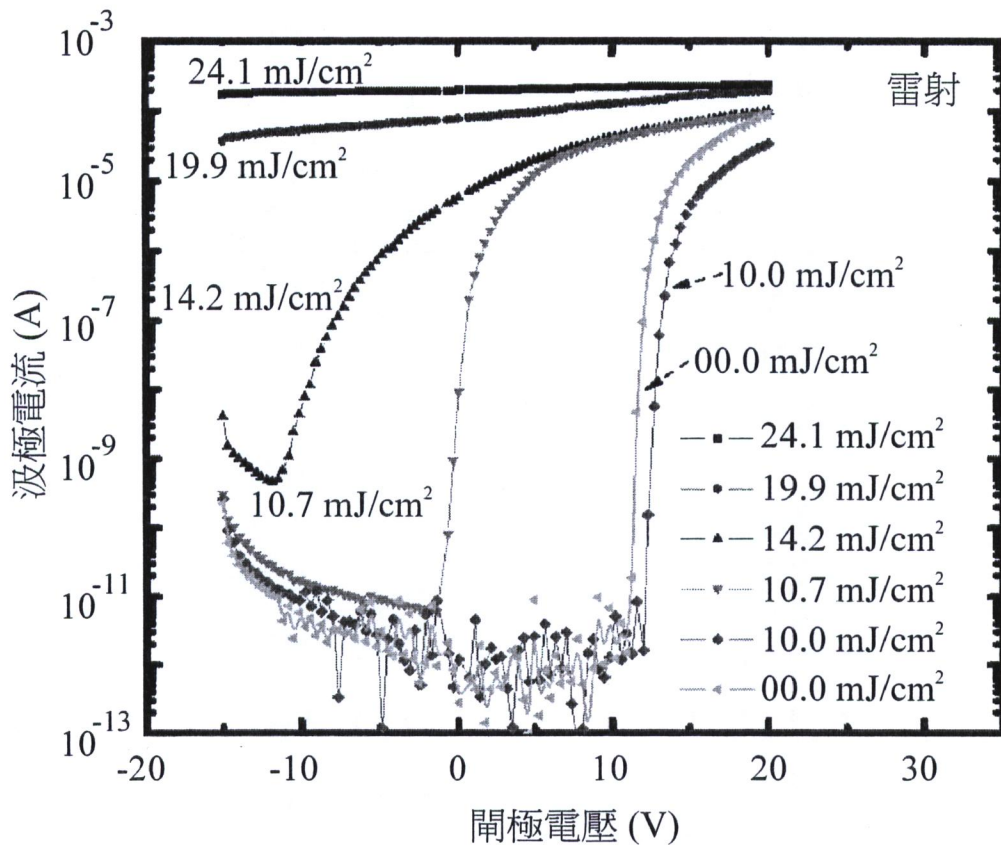
第1A圖



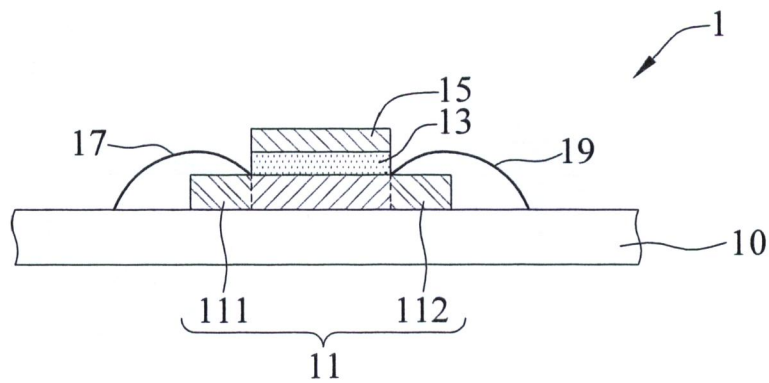
第1B圖



第1C圖

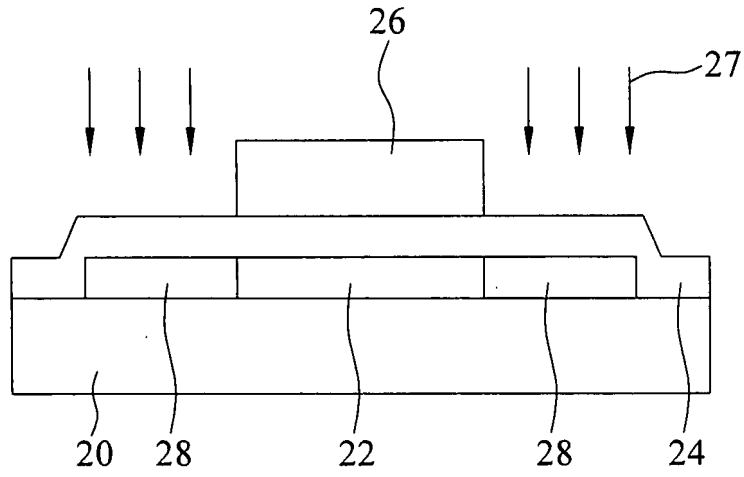


第1D圖

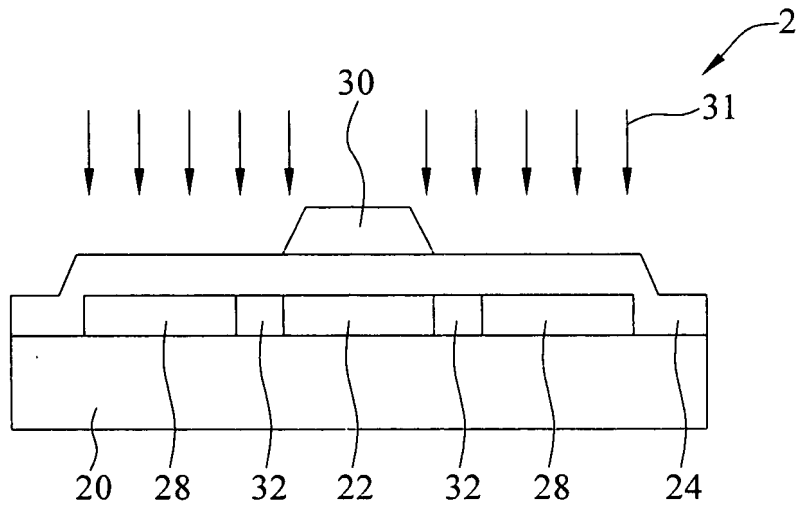


第1E圖

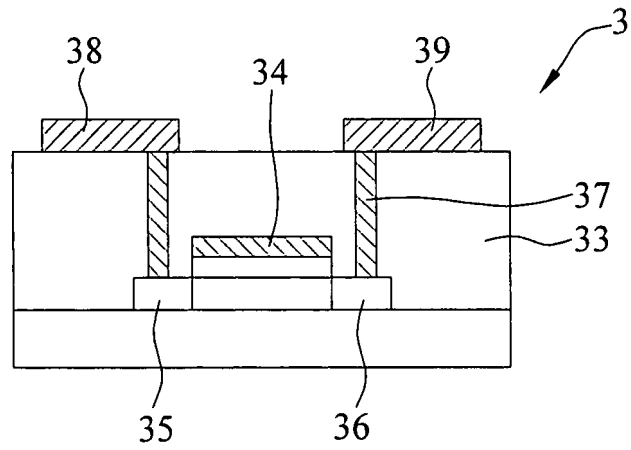




第2A圖



第2B圖



第3圖