

(21) 申請案號：099123534

(22) 申請日：中華民國 99 (2010) 年 07 月 16 日

(51) Int. Cl. : **G11C11/412 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW) ; 謝建宇 HSIEH, CHIEN YU (TW) ; 范銘隆 FAN, MING LONG (TW) ; 胡璧合 HU, PI HO (TW) ; 蘇彬 SU, PIN (TW)

(74) 代理人：林火泉

申請實體審查：有 申請專利範圍項數：9 項 圖式數：10 共 31 頁

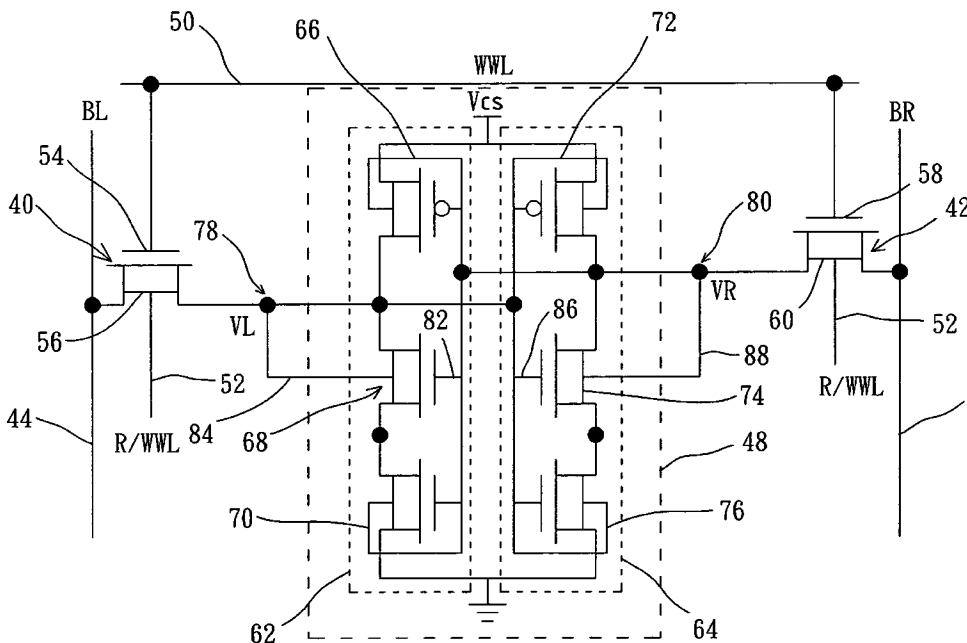
(54) 名稱

以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體

A SCHMITT TRIGGER BASED FINFET SUB-THRESHOLD STATIC RANDOM ACCESS MEMORY (SRAM) CELLS

(57) 摘要

本發明提供一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，且為八顆鰭狀電晶體架構，將鰭狀電晶體可作為兩個獨立閘極控制之功能，不僅可有效減少先前技術使用十顆之電晶體所產生的晶片面積無法精簡問題，又可提高靜態隨機存取記憶體晶片的密度。再者，能有效解決先前技術使用六顆電晶體的 SRAM 架構，操作於極低電壓下，容易發生讀取錯誤的問題。



- 40：第一控制鰭狀電晶體
- 42：第二控制鰭狀電晶體
- 44：第一位元線
- 46：第二位元線
- 48：記憶體單元
- 50：第一讀寫控制線
- 52：第二讀寫控制線
- 54：第一閘極
- 56：第二閘極
- 58：第三閘極
- 60：第四閘極
- 62：第一反相器
- 64：第二反相器
- 66：第一鰭狀電晶體
- 68：第二鰭狀電晶體
- 70：第三鰭狀電晶體

- 72：第四緒狀電晶體
- 74：第五緒狀電晶體
- 76：第六緒狀電晶體
- 78：第一儲存節點
- 80：第二儲存節點
- 82：第五閘極
- 84：第六閘極
- 86：第七閘極
- 88：第八閘極

(21) 申請案號：099123534

(22) 申請日：中華民國 99 (2010) 年 07 月 16 日

(51) Int. Cl. : **G11C11/412 (2006.01)**

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW) ; 謝建宇 HSIEH, CHIEN YU (TW) ; 范銘隆 FAN, MING LONG (TW) ; 胡璧合 HU, PI HO (TW) ; 蘇彬 SU, PIN (TW)

(74) 代理人：林火泉

申請實體審查：有 申請專利範圍項數：9 項 圖式數：10 共 31 頁

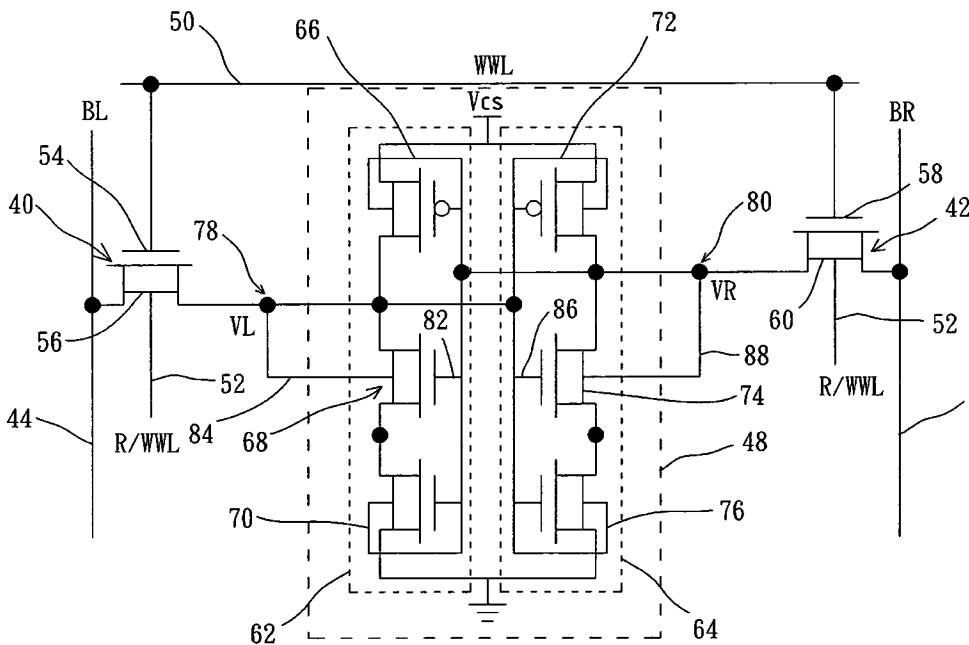
(54) 名稱

以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體

A SCHMITT TRIGGER BASED FINFET SUB-THRESHOLD STATIC RANDOM ACCESS MEMORY (SRAM) CELLS

(57) 摘要

本發明提供一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，且為八顆鰭狀電晶體架構，將鰭狀電晶體可作為兩個獨立閘極控制之功能，不僅可有效減少先前技術使用十顆之電晶體所產生的晶片面積無法精簡問題，又可提高靜態隨機存取記憶體晶片的密度。再者，能有效解決先前技術使用六顆電晶體的 SRAM 架構，操作於極低電壓下，容易發生讀取錯誤的問題。



- 40：第一控制鰭狀電晶體
- 42：第二控制鰭狀電晶體
- 44：第一位元線
- 46：第二位元線
- 48：記憶體單元
- 50：第一讀寫控制線
- 52：第二讀寫控制線
- 54：第一閘極
- 56：第二閘極
- 58：第三閘極
- 60：第四閘極
- 62：第一反相器
- 64：第二反相器
- 66：第一鰭狀電晶體
- 68：第二鰭狀電晶體
- 70：第三鰭狀電晶體

- 72：第四緒狀電晶體
- 74：第五緒狀電晶體
- 76：第六緒狀電晶體
- 78：第一儲存節點
- 80：第二儲存節點
- 82：第五閘極
- 84：第六閘極
- 86：第七閘極
- 88：第八閘極

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99 12354

※ 申請日： 99. 7. 16 ※IPC 分類： G11C 11/412 (2006.01)

一、發明名稱：(中文/英文)

以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體 / A
Schmitt Trigger Based FinFET Sub-threshold static random access
memory (SRAM) Cells

二、中文發明摘要：

本發明提供一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，且為八顆鰭狀電晶體架構，將鰭狀電晶體可作為兩個獨立閘極控制之功能，不僅可有效減少先前技術使用十顆之電晶體所產生的晶片面積無法精簡問題，又可提高靜態隨機存取記憶體晶片的密度。再者，能有效解決先前技術使用六顆電晶體的 SRAM 架構，操作於極低電壓下，容易發生讀取錯誤的問題。

三、英文發明摘要：

The present invention provides a Schmitt Trigger Based FinFET Sub-threshold static random access memory (SRAM) Cells, which are used to 8 FinFET structure. The FinFET can be used as two independent gate control function. The new SRAM use only 8 FinFET per cell, compared with 10 FinFET in previous works. As a result, the subject new cell structure invention can save more chip area and so that raise chip density. Furthermore, the operations of this new SRAM cell can effectively solve that read error question at low voltage in 6T cell.

四、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

- 40 第一控制鰭狀電晶體
- 42 第二控制鰭狀電晶體
- 44 第一位元線
- 46 第二位元線
- 48 記憶體單元
- 50 第一讀寫控制線
- 52 第二讀寫控制線
- 54 第一閘極
- 56 第二閘極
- 58 第三閘極
- 60 第四閘極
- 62 第一反相器
- 64 第二反相器
- 66 第一鰭狀電晶體
- 68 第二鰭狀電晶體
- 70 第三鰭狀電晶體
- 72 第四鰭狀電晶體
- 74 第五鰭狀電晶體
- 76 第六鰭狀電晶體

78	第一儲存節點
80	第二儲存節點
82	第五閘極
84	第六閘極
86	第七閘極
88	第八閘極

● 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種靜態隨機存取記憶體，特別是指一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體。

【先前技術】

現今各類硬體、通訊、消費性電子產品及微處理器都須要嵌入式記憶體來做儲存，如靜態隨機存取記憶體（Static Random Access Memory, SRAM）。隨著對尺寸縮小的要求更加嚴格，半導體業界持續縮小半導體元件（MOS 場效電晶體）的尺寸，以增加積體電路的速度、效能、密度以及降低單位成本，然而，持續縮小 MOS 場效電晶體會升高對於元件特性產生更大的變異性及不確定性。當製成技術不斷的演進，靜態隨機存取記憶體電路設計會著重於低電壓和高速的目標去設計。然而，對於低電壓記憶體電路設計，寫入失敗和讀取干擾的問題會限制住傳統 6 電晶體（6T）靜態隨機存取記憶體的最低操作電壓。為因應奈米元件的發展，一些研究學者開始設計新的元件結構，即是將傳統的平面閘極立體化，使整個結構如魚鰭，稱之為鰭狀場效電晶體（FinFET），鰭狀場效電晶體因具有三面立體式之閘極結構設計，可增強閘及對通道之控制能力與抑制通道貫穿效應所產生之漏電流，故較相同統場效應電晶體具有較佳之閘極控制能力，且，半導體晶片尺寸可大幅縮小，以及有效降低每一邏輯閘所需功率。

如第 1 圖所示，為先前技術之六顆電晶體（6T）之靜態隨機存取記憶體之示意圖，6T 電晶體靜態隨機存取記憶體，係包含由一交叉耦接之反相器 12 及 14 所構成之記憶胞 10、第一通閘電晶體 28 及第二通閘電晶體 30。

其中反相器 12 之儲存節點 16 直接連接至反相器 14 之一 P 型電晶體 18 及一 N 型電晶體 20 之閘極。反相器 14 之儲存節點 22 直接連接至反相器 12 之一 P 型電晶體 24 及一 N 型電晶體 26 之閘極。反相器 12 之 N 型電晶體 26 耦接至接地，反相器 12 之 P 型電晶體 24 耦接至供應電壓 (V_{cs})。反相器 14 之 N 型電晶體 20 耦接至接地，反相器 14 之 P 型電晶體 18 耦接至供應電壓 (V_{cs})。反相器 12 之儲存節點 16 的輸出係由第一通閘電晶體 28 所控制，其中，第一通閘電晶體 28 連接至位元線 (BL)。反相器 14 之儲存節點 22 的輸出係由第二通閘電晶體 30 所控制，其中，第二通閘電晶體 30 連接至互補位元線 (BR)。第一通閘電晶體 28 及第二通閘電晶體 30 由共通字元線 (WL) 所控制。以讀取動作為例，先將 BL 及 BR 充電為高電位為 1，若反相器 12 之儲存節點 16 的儲存資料為 0，反相器 14 之儲存節點 22 的儲存資料為 1。當開始讀取時，由 WL 分別打開第一通閘電晶體 28 及第二通閘電晶體 30，藉由反相器 12 之 N 型電晶體 26 之放電路徑使得在儲存節點 16 為 0 的情況下 BL 被成功放電。其中，第一通閘電晶體 28 及第二通閘電晶體 30 皆為開啟狀態，第一通閘電晶體 28 與反相器 12 之 N 型電晶體 26 會形成分壓電路，而原本儲存節點 16 為 0 的情況會有一個電壓形成 (Read Disturb)，當儲存節點 16 的節點電壓再加 N 型電晶體 26 上的雜訊干擾時，操作於低電壓下，就很容易大於反相器 14 之臨界反轉電壓 (Trip Voltage)，因此反相器 14 內存資料就會被改寫而造成資料讀取錯誤的問題。

為了改善上述 6T 之因雜訊問題及操作於低電壓下會造成資料讀取錯誤的問題，請一併參閱第 2 圖，主要差異是在於新增四個電晶體以形成十顆電晶體 (10T) 之靜態隨機存取記憶體架構，此外，第 1 圖及第 2 圖中所述

之電晶體皆為鱗狀電晶體。其中，在第一通開電晶體 28 連接一第三通開電晶體 32 之閘極，且第三通開電晶體 32 之汲極連接供應電壓 (V_{cs})，於反相器 12 之 N 型電晶體 26 再連接一 N 型電晶體 34，使 N 型電晶體 34 耦接至接地，第三通開電晶體 32 之源極連接於 N 型電晶體 26 及 N 型電晶體 34 之汲極。第二通開電晶體 30 連接一第四通開電晶體 36，且第四通開電晶體 36 之汲極連接供應電壓 (V_{cs})，於反相器 14 之 N 型電晶體 20 再連接一 N 型電晶體 38，使 N 型電晶體 38 耦接至接地，第四通開電晶體 36 之源極連接於 N 型電晶體 20 及 N 型電晶體 38 之汲極。當開始讀取時，由 WL 分別打開第一通開電晶體 28 及第二通開電晶體 30，接著，根據儲存節點為 0 或 1 決定第三通開電晶體 32 或第四通開電晶體 36 為導通狀態，藉由反相器 12 之 N 型電晶體 26 及 N 型電晶體 34 之放電路徑使得在儲存節點 16 為 0 的情況下 BL 被成功放電。其中，反相器 14 之儲存節點 22 電壓為供應電壓，而 N 型電晶體 20 及 N 型電晶體 38 之汲極的節點電壓係為供應電壓 (V_{cs}) 減掉第四通開電晶體 36 上的臨界電壓 (V_t)，所以 N 型電晶體 38 上的汲極電壓能夠有效提高，進而提高反向器 14 的臨界反轉電壓。因此，操作於低電壓下時，當儲存節點 16 因為讀取時造成的分壓電壓 (Read Disturb)，再加上雜訊干擾時，仍是遠小於反向器 14 的臨界反轉電壓。因此能增加讀靜態雜訊限度 (RSNM) 以及能夠確保資料讀取不會發生錯誤。此外，同時請配合第 3 圖，第三通開電晶體 32 及第四通開電晶體 36 之閘極連接字元線 (WL)，在讀取的時候會開啟，第三通開電晶體 32 及第四通開電晶體 36 之汲極分別連接至 BL 及 BR，可使第一通開電晶體 28 及第二通開電晶體 30 由字元線 (WWL) 在寫入時開啟，而第三通開電晶體 32 及第四通開電

晶體 36 可由字元線 (WL) 調整開啟時間，跟第 2 圖比較的優勢為由於讀取時分壓效果較不嚴重所以可確保讀取不會發生錯誤。然而，使用 10T 來組成靜態隨機存取記憶體，所需面積太大，因此晶片密度的提升有限，再者，大面積也會使功耗及效能劣化。

有鑑於此，本發明遂針對上述習知技術之缺失，提出一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，以有效克服上述之該等問題。

【發明內容】

本發明之主要目的在提供一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，係從原本十顆電晶體的靜態隨機存取記憶體架構，改善成八顆鰭狀電晶體 (FinFET) 的架構，成功的減少電晶體的數量和晶片面積的精簡。

本發明之另一目的在提供一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，在精簡面積後，更能提升記憶體單元的穩定度及對製程參數變異的免疫力。

本發明之再一目的在提供一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，將鰭狀電晶體作為兩個可獨立閘極控制之功能，以具體簡化靜態隨機存取記憶體整體的電路佈局及有效縮小面積，因此能製造出較高密度靜態隨機存取記憶體。

為達上述之目的，本發明提供一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，包括一第一控制鰭狀電晶體，具有一第一閘極及一第二閘極；一第二控制鰭狀電晶體，具有一第三閘極及一第四閘極；

一第一位元線，係連接第一控制緒狀電晶體之汲極，用以提供一第一電壓訊號；一第二位元線，係連接第二控制緒狀電晶體之汲極，用以提供一第二電壓訊號；一第一讀寫控制線，係連接第一閘極及第三閘極，用以同時控制第一控制緒狀電晶體及第二控制緒狀電晶體之導通狀態；一第二讀寫控制線，係連接第二閘極及第四閘極，用以同時控制第一控制緒狀電晶體及第二控制緒狀電晶體之導通狀態；及一記憶體單元，係連接第一控制緒狀電晶體及第二控制緒狀電晶體之源極，係依據第一控制緒狀電晶體與第二控制緒狀電晶體之導通狀態以及第一電壓訊號與第二電壓訊號，以進行一資料的讀寫或保持動作。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係用以解決先前技術使用六顆電晶體的 SRAM 架構，操作於極低電壓下，容易發生讀取錯誤的問題；以及從原本十顆電晶體的 SRAM 架構，改良為八顆緒狀電晶體(FinFET)的架構，且能達到十顆電晶體的 SRAM 之相同功效。

如第 4 圖所示，係為本發明之第一實施例之示意圖。靜態隨機存取記憶體係包括第一控制緒狀電晶體 40、第二控制緒狀電晶體 42、第一位元 44 (BL) 及第二位元線 46 (BR)、記憶體單元 48、第一讀寫控制線 50 (WWL) 及第二讀寫控制線 52 (R/WWL)。第一位元線 44 係連接第一控制緒狀電晶體 40 之汲極，用以提供一第一電壓訊號，第二位元線 46 係連接第二控制緒狀電晶體 42 之汲極，用以提供一第二電壓訊號。第一控制緒狀電晶體 40

具有第一閘極 54 及第二閘極 56，第二控制鰭狀電晶體 42 包含第三閘極 58 及第四閘極 60。第一讀寫控制線 50 係連接第一閘極 54 及第三閘極 58，用以同時控制第一控制鰭狀電晶體 40 及第二控制鰭狀電晶體 42 之導通狀態。第二讀寫控制線 52 係連接第二閘極 56 及第四閘極 60，用以同時控制第一控制鰭狀電晶體 40 及第二控制鰭狀電晶體 42 之導通狀態。記憶體單元 48 係包含一交叉耦接之第一反相器 62 及第二反相器 64，第一反相器 62 包含相連接的第一鰭狀電晶體 66、第二鰭狀電晶體 68 及第三鰭狀電晶體 70。第二反相器 64 包含相連接的第四鰭狀電晶體 72、第五鰭狀電晶體 74 及第六鰭狀電晶體 76。其中第一反相器 62 之第一儲存節點 78 係連接至第四鰭狀電晶體 72 之閘極、第五鰭狀電晶體 74 之閘極、第六鰭狀電晶體 76 之閘極及第一控制鰭狀電晶體 40 之源極。第二反相器 64 之第二儲存節點 80 係連接至第一鰭狀電晶體 66 之閘極、第二鰭狀電晶體 68 之閘極、第三鰭狀電晶體 70 之閘極及第二控制鰭狀電晶體 42 之源極。其中第三鰭狀電晶體 70 及第六鰭狀電晶體 76 耦接至一接地端，第一鰭狀電晶體 66 及第四鰭狀電晶體 72 耦接至一電源端 (V_{cs})。記憶體單元 48 係依據第一控制鰭狀電晶體 40 與第二控制鰭狀電晶體 42 之導通狀態，以及第一位元線 44 之第一電壓訊號與第二位元線 46 之第二電壓訊號，以進行一資料的讀寫或保持動作。其中，第二鰭狀電晶體 68 具有第五閘極 82 及第六閘極 84，第五鰭狀電晶體 74 具有第七閘極 86 及第八閘極 88，第五閘極 82 至第八閘極 88 分別作為單獨閘極控制之應用，在本實施例中，先說明第二鰭狀電晶體 68 及第五鰭狀電晶體 74 之第一種連接方式，用以說明此連接方式及其應用可提升整體靜態隨機存取記憶體讀取時的穩定度。第二鰭狀電晶體 68 的第五

閘極 82 係連接至第一緒狀電晶體 66 及第三緒狀電晶體 70 之閘極，第二緒狀電晶體 68 的第六閘極 84 係連接至第一控制緒狀電晶體 40 之源極；第五緒狀電晶體 74 之第七閘極 86 係連接至第四緒狀電晶體 72 及第六緒狀電晶體 76 之閘極，第五緒狀電晶體 74 之第八閘極 88 係連接至第二控制緒狀電晶體 42 之源極。若第一反相器 62 之第一儲存節點 78 的儲存資料為 0，第二反相器 64 之第二儲存節點 80 的儲存資料為 1。當欲進行資料讀取動作時，先將第一位元線 44 之第一電壓訊號與第二位元線 46 之第二電壓訊號預先充電至一高電位，再藉由第二讀寫控制線 52 控制第一控制緒狀電晶體 40 及第二控制緒狀電晶體 42 導通。此時，第一緒狀電晶體 66 為截止狀態，第一控制緒狀電晶體 40、第二緒狀電晶體 68 及第三緒狀電晶體為導通狀態以形成分壓電路，作為放電路徑，使得在第一儲存節點 78 為 0 的情況下，第一位元線 44 被成功放電。第二反相器 64 之第二儲存節點 80 電壓為高電位，其中，第五緒狀電晶體 74 之第七閘極 86 與第八閘極 88 為獨立控制，第五緒狀電晶體 74 之第七閘極 86 係為截止狀態，且第八閘極 88 為導通狀態，故第五緒狀電晶體 74 為部分導通狀態，此時，第六緒狀電晶體 76 之汲極上電壓，即為第二儲存節點 80 的端電壓 (V_{cs}) 減掉第五緒狀電晶體 74 臨界電壓 ($V_{cs}-V_t$)，藉此可有效提高第二反向器 64 臨界反轉電壓的目的。本發明操作於極低電壓下，當第一儲存節點 78 因為讀取時造成的分壓電壓，再加上雜訊干擾時，仍是遠小於第二反向器 64 的臨界反轉電壓。此外，由於在讀取的時候只開啟第一控制緒狀電晶體 40 與第二控制緒狀電晶體 42 的第二讀寫控制線 52，所以同時降低讀取時造成的分壓電壓。因此本發明不僅能增加讀靜態雜訊限度 (RSNM)，又能夠確保資料讀取不會發生錯誤。

請參閱第 5 圖，係為本發明之第二實施例之示意圖，其與第一實施例差異在於：第二鰭狀電晶體 68 的第六閘極 84 及第五鰭狀電晶體 74 之第八閘極 88 係分別連接至第二讀寫控制線 52。本實施例進行資料讀取動作原理與第一實施例相同，如後說明兩者之相異處：當第一位元線 44 之第一電壓訊號與第二位元線 46 之第二電壓訊號預先充電至一高電位時，可控制第一讀寫控制線 50 及第二讀寫控制線 52 之啟閉狀態，目的在於可調整資料的讀取時間。其中，第一讀寫控制線 50 係連接第一控制鰭狀電晶體 40 之第一閘極 54 及第二控制鰭狀電晶體 42 之第三閘極 58，第二讀寫控制線 52 係連接第一控制鰭狀電晶體 40 之第二閘極 56 及第二控制鰭狀電晶體 42 之第四閘極 60。若第二讀寫控制線 52 控制第一控制鰭狀電晶體 40 之第二閘極 56 及第二控制鰭狀電晶體 42 之第四閘極 60 為導通狀態時，此時第一閘極 54 及第三閘極 58 為截止狀態，第一鰭狀電晶體 66 為截止狀態，第一控制鰭狀電晶體 40、第二鰭狀電晶體 68 及第三鰭狀電晶體 70 為導通狀態以形成分壓電路，作為放電路徑，使得在第一儲存節點 78 為 0 的情況下，第一位元線 44 被成功放電。由於第二鰭狀電晶體 68 之第五閘極 82 與第六閘極 84 為獨立控制，在此導通第二鰭狀電晶體 68 之第五閘極 82 及第六閘極 84。若第二讀寫控制線 52 控制第一控制鰭狀電晶體 40 之第二閘極 56、第二控制鰭狀電晶體 42 之第四閘極 60，此時第一控制鰭狀電晶體 40 之第一閘極 54、第二控制鰭狀電晶體 42 之第三閘極 58 為截止狀態。因此，降低讀取時造成的分壓電壓，再者，第二讀寫控制線 52 控制第五鰭狀電晶體 74 部分導通，因此，第六鰭狀電晶體 76 汲極上電壓，即為第二儲存節點 80 的端電壓 (V_{cs}) 減掉第五鰭狀電晶體 74 臨界電壓 ($V_{cs}-V_t$)，藉此可有效提高

第二反向器 64 臨界反轉電壓的目的，進而確保資料讀取不會發生錯誤。

請參閱第 6 圖，係為本發明之第三實施例之示意圖，其與第一實施例差異在於：第二緒狀電晶體 68 的第六閘極 84 及第五緒狀電晶體 74 之第八閘極 88 係分別連接至電源端 (V_{cs})，因此第六閘極 84 及第八閘極 88 係為持續導通狀態，而第五閘極 82 及第七閘極 86 之導通狀態係由內部第一儲存節點 78、第一儲存節點 80 控制，其中資料能成功被讀取的動作原理係與第一實施例相同。

上述係以資料讀取為例說明，當然，若欲進行資料寫入動作，則記憶體單元 48 係依據第二位元線 46 與第一位元線 44 為反相電壓訊號，且第一讀寫控制線 50 或第二讀寫控制線 52 用以控制第一控制緒狀電晶體 40 及第二控制緒狀電晶體 42 為導通時，係將資料進行寫入動作。此外，第一讀寫控制線 50 及第二讀寫控制線 52 同時為關閉狀態時，則記憶體單元 48 係進行資料的保持動作。

本發明能夠從原本十顆電晶體的 SRAM 架構，改良為八顆緒狀電晶體的架構，且能達到十顆電晶體的 SRAM 之相同功效，在此先比較兩者應用的緒狀電晶體結構，請同時參閱第 7 圖及第 8 圖，第 7 圖為先前技術之緒狀電晶體結構，第 8 圖為本發明之緒狀電晶體結構。如第 7 圖所示，緒狀電晶體 90 係佇立於一基板 92 上，包含第一源極/汲極區、第二源極/汲極區、以及延伸在第一及第二源極/汲極區之間的矽緒狀物 94，矽緒狀物 94 為電晶體主體，一閘極絕緣層 96，例如氧化矽或高介電值氧化層 (High-K)，係形成在矽緒狀物 94 上，一閘極 98 以倒「U」字型橫跨在矽緒狀物 92 上，以形成前閘極與後閘極相連接的雙閘極結構，其中第一和第二源極/汲極區

之間形成一通道且延伸在閘極 98 下方，此結構可減少底材之漏電途徑、可獲得較高的驅動電流、較佳的次臨界擺幅（subthreshold swing）及短通道效應。如第 8 圖所示，本發明與先前技術主要的差異在於將閘極 98 之前閘極與後閘極相連接部分裁切掉，使前閘極與後閘極可以單獨使用，形成改良式的鰭狀電晶體結構。其中，本發明於第一實施例至第三實施例中所使用的第二鰭狀電晶體、第五鰭狀電晶體、第一控制鰭狀電晶體及第二控制鰭狀電晶體，即為改良式的鰭狀電晶體結構，由第二鰭狀電晶體、第五鰭狀電晶體作為兩個獨立閘極使用，即可完成將 SRAM 中的十顆鰭狀電晶體減化為八顆鰭狀電晶體，且同樣達到解決讀取錯誤的問題。再者，本發明可以具體簡化靜態隨機存取記憶體整體的電路佈局及有效縮小面積，因此能製造出較高密度靜態隨機存取記憶體，進而提升記憶體單元的穩定度及對製程參數變異的免疫力。

接續，係將先前技術之三種 SRAM 架構與本發明提供的三種 SRAM 架構作進一步的比較說明。其中先前技術之三種 SRAM 架構係為第 1 圖至第 3 圖所描述的 6T（六顆電晶體）、ST1（第一種十顆電晶體實施方式）及 ST2（第二種十顆電晶體實施方式）；本發明提供的三種 SRAM 架構係為第 4 圖至第 6 圖所描述的 1G_ST1（八顆電晶體之第一實施例）、1G_ST2（八顆電晶體之第二實施例）及 1G_ST3（八顆電晶體之第三實施例）。

如第 9 圖所示，為本發明操作於次臨界電壓（ V_{cs} ）為 0.15 伏特（V）至 0.4 伏特（V），可容許讀取靜態雜訊限度（RSNM）比較曲線圖，由圖中可得知，操作電壓於 0.4 伏特時，1G_ST2 及 1G_ST3 可將 6T 的讀取靜態雜訊限度約 70 毫伏特（mV）提升至約 150 毫伏特（mV），可改善 6T 的讀取

穩定度最佳達到 81%。操作電壓於 0.15 伏特時，1G_ST2 及 1G_ST3 可將 6T 的讀取靜態雜訊限度約 10 毫伏特 (mV) 提升至約 40 毫伏特 (mV)，可改善 6T 的讀取穩定度最佳達到 110%。此外，1G_ST2 及 1G_ST3 的架構也遠優於其他的 SRAM 的架構。

如第 10 圖所示，為本發明資料保持狀態下的漏電流比較曲線圖，操作於次臨界電壓為 0.4 伏特時，由於 ST1 和 ST2 電晶體數目較多，可同時參閱第 2 圖及第 3 圖，所以有額外的漏電流路徑通過反相器 12 之 N 型電晶體 34 及反相器 14 之 N 型電晶體 38，因此相較於 6T，ST1 和 ST2 的漏電流分別增加了 36% 和 19%。可同時參閱第 4 圖及第 6 圖，由於至於 IG_ST1 和 IG_ST3 則電流路徑中有第二鰭狀電晶體 68 及第五鰭狀電晶體 74 (Pull Down NMOS) 的串聯，導致漏電流因此小了 -4%。可同時參閱第 5 圖，IG_ST2 因為第二鰭狀電晶體 68 之第六閘極 84 及第五鰭狀電晶體 74 之第八閘極 88 總是關起來，所以漏電流更可低於 -21%，藉此，可有效降低 SRAM 能量的消耗。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術之六個電晶體之靜態隨機存取記憶體之示意圖。

第 2 圖為先前技術之十個電晶體之靜態隨機存取記憶體之實施例之示意圖。

第 3 圖為先前技術之十個電晶體之靜態隨機存取記憶體之另一實施例之示意圖。

第 4 圖為本發明之第一實施例之示意圖。

第 5 圖為本發明之第二實施例之示意圖。

第 6 圖為本發明之第三實施例之示意圖。

第 7 圖為先前技術之鰭狀電晶體結構。

第 8 圖為本發明之鰭狀電晶體結構。

第 9 圖為本發明操作於次臨界電壓下可容許讀取靜態雜訊限度的比較曲線圖。

第 10 圖為本發明為資料保持狀態下的漏電流比較曲線圖。

【主要元件符號說明】

10 記憶胞

12、14 反相器

16、22 儲存節點

18、24 P 型電晶體

20、26、34、38 N 型電晶體

28 第一通閘電晶體

30 第二通閘電晶體

32 第三通閘電晶體

36 第四通閘電晶體

40 第一控制鰭狀電晶體

42 第二控制鰭狀電晶體

44 第一位元線

46 第二位元線

48	記憶體單元
50	第一讀寫控制線
52	第二讀寫控制線
54	第一閘極
56	第二閘極
58	第三閘極
60	第四閘極
62	第一反相器
64	第二反相器
66	第一鰭狀電晶體
68	第二鰭狀電晶體
70	第三鰭狀電晶體
72	第四鰭狀電晶體
74	第五鰭狀電晶體
76	第六鰭狀電晶體
78	第一儲存節點
80	第二儲存節點
82	第五閘極
84	第六閘極
86	第七閘極
88	第八閘極
90	鰭狀電晶體

- 92 基板
- 94 矽鍍狀物
- 96 閘極絕緣層
- 98 閘極

七、申請專利範圍：

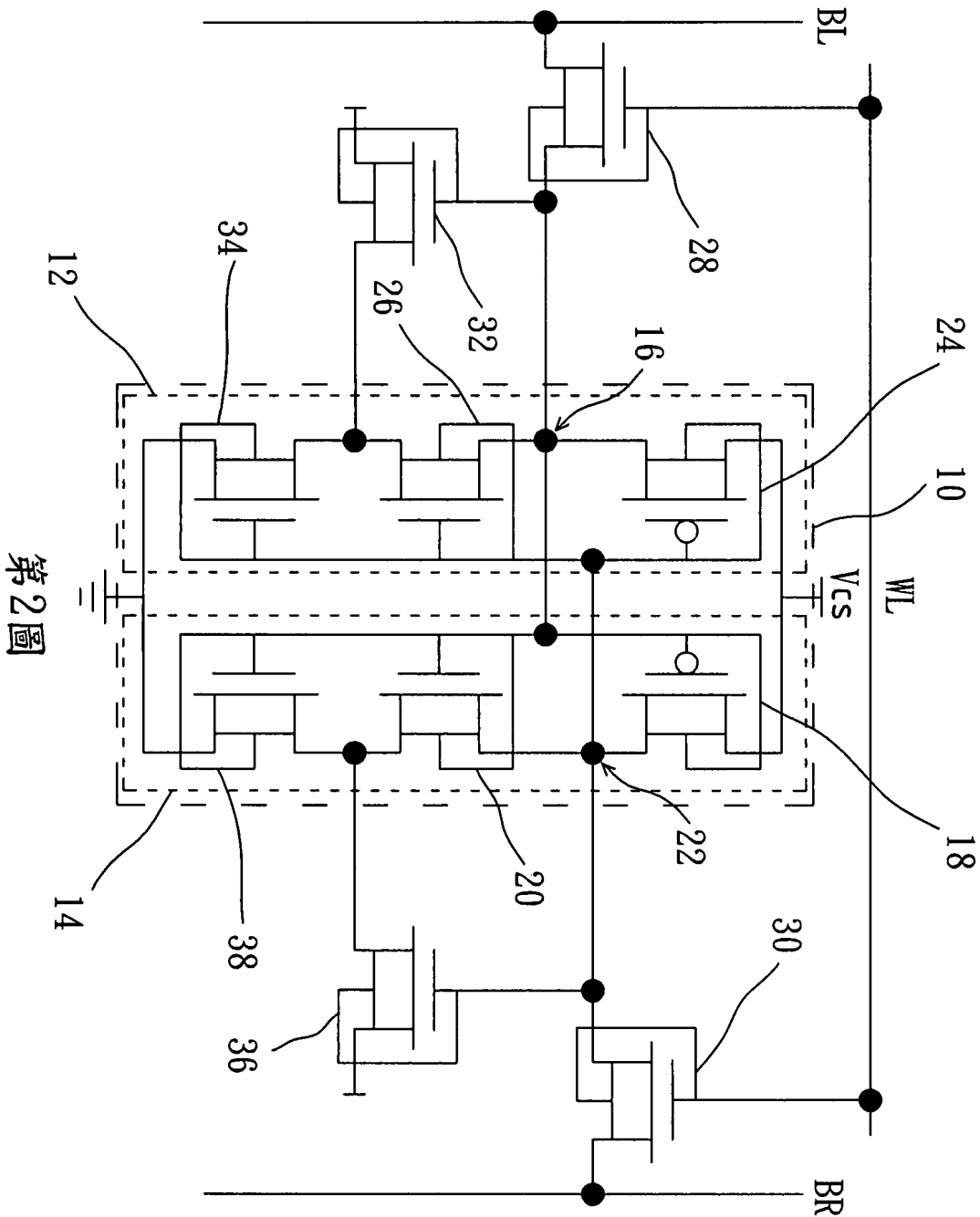
1. 一種以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，包括：
 - 一第一控制鰭狀電晶體，具有一第一閘極及一第二閘極；
 - 一第二控制鰭狀電晶體，具有一第三閘極及一第四閘極；
 - 一第一位元線，係連接該第一控制鰭狀電晶體之汲極，用以提供一第一電壓訊號；
 - 一第二位元線，係連接該第二控制鰭狀電晶體之汲極，用以提供一第二電壓訊號；
 - 一第一讀寫控制線，係連接該第一閘極及該第三閘極，用以同時控制該第一控制鰭狀電晶體及該第二控制鰭狀電晶體之導通狀態；
 - 一第二讀寫控制線，係連接該第二閘極及該第四閘極，用以同時控制該第一控制鰭狀電晶體及該第二控制鰭狀電晶體之導通狀態；及
 - 一記憶體單元，係連接該第一控制鰭狀電晶體及該第二控制鰭狀電晶體之該源極，係依據該第一控制鰭狀電晶體與該第二控制鰭狀電晶體之導通狀態以及該第一電壓訊號與該第二電壓訊號，以進行一資料的讀寫或保持動作。
2. 如申請專利範圍第 1 項所述之以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，其中該記憶體單元係包含一交叉耦接之第一反相器及第二反相器，該第一反相器包含相連接的一第一鰭狀電晶體、一第二鰭狀電晶體及一第三鰭狀電晶體，該第二反相器包含相連接的一第四鰭狀電晶體、一第五鰭狀電晶體及一第六鰭狀電晶體，該第一反相器之

第一儲存節點係連接至該第四鰭狀電晶體、該第五鰭狀電晶體、該第六鰭狀電晶體之閘極及該第一控制鰭狀電晶體之該源極；該第二反相器之第二儲存節點係連接至該第一鰭狀電晶體、該第二鰭狀電晶體、該第三鰭狀電晶體之閘極及該第二控制鰭狀電晶體之該源極，其中該第三鰭狀電晶體及該第六鰭狀電晶體耦接至一接地端，該第一鰭狀電晶體及該第五鰭狀電晶體耦接至一電源端。

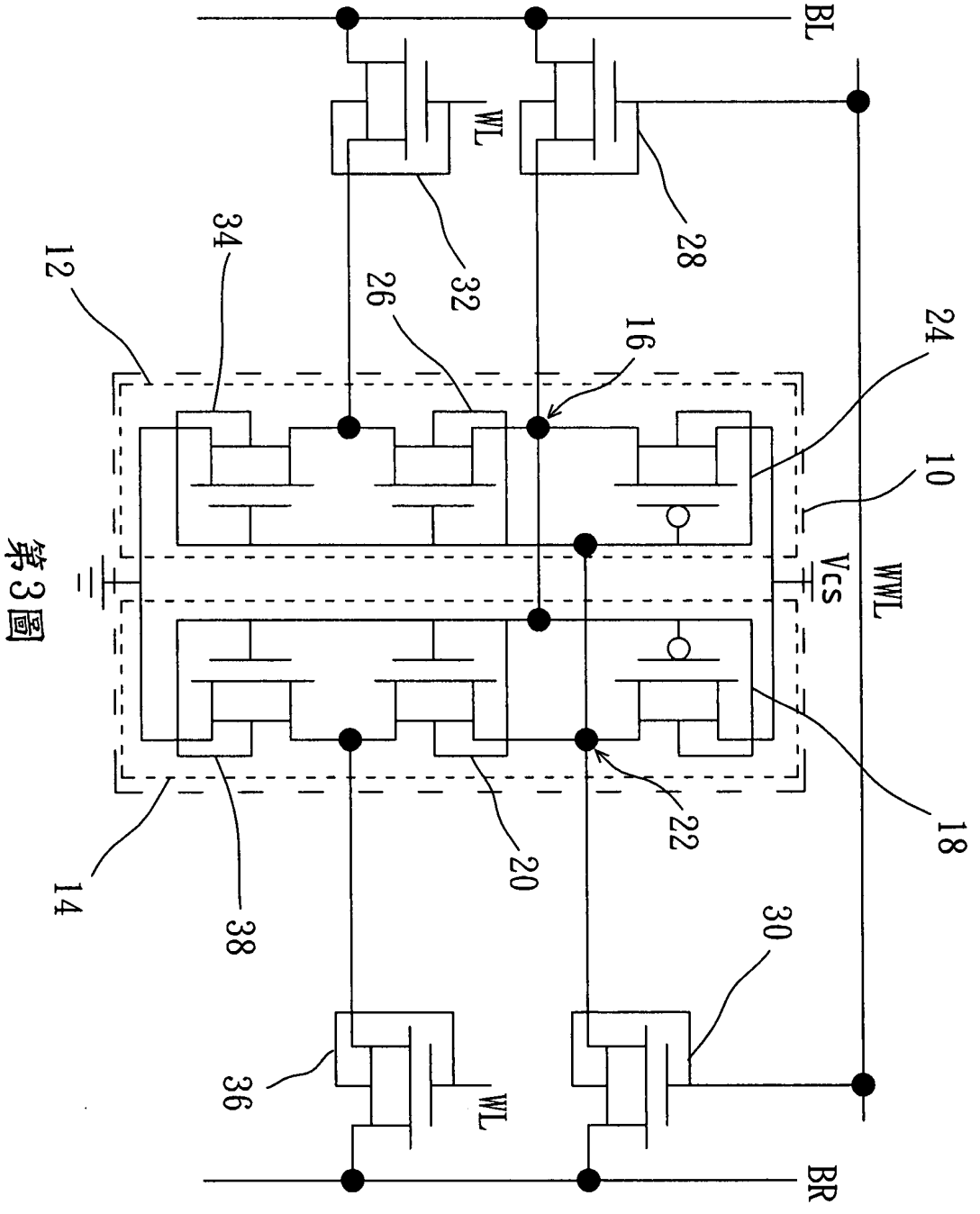
3. 如申請專利範圍第 2 項所述之以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，其中該第二鰭狀電晶體及該第五鰭狀電晶體分別具有一第五閘極、一第六閘極及一第七閘極、一第八閘極。
4. 如申請專利範圍第 3 項所述之以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，其中該第二鰭狀電晶體之該第六閘極及該第五鰭狀電晶體之該第八閘極係分別連接該第一控制鰭狀電晶體及該第二控制鰭狀電晶體之該源極，該第二鰭狀電晶體之該第五閘極係連接至該第一鰭狀電晶體及該第三鰭狀電晶體之該閘極，該第五鰭狀電晶體之該第七閘極係連接至該第四鰭狀電晶體及該第六鰭狀電晶體之該閘極。
5. 如申請專利範圍第 3 項所述之以史密特觸發器為基礎的鰭狀場效電晶體靜態隨機存取記憶體，其中該第二鰭狀電晶體之該第六閘極及該第五鰭狀電晶體之該第八閘極係連接該第二讀寫控制線，該第二鰭狀電晶體之該第五閘極係連接至該第一鰭狀電晶體及該第三鰭狀電晶體之該閘極，該第五鰭狀電晶體之該第七閘極係連接至該第四鰭狀電晶體及該第六鰭狀電晶體之該閘極。
6. 如申請專利範圍第 3 項所述之以史密特觸發器為基礎的鰭狀場效電晶體

靜態隨機存取記憶體，其中該第二緒狀電晶體之該第六閘極及該第五緒狀電晶體之該第八閘極係連接該電源端，該第二緒狀電晶體之該第五閘極係連接至該第一緒狀電晶體及該第三緒狀電晶體之該閘極，該第五緒狀電晶體之該第七閘極係連接至該第四緒狀電晶體及該第六緒狀電晶體之該閘極。

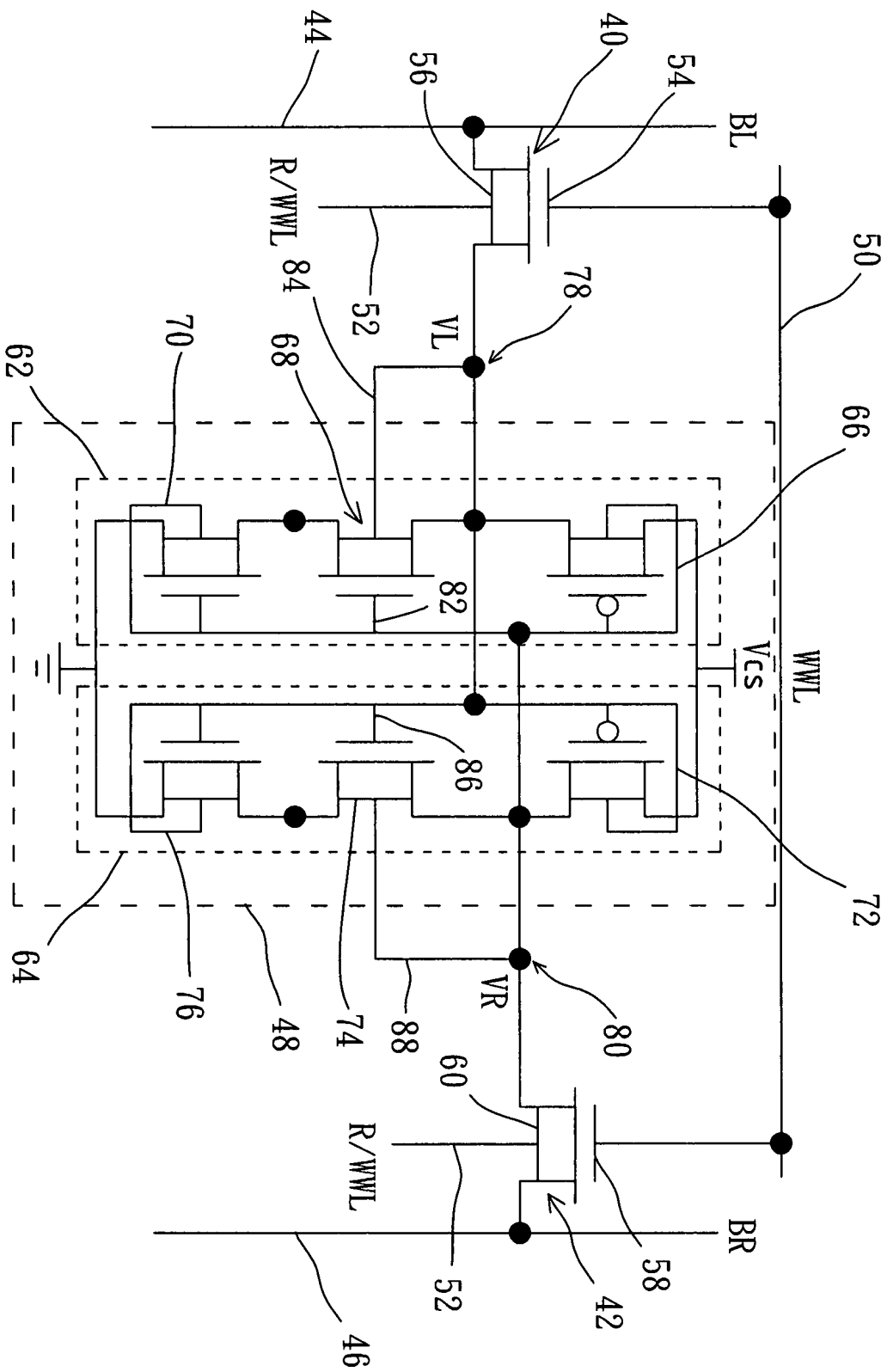
7. 如申請專利範圍第 1 項所述之以史密特觸發器為基礎的緒狀場效電晶體靜態隨機存取記憶體，其中該記憶體單元係依據該第二位元線與該第一位元線為反相電壓訊號，且該第一讀寫控制線或該第二讀寫控制線控制用以控制該第一控制緒狀電晶體及該第二控制緒狀電晶體為導通時，係將該資料進行寫入動作。
8. 如申請專利範圍第 1 項所述之以史密特觸發器為基礎的緒狀場效電晶體靜態隨機存取記憶體，其中該記憶體單元係依據該第一位元線之該第一電壓訊號與該第二位元線之該第二電壓訊號為預先充電至一高電位，且該第一讀寫控制線或該第二讀寫控制線控制該第一控制緒狀電晶體及該第二控制緒狀電晶體為導通時，係將該資料進行讀取動作。
9. 如申請專利範圍第 1 項所述之以史密特觸發器為基礎的緒狀場效電晶體靜態隨機存取記憶體，其中該第一讀寫控制線及該第二讀寫控制線同時為關閉狀態時，則該記憶體單元係進行該資料的保持動作。



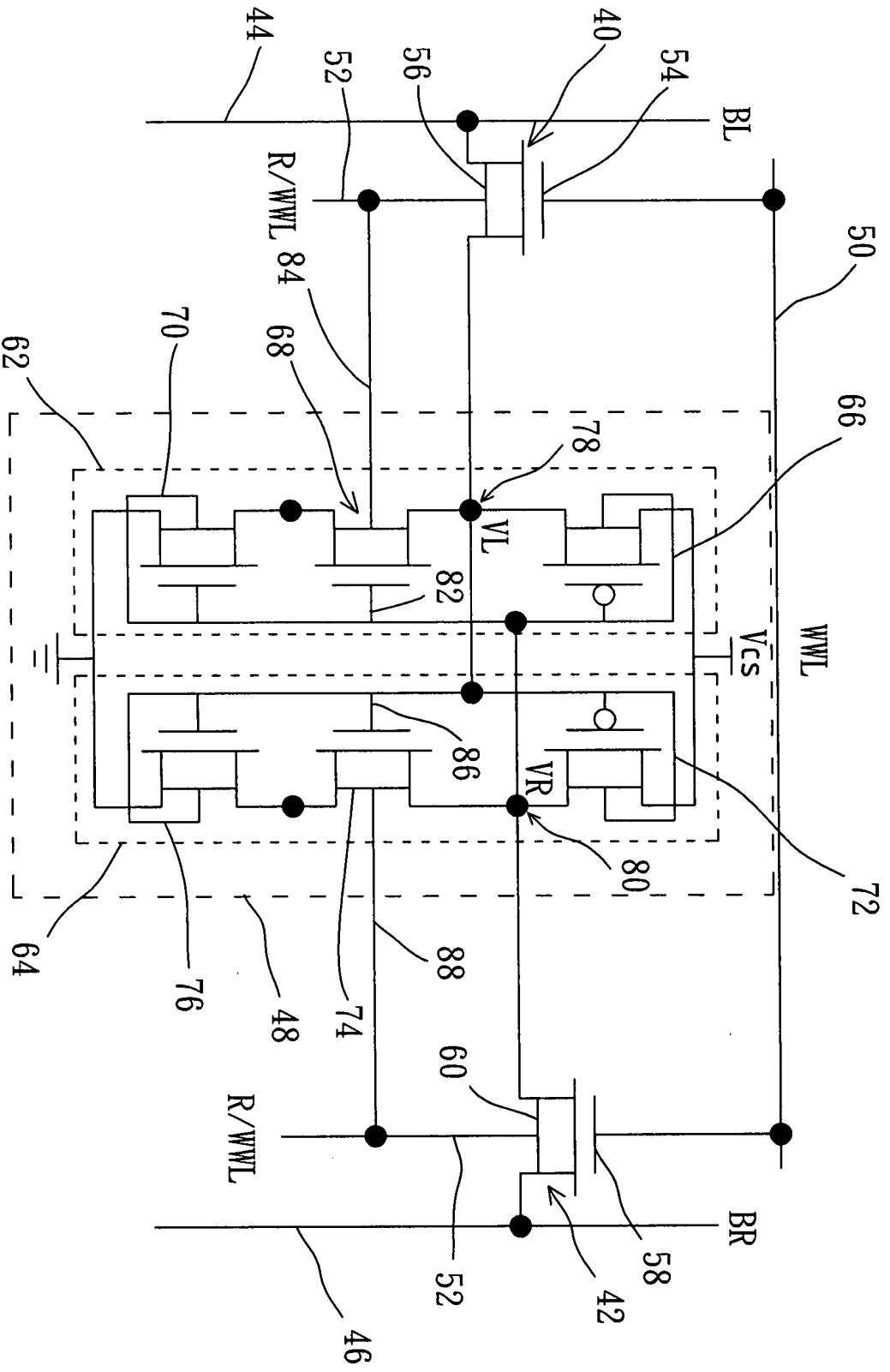
第2圖



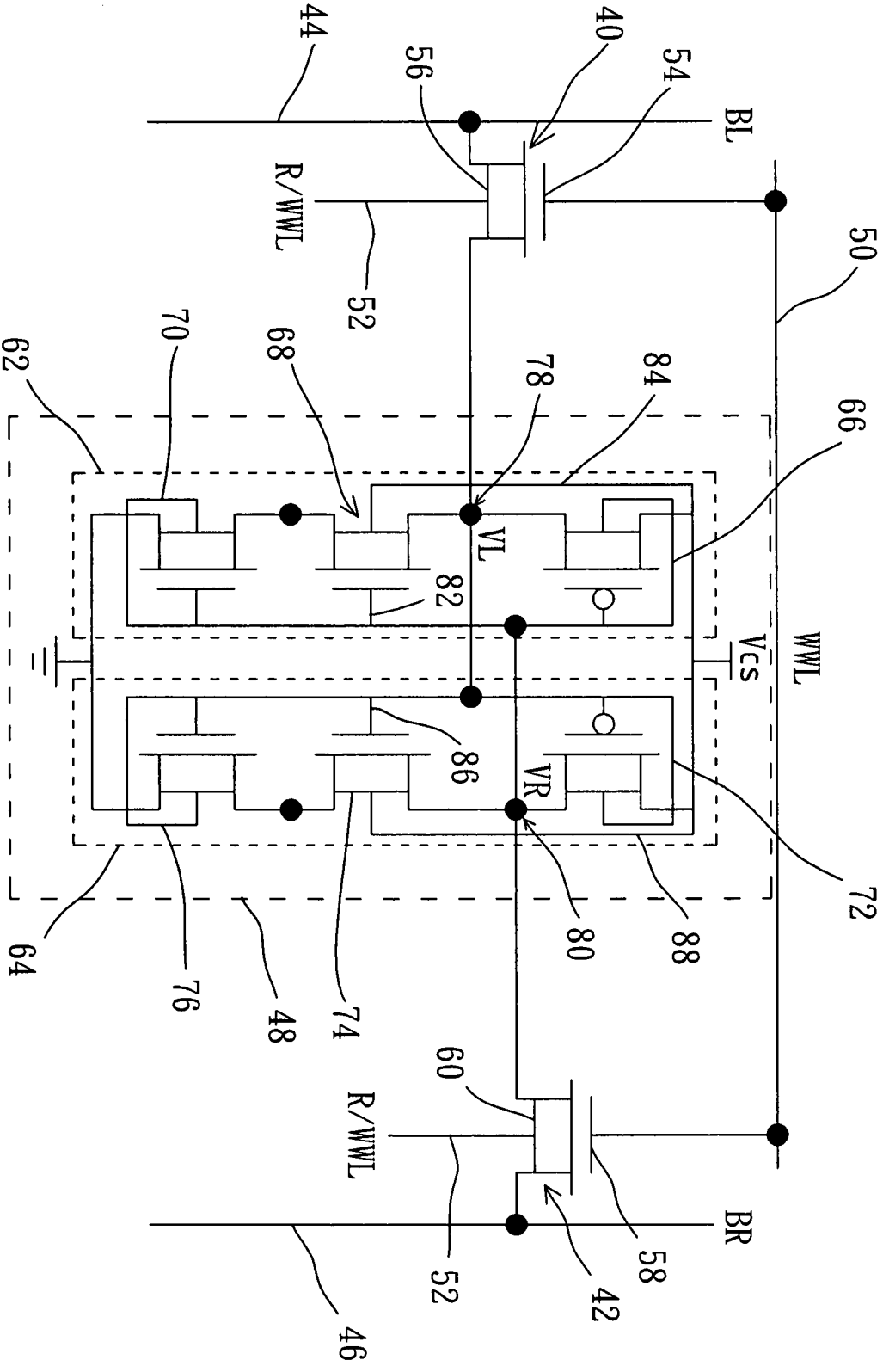
第3圖



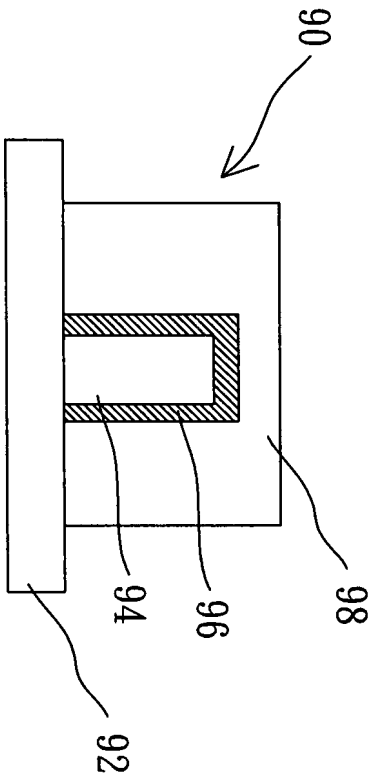
第4圖



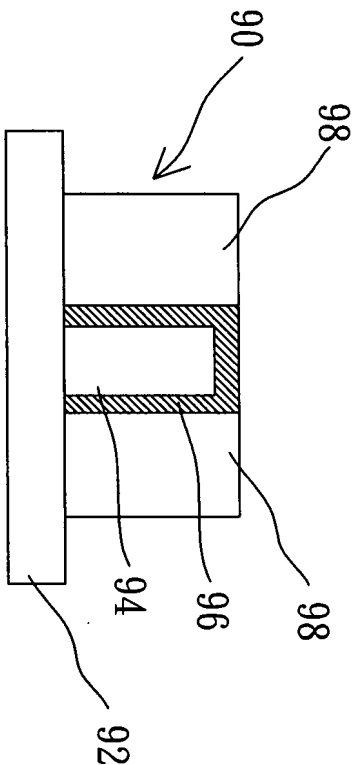
第5圖



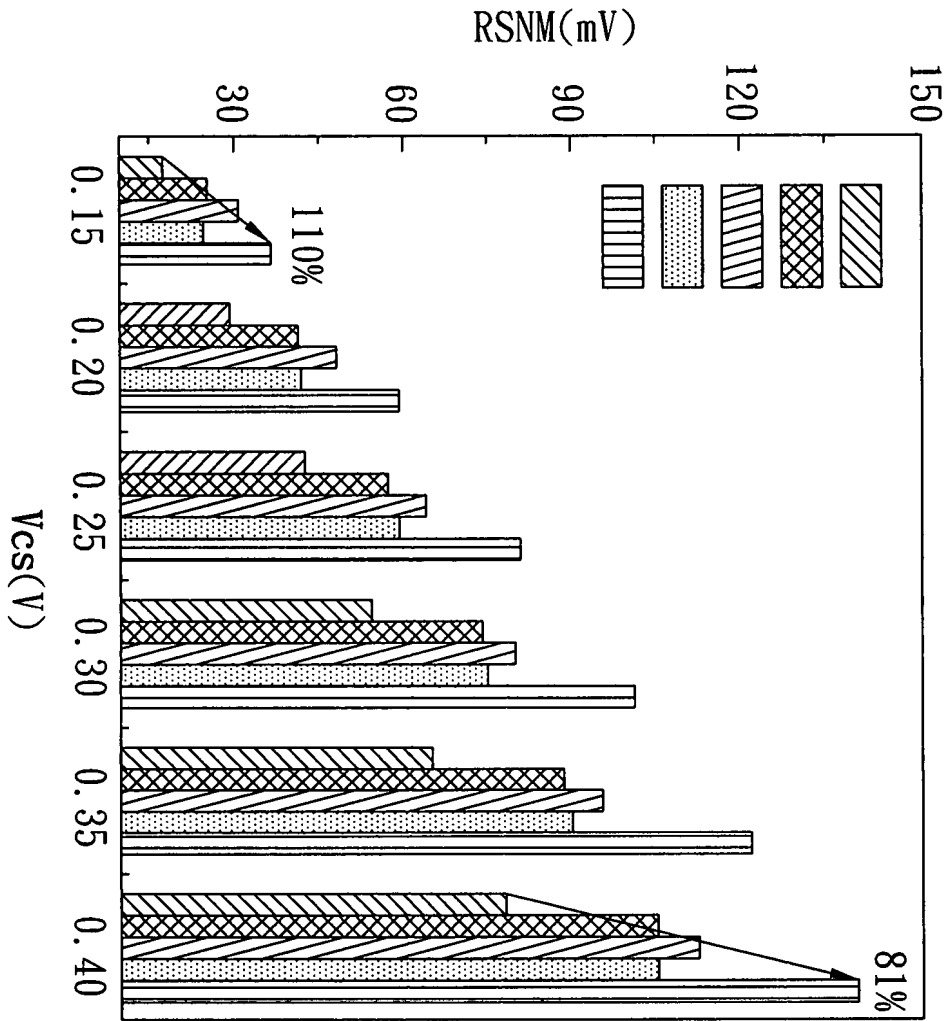
第6圖



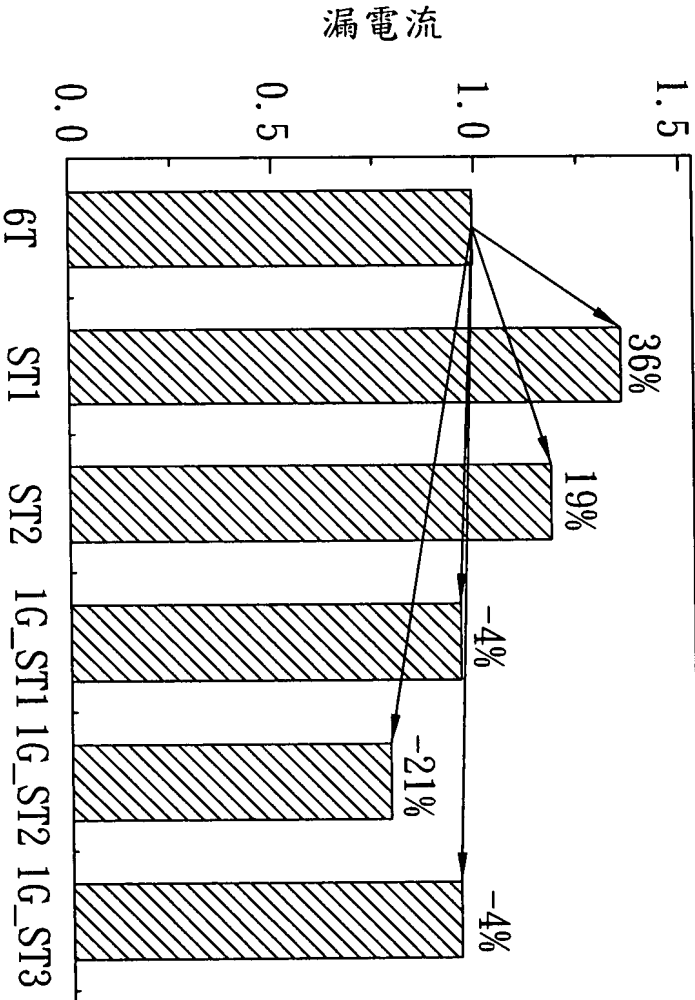
第7圖



第8圖



第9圖



第10圖