



(21)申請案號：099116225

(22)申請日：中華民國 99 (2010) 年 05 月 21 日

(51)Int. Cl.:

H04N7/24 (2011.01)

H03M7/00 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：廖元歆 LIAO, YUAN HSIN (TW)；張添烜 CHANG, TIAN SHEUAN (TW)

(74)代理人：何金塗；丁國隆

申請實體審查：有 申請專利範圍項數：7 項 圖式數：3 共 20 頁

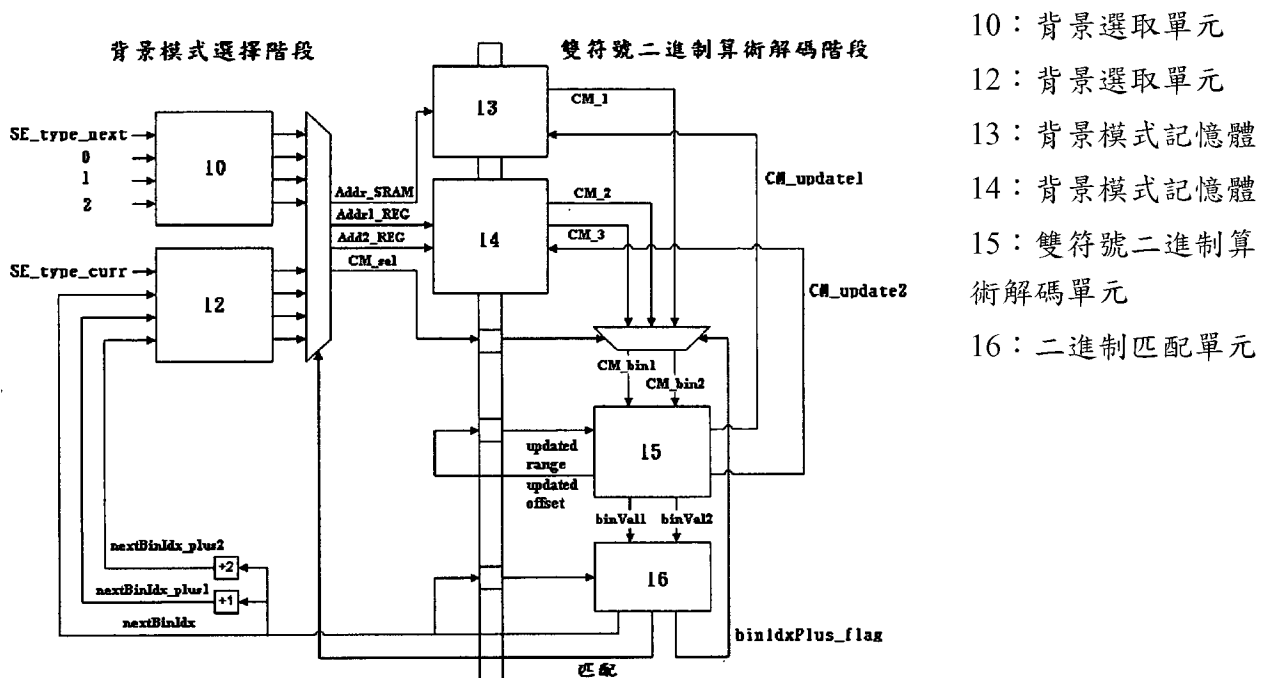
(54)名稱

背景調適性二進制算數解碼裝置及其解碼方法

CONTEXT-BASED ADAPTIVE BINARY ARITHMETIC CODING (CABAC) DEVICE AND CODING METHOD THEREOF

(57)摘要

提供一種背景調適性二進制算術解碼裝置及其解碼方法，其中該裝置包含：背景記憶體位址計算器，用以計算下個周期所需之背景模型在背景模型記憶體中之儲存位址；混合式背景記憶體，用以讀取並儲存該背景記憶體位址計算器之背景模型；雙符號背景調適性二進制算術解碼器，用以依照該混合式背景記憶體之背景模型輸出若干個用以更新該背景模型之範圍與偏移量之參數，並決定若干符號(bins)，以及二進制語法元素比較器，用以依照該等符號判斷目前二進制序列是否符合語法元素之數值，用以選出正確的記憶體位址。



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99116225

※申請日：99.5.21

※IPC 分類：H04N 7/24 (2011.01)

H03M 7/00 (2006.01)

### 一、發明名稱：(中文/英文)

背景調適性二進制算術解碼裝置及其解碼方法

CONTEXT-BASED ADAPTIVE BINARY ARITHMETIC CODING  
(CABAC) DEVICE AND CODING METHOD THEREOF

### 二、中文發明摘要：

提供一種背景調適性二進制算術解碼裝置及其解碼方法，其中該裝置包含：背景記憶體位址計算器，用以計算下個周期所需之背景模型在背景模型記憶體中之儲存位址；混合式背景記憶體，用以讀取並儲存該背景記憶體位址計算器之背景模型；雙符號背景調適性二進制算術解碼器，用以依照該混合式背景記憶體之背景模型輸出若干個用以更新該背景模型之範圍與偏移量之參數，並決定若干符號(bins)，以及二進制語法元素比較器，用以依照該等符號判斷目前二進制序列是否符合語法元素之數值，用以選出正確的記憶體位址。

### 三、英文發明摘要：

A context-based adaptive binary arithmetic coding (CABAC) device and a coding method thereof are provided. The device comprises: a context memory address calculator calculating an address stored on a context model memory, which is an address of a context model at next period; a mixed context memory in which the context model of the context memory address calculator is stored and from which the context model is read; a two-symbol adaptive binary arithmetic decoder outputting several parameters of a range and an offset for updating the context model based on the context model of the mixed context memory and determining several bins; and a binary syntax element comparator determining whether a current binary sequence corresponds to the amount of the syntax element based on the bins so as to select an appropriate memory address.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

10	、 12	背景選取單元
13	、 14	背景模式記憶體
15		雙符號二進制算術解碼單元
16		二進制匹配單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：  
無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種背景調適性二進制算術解碼裝置及其解碼方法，特別地，係關於一種用以提高視訊解碼效率以及降低硬體成本之背景調適性二進制算術解碼裝置及其解碼方法。

### 【先前技術】

Yongseok Yi等人於2007年4月在IEEE Transactions on Circuits and Systems for Video Technology揭露”Hig-Speed H.264/AVC CABAC Decoding”之技術(此後稱文獻1)，此技術以管線化方式來提升解碼速度，然而在解碼過程中，背景模型的選擇須由最新解出的符號值來決定。為解決此問題，解碼器需閒置兩個周期等待前一個符號被解碼出來後才可再進行下一個符號之解碼程序。因此文獻1之解碼器速度僅可達到平均每周期0.25個符號。

Pin-Chin Lin等人於2009年5月在Proceedings of IEEE International Symposium on Circuits and Systems揭露”A Branch Selection Multi-symbol High Throughput CABAC Decoder Architecture for H.264/AVC”之技術(此後稱文獻2)，其為解決解碼過程中資料相依性以及記憶體存取衝突之問題。文獻2係將所有背景模型均儲存在暫存器中，然而因為用來儲存背景模型的暫存器需要很龐大的面積，故其必須付出大量的硬體成本。

此外，於2008年10月9日所公開之美國專利第11/863973

號之技術中，其在遇到特定的語法元素時才能在一個周期中解碼出兩個符號，在其餘的情況下，一個周期僅能解碼出一個語法元素。因此解碼器之速度僅可達到平均每個周期0.80個符號。

基於上述習知技術缺失，本發明在此提供一種背景調適性二進制算術解碼裝置及其解碼方法，其在考量硬體成本之前提下，提高背景調適性二進制算術解碼器之解碼速度以達到高畫質HD影片之即時解碼需求。

#### 【發明內容】

本發明之主要目的之一係在背景調適性二進制算術解碼過程中，利用背景模型使用的規律性，有效地減少背景調適性二進制算術解碼器的碼體成本需求並提高解碼速度，以達到高畫質HD影片即時解碼的需求。

本發明之另一目的係提供一種背景調適性二進制算術解碼裝置，其包含：背景記憶體位址計算器，用以計算下個周期所需之背景模型在背景模型記憶體中之儲存位址；混合式背景記憶體，用以讀取並儲存該背景記憶體位址計算器之背景模型；雙符號背景調適性二進制算術解碼器，用以依照該混合式背景記憶體之背景模型決定一第一符號(bin)與一第二符號，以及輸出若干用以更新該背景模型之範圍與偏移量之參數；以及二進制語法元素比較器，用以依照該等符號參數判斷目前二進制序列是否符合語法元素之數值。

本發明之再一目的係提供一種利用上述背景調適性二進制算術解碼裝置之解碼方法，其包含：將該等二個符號參數之解碼限制在單一語法元素中，使得所有語法元素之第一個符號(bin)的索引為偶數且第二個符號的索引為奇數；將一含有解碼過程常出現旗標類型之語法元素的剩餘值地圖(significance map)中之所有符號合併成一新的單一語法元素，以便取得符號(bin)之下二個索引；以及依照語法元素類型以及該符號之下二個索引，自該混合式背景記憶體選取複數背景模式，以及將所選取之背景模式輸出至該雙符號背景調適性二進制算術解碼器以決定一第一符號以及一第二符號。

如上述背景調適性二進制算術解碼裝置及其解碼方法，其中對於每組背景模式來說，若該組背景模式中的其中二個背景模式不須同時載入該雙符號背景調適性二進制算術解碼器，則可將此組背景模式儲存在該靜態隨機存取記憶體中(因為SRAM一個週期只能讀取出一個背景模式(CM))；否則，則將其儲存在該暫存器中。

本發明具有下列技術特點及功效：

1. 在雙符號平行解碼的架構下，藉由將雙符號解碼限制在單一語法元素中以及將不同的語法元素進行合併，使得同一個周期所解碼出來的符號屬於同一個語法元素，並且背景模型的選取程序將變得簡易且具有規則性。此外，背景模型記憶體可因此以不同屬性之記憶體的組合來

實現。而藉由混合式背景模型記憶體之使用將可大幅降低硬體成本。

2. 相較於文獻1，本發明藉由提前計算出所有可能被使用到的背景模型，不僅可解決資料相依(data dependency)問題，而且每個周期最多可同時解出兩個符號。

3. 相較於文獻1及文獻3，本發明之解碼器速度可達到平均每周期1.83個符號。

4. 相較於文獻2所揭露之完全以暫存器來構成背景模型記憶體，本發明所利用之混合式背景模型記憶體可大幅降低硬體成本。

5. 對於雙符號二進制算術解碼之計算部份，本發明提出一個有效的轉換方法來解決習知技術臨界路徑延遲(critical path delay)的問題。

為使本發明之上述和其他目的、特徵及優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

#### 【實施方式】

本發明之應用不侷限於下列敘述、圖式或所舉例說明之構造和配置等細節所作之說明。本發明更具有其他實施例，且可以各種不同的方式予以實施或進行。此外，本發明所使用之措辭及術語均僅用來說明本發明之目的，而不應視為本發明之限制。

參照第1圖，其為本發明背景調適性二進制算術解碼裝

置之架構示意圖。該背景調適性二進制算術解碼裝置主要由針對下個語法元素之背景選取單元10、針對目前語法元素之背景選取單元12、背景模式記憶體(靜態隨機存取記憶體(SRAM))13、背景模式記憶體(暫存器)14、雙符號二進制算解碼單元15以及二進制匹配單元16所構成。此外，可將該背景調適性二進制算術解碼裝置之操作模式分成背景模式選取階段(MCS)以及雙符號二進制算術解碼(TSBAD)階段來說明，其中該背景模式選取階段包含使用該背景選取(CS)單元10、12以及一背景模式負載(CL)階段；該雙符號二進制算術解碼階段包含使用一雙符號解碼引擎(雙符號二進制算術解碼單元)以及一背景模式更新(CU)階段。

如第1圖所示，該背景模式選取階段主要為選取用以解碼下二個符號(bins)之背景模式(CM)。為了簡化及規則化該背景模式選取階段(MCS)，本發明將雙符號解碼限制在單一語法元素中，使得所有語法元素(Syntax Elements)之第一個符號(bin)的索引(binIdx)為偶數且第二個符號的索引為奇數。因此，對於下二個符號之背景模式的配置為有規則的，並且也使得背景模式位址之計算變得更簡單。

為了避免因解碼時大量旗標類型(flag-type)之語法元素(其僅具有單一符號)所造成之可實施性降低，故本發明將以解碼過程中最常出現的旗標類型語法元素所組成之剩餘值地圖(significance map)之所有符號合併成單一語法元素。對於連續兩個符號(bin)來說，在第一個符號的索引為



確定的情況下，第二個符號的索引只會有兩種可能，這代表也只有兩種可能的背景模式。因此，在本實施例中，於MCS階段只須準備3個所有可能會被用到的背景模式就可以解決資料相依(data dependency)的問題。

在進行語法元素的合併後，剩餘值地圖之符號索引(binIdx)變化及其特性將由下列表1所示，其中binIdx代表符號之索引；i代表掃描位置；SIG代表有效係數旗標(significant\_coeff\_flag)；以及LAST代表最後有效係數旗標(last\_significant\_coeff\_flag)。

表 1 (剩餘值地圖特性表)

目前旗標(flag)	符號值	下個旗標	下個 binIdx
SIG [i]	0	SIG [i+1]	binIdx + 2
SIG [i]	1	LAST [i]	binIdx + 1
LAST [i]	0	SIG [i+1]	binIdx + 1
LAST [i]	1	X	X

從表1中可很明顯地發現，當目前的語法元素為significant\_coeff\_flag且其符號值為0時，則下個binIdx等於binIdx+2。因此，CM選取及配置可僅取決於binIdx+2。亦即，只要提前計算出下個周期可能會用到的3個背景模型，則下兩個符號就可以在同一個周期內被計算出來並且可避免任何的管線延遲。

針對二個連續符號來說，語法元素中第二個符號的位置可為binIdx+1或者binIdx+2，其代表藉由給定二個CMs，

則可依照其實際 binIdx 所選擇之 CM 來解碼該第二個符號。因此，本發明應用二個背景選取 (CS) 單元 10、12 來同時計算位址，其中一個背景選取單元 12 用於目前語法元素，以及另一個背景選取單元 10 用於下個語法元素，而將在稍後作說明之二進制匹配單元 (Binarization Matching, BM) 16 的輸出結果將決定該等背景選取單元中哪個背景選取單元被選擇用以操作於一背景模式負載 (CL) 階段，如第 1 圖所示。

此外，由於若以暫存器來當記憶體，則硬體成本太高，並且單一雙埠 SRAM 也無法符合裝載三個 CM 且在同個周期執行龐大運算之需求。因此，為了進一步降低硬體成本，必須考量該 CM 之配置。

在本發明之較佳實施例中，提供一種在考量硬體成本同時又具有解碼效能之前提下來配置該 CM 記憶體之方法。因為雙符號解碼被限制在單一語法元素中，故可從不同來源來裝載 CMs 並依照語法元素類型以及下二個符號之 binIdx 來將其指定至將在稍後說明之雙符號二進制算術解碼 (TSBAD) 階段。在本實施例中，藉由下列方式來重組 CMs。

對於每組 CM 來說，若每組之其中二個 CMs 不須同時載入 TSBAD，則可將此組 CM 儲存在 SRAM 中；否則，則將其儲存在暫存器中。例如，使用三個 CMs 來解碼旗標 transform\_size\_8x8\_flag，由於該旗標 transform\_size\_8x8\_flag 只有一個符號 (bin) 並且沒有用到第二符號解碼程序，故一

次只需載入一個CM，所以便可將此CM則依上述原則儲存於SRAM中。在上述配置下，比起全部使用暫存器的架構來說，本發明可大幅降低記憶體的面積。

背景模式(CM)記憶體之組織可參照下列表2及表3所示。

表2 (SRAM的內容)

位址	CM索引	語法元素
0-2	0-2	mb_type (SI)
3-5	11-13	mb_skip_flag (P/SP)
6-8	24-26	mb_skip_flag (B)
9-11	70-72	mb_field_decoding_flag
12-31	85-104	coded_block_flag
32-171	166-226, 338-398, 417-425, 451-459	last_significant_coeff_flag
172-201	227-231, 237-241, 247-251, 257-261, 266-270, 426-430	coeff_abs_level_minus1 (第一個符號)
202-204	399-401	transform_size_8x8_flag

表 3 (暫存器的內容)

位址	CM 索引	語法元素
0-7	3-10	mb_type (I)
8-14	14-20	mb_type (P/SP)
15-17	21-23	sub_mb_type (P/SP)
18-26	27-35	mb_type (B)
27-30	36-39	sub_mb_type (B)
31-44	40-53	Mvd
45-50	54-59	ref_idx
51-54	60-63	mb_qp_delta
55-58	64-67	intra_chroma_pred_mode
59	68	prev_intra_pred_mode_flag
60	69	rem_intra_pred_mode
61-72	73-84	coded_block_pattern
73-224	105-165, 277-337, 402-416, 436-450	significant_coeff_flag
225-253	232-236, 242-246, 252-256, 262-265, 271-275, 431-435	coeff_abs_level_minus1 (排除第一個符號)

在取得記憶體位址後，可同時自 SRAM 13 取得一個 CM 以及自暫存器 14 取得二個 CMs。因此相較於均使用暫存器之實施來說，本發明藉由混合式 CM 記憶體不僅可避免資料因 CM 讀取及寫入所造成的風險，而且也可明顯降低硬體成本。

接下來參照第 2 圖，其為本發明於雙符號二進制算術解

碼 (TSBAD) 單元之方塊圖，其中該雙符號二進制算術解碼 (TSBAD) 單元係主要由複數個最大可能符號 (MPS) 解碼單元 (151, 154, 156)、複數個最小可能符號 (LPS) 解碼單元 (152, 155, 157)、一第一符號決定單元 153 以及一第二符號決定單元 158 所構成。

如第 2 圖所示，經選出之背景模式會傳到雙符號二進制算術解碼階段來進行符號值的計算，同時在這個階段會進行二進制匹配 (binary matching) 以及背景模式的更新。如圖所示，該雙符號二進制算術解碼 (TSBAD) 單元取得且輸出二個用以解碼下個符號 (binVal1 及 binVal2) 之參數，其中該等二個參數之其中一者為關於更新範圍之參數 (updated range)，以及另一者為關於更新偏移量之參數 (updated offset)。上述符號值主要是依據 offsetLPS 的正負來做判斷，由於 rangeLPS 需要經過查表才可得知，因此本發明可藉由重新排列標準 (standard) 制定的流程 (如第 3 圖左邊圖式) 來加速硬體的計算，其中偏移量 (O) 及範圍 (R) 係以下式表示：

$$O_{LPS} = O - R_{MPS} = O - (R - R_{LPS}) = (O - R) + R_{LPS}。$$

此外，將上述觀念延伸到第二個符號的解碼上，當之前的符號 (bin) 為 MPS 時：

$$O'_{LPS} = (O_{MPS} - R_{MPS}) + R'_{LPS} = (O - R_{MPS}) + R'_{LPS} = O_{LPS} + R'_{LPS}，$$

或者當之前的符號為 LPS 時：

$$O'_{LPS} = (O_{LPS} - R_{LPS}) + R'_{LPS} = (O - R + R_{LPS} - R_{LPS}) + R'_{LPS} = (O - R) + R'_{LPS}，$$

經過整理後可發現，O<sub>LPS</sub>跟(O-R)都是在第一個符號就已經計算好的結果，如第3圖右邊圖式所示。因此，本發明所提出之轉換方式可平行計算所有可能的解碼路徑，然後再藉由該符號決定單元(153、158)選出正確的結果，故可有效減少臨界路徑延遲(critical path delay)，其相較於傳統直接串接兩個BADs(二進制算術解碼)之計算時間(約3.14ns)來說，本發明(約2.26ns)可以解省約28%的計算時間。

關於本發明在不同視訊序列下的解碼速度以及與習知技術(文獻2)之效能比較分析結果可分別參照下列表4及表5。

表4 (解碼效率)

視訊序列	QP	位元率(Mbps)	解碼產率(bin/s)	速度(bin/周期)
車站2(Station2)	18	48.22	69901150	1.82
步行區域(Pedestrian_area)	18	45.54	63493978	1.81
牽引機(Tractor)	18	74.47	99586800	1.83
河床(Riverbed)	12	164.0	220666642	1.85
向日葵(Sunflower)	12	87.84	116566675	1.83
尖峰時間(Rush_hour)	12	107.65	147268586	1.86
平均				1.83

表 5 (比較不同設計之實施結果)

規 格	本發明	文獻 2
技術	UMC 90nm	UMC 90nm
最大頻率	264 MHz	222 MHz
閘極數	42372	82445
平均數(每周期之符號數)	1.83	1.96
解碼產率(每秒百萬個符號數)	483.1	435.1

由上列表 4 及表 5 可知，本發明相較於習知技術來說不僅可達到更高的解碼產率(每秒 483.1 百萬個符號數，其為最大頻率與平均速度的乘積)，而且更可省下 48.6% $[(82445-42372)/82445]$ 的硬體(閘極數)成本。

以上所述者僅為本發明之較佳實施例，惟本發明之實施範圍並非侷限於此。因此在不脫離本發明之原理及精神下，所屬技術領域中具有通常知識者依據本發明申請專利範圍及發明說明書內容所作之修飾與變化，皆應屬於本發明專利所涵蓋之範圍。

#### 【圖式簡單說明】

第 1 圖為本發明之背景調適性二進制算術解碼裝置之架構示意圖。

第 2 圖為本發明之雙符號二進制算術解碼(TSBAD)單元之方塊圖。

第 3 圖為本發明之雙符號二進制算術解碼(TSBAD)之轉換方法示意圖。

【主要元件符號說明】

10、12	背景選取單元
13、14	背景模式記憶體
15	雙符號二進制算術解碼單元
16	二進制匹配單元
151、154、156	MPS解碼單元
152、155、157	LPS解碼單元
153	第一符號決定單元
158	第二符號決定單元



## 七、申請專利範圍：

### 1. 一種背景調適性二進制算術解碼裝置，包含：

背景記憶體位址計算器，用以計算下個周期所需之背景模型在背景模型記憶體中之儲存位址；

混合式背景記憶體，用以讀取並儲存該背景記憶體位址計算器之背景模型；

雙符號背景調適性二進制算術解碼器，用以依照該混合式背景記憶體之背景模型輸出若干個用以更新該背景模型之範圍與偏移量之參數，並決定若干符號(bins)，以及

二進制語法元素比較器，用以依照該等符號判斷目前二進制序列是否符合語法元素之數值，用以選出正確的記憶體位址。

### 2. 如申請專利範圍第1項之背景調適性二進制算術解碼裝置，其中該背景記憶體位址計算器包含一第一背景模型選擇器，用以計算下個周期當前語法元素所需之背景模型位址；以及一第二背景模型選擇器，用以計算下個周期下個語法元素所需之背景模型位址。

### 3. 如申請專利範圍第1項之背景調適性二進制算術解碼裝置，其中該混合式背景記憶體包含一靜態隨機存取記憶體，用以讀取一個第一背景模型；以及一暫存器，用以讀取二個第二背景模型。

### 4. 如申請專利範圍第3項之背景調適性二進制算術解碼裝

置，其中對於每組背景模式(CM)來說，若該組背景模式中的其中二個背景模式不須同時載入該雙符號背景調適性二進制算術解碼器，則可將此組背景模式儲存在該靜態隨機存取記憶體中；否則，則將其儲存在該暫存器中。

5.如申請專利範圍第1項之背景調適性二進制算術解碼裝置，其中該雙符號背景調適性二進制算術解碼器包含：複數個最大可能符號(MPS)解碼單元、複數個最小可能符號(LPS)解碼單元、一第一符號決定單元以及一第二符號決定單元。

6.一種利用如申請專利範圍第1至5項中任一項之背景調適性二進制算術解碼裝置之解碼方法，其中包含下列步驟：

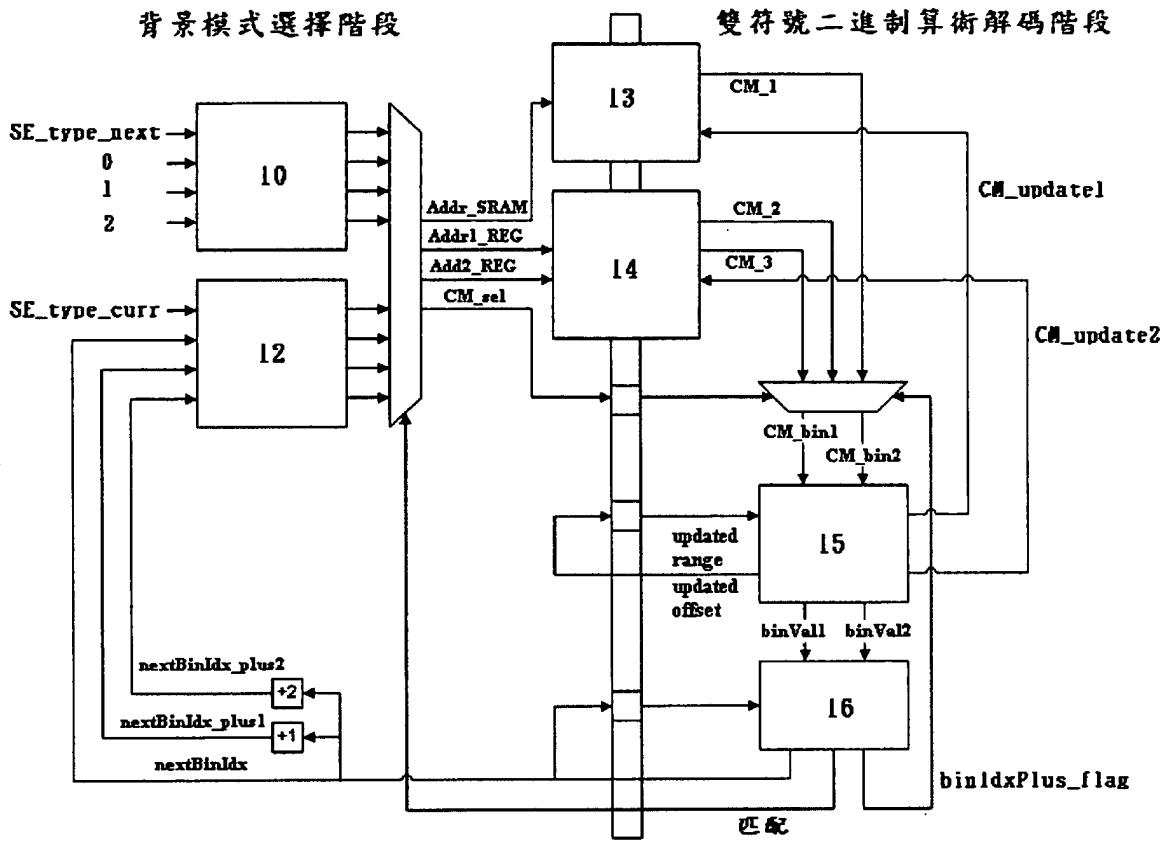
將該等二個符號參數之解碼限制在單一語法元素中，使得所有語法元素之第一個符號的索引為偶數且第二個符號的索引為奇數；

將一由旗標類型語法元素所組成之剩餘值地圖(significance map)中的所有符號合併成一新的單一語法元素，以便取得該等符號之下二個索引；以及

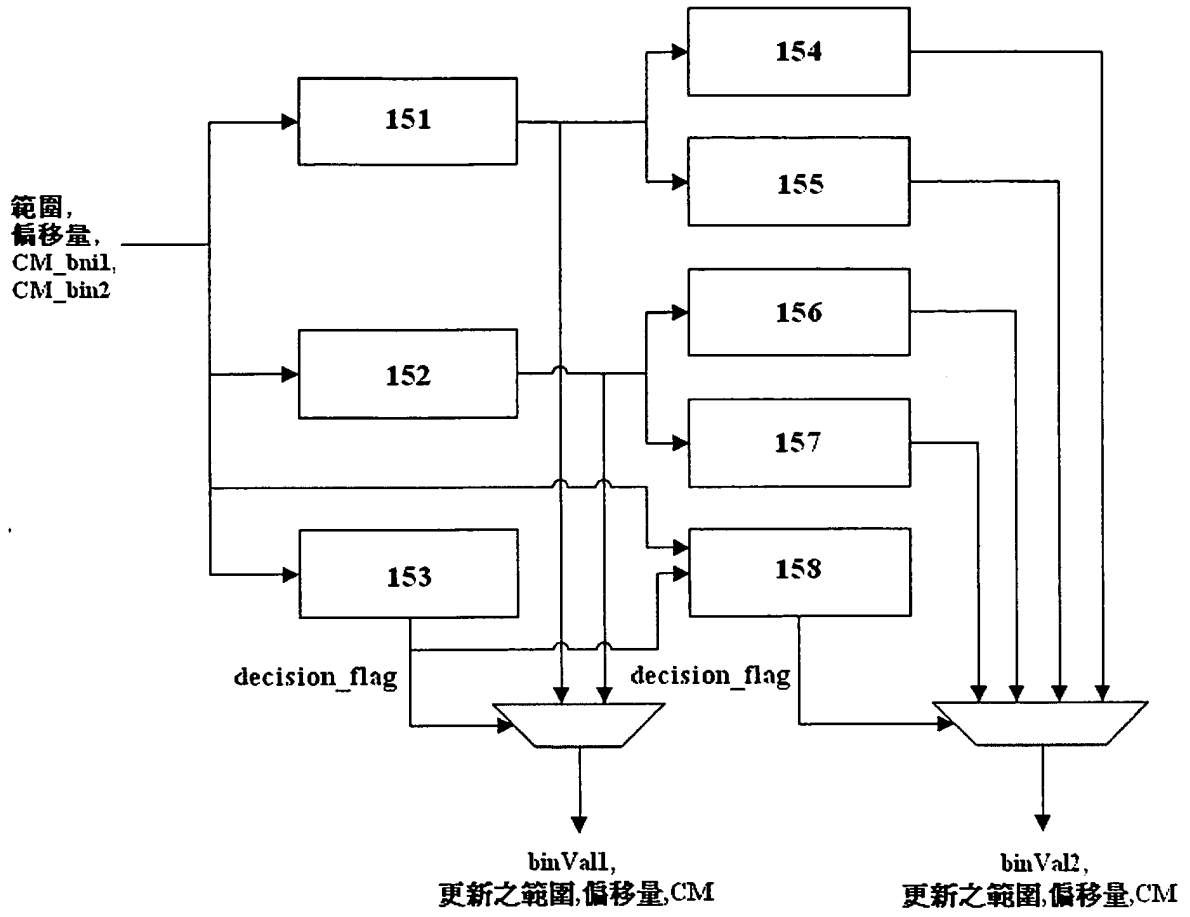
依照語法元素類型以及該等符號之下二個索引，自該混合式背景記憶體選取複數背景模式，以及將所選取之背景模式輸出至該雙符號背景調適性二進制算術解碼器以決定一第一符號以及一第二符號。

7.如申請專利範圍第6項之解碼方法，其中同一個周期所解碼出來的符號屬於同一個語法元素。

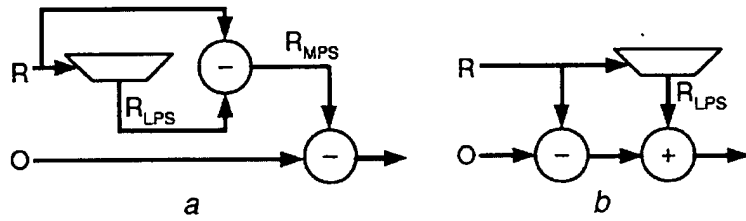
八、圖式：



第 1 圖



第 2 圖



第 3 圖