



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201141047 A1

(43)公開日：中華民國 100 (2011) 年 11 月 16 日

(21)申請案號：099109575

(22)申請日：中華民國 99 (2010) 年 05 月 04 日

(51)Int. Cl. : **H03B5/20 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：黃祖德 HUANG, ZUE DER (TW)；吳重雨 WU, CHUNG YU (TW)

(74)代理人：莊世超

申請實體審查：有 申請專利範圍項數：6 項 圖式數：1 共 15 頁

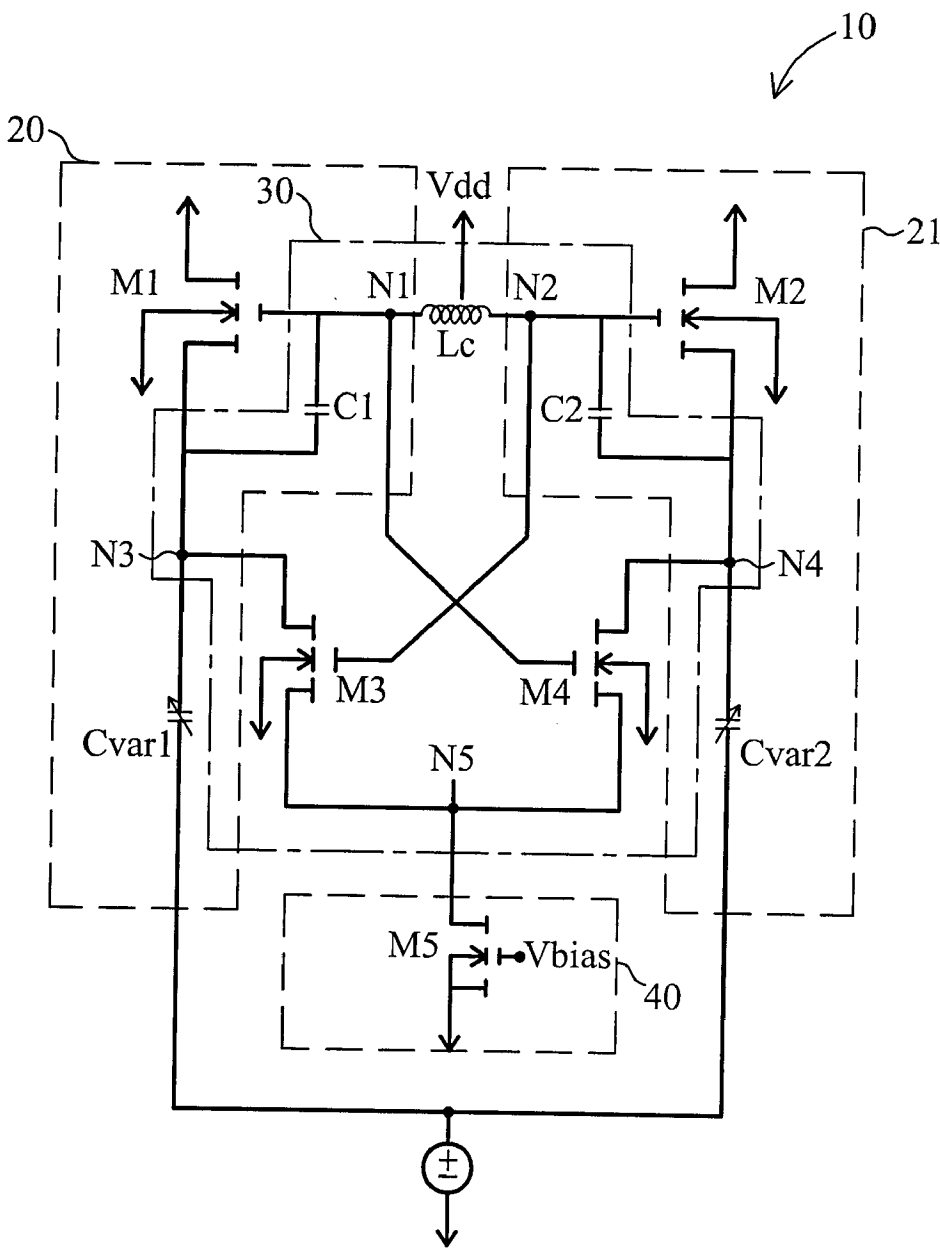
(54)名稱

雙正回授壓控震盪器

DUAL POSITIVE-FEEDBACKS VOLTAGE CONTROLLED OSCILLATOR

(57)摘要

一種雙正回授壓控震盪器，包括一震盪電路及一交叉耦合對電路。震盪電路包括第一電晶體、第二電晶體、一電感及複數電容，第一電晶體及第二電晶體之閘極端相對並且分別耦接電感之兩端，其中電感及電容組成電感電容共振腔。交叉耦合對電路包括第三電晶體及第四電晶體，第三電晶體及第四電晶體之閘極端以交叉方式耦接電感之兩端，使得第三電晶體之閘極端耦接第二電晶體之閘極端，第四電晶體之閘極端耦接第一電晶體之閘極端，並且第三電晶體之汲極端耦接第一電晶體之源極端，第四電晶體之汲極端耦接第二電晶體之源極端。



- 10：雙正回授壓控震盪器
- 20：震盪電路
- 21：震盪電路
- 30：交叉耦合電路
- 40：電流源
- C1：第一電容
- C2：第二電容
- Cvar1：第一可變電容
- Cvar2：第二可變電容
- M1：第一電晶體
- M2：第二電晶體
- M3：第三電晶體
- M4：第四電晶體
- M5：第五電晶體
- N1：端點
- N2：端點
- N3：端點
- N4：端點
- N5：端點
- Vbias：偏壓
- Vdd：供給電壓

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99109575

※申請日： 99.5.4.

※IPC 分類：H03B 5/20 (2006.01)

一、發明名稱：(中文/英文)

雙正回授壓控震盪器 / DUAL POSITIVE-FEEDBACKS  
VOLTAGE CONTROLLED OSCILLATOR

二、中文發明摘要：

一種雙正回授壓控震盪器，包括一震盪電路及一交叉耦合對電路。震盪電路包括第一電晶體、第二電晶體、一電感及複數電容，第一電晶體及第二電晶體之閘極端相對並且分別耦接電感之兩端，其中電感及電容組成電感電容共振腔。交叉耦合對電路包括第三電晶體及第四電晶體，第三電晶體及第四電晶體之閘極端以交叉方式耦接電感之兩端，使得第三電晶體之閘極端耦接第二電晶體之閘極端，第四電晶體之閘極端耦接第一電晶體之閘極端，並且第三電晶體之汲極端耦接第一電晶體之源極端，第四電晶體之汲極端耦接第二電晶體之源極端。

三、英文發明摘要：

A dual positive-feedbacks voltage controlled oscillators includes an oscillation circuit and a cross coupled pair circuit. The oscillation circuit includes a first transistor, a second transistor, an inductor and a plurality of capacitors. The gate of the first transistor and the gate of the second transistor are relative and coupled to two ends of the inductor. A LC tank consists of the inductor and the capacitors. The cross coupled pair circuit includes a third transistor and a fourth transistor. The gate of the third transistor and the gate of the fourth

transistor are cross coupled to two ends of the inductor, and the gate of the third transistor is coupled to the gate of the second transistor and the gate of the fourth transistor is coupled to the gate of the first transistor. The drain of the third transistor is coupled to the source of the first transistor and the drain of the fourth transistor is coupled to the source of the second transistor.

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

10 雙正回授壓控震盪器	M1 第一電晶體
20,21 震盪電路	M2 第二電晶體
30 交叉耦合電路	M3 第三電晶體
40 電流源	M4 第四電晶體
C1 第一電容	M5 第五電晶體
C2 第二電容	N1,N2,N3,N4,N5 端點
Cvar1 第一可變電容	Vdd 供給電壓
Cvar2 第二可變電容	Vbias 偏壓
Lc 電感	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：  
無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種壓控震盪器，特別是一種雙正回授壓控震盪器，以改善於高頻微波頻段中壓控震盪器在低供給電壓下的效能。

### 【先前技術】

隨著無線通訊技術的蓬勃發展，無線通訊系統所使用的收發機(Receiver transmitter)中，決定其品質性能極大因素之一就是壓控振盪器所產生的不同頻率信號之品質。此外，壓控振盪器亦時常應用於訊號產生器、電子音樂中用來製造變調、鎖相迴路及通訊設備中的頻率合成器等電子電路中。

壓控振盪器(voltage-controlled oscillator, VCO)是一種以電壓輸入來用來控制振盪頻率的電子振盪電路設計。其振盪的頻率或重覆的比例會隨著直流電壓的不同而改變，這個特性可以用來將調變訊號當做壓控振盪器的輸入而產生不同的調變訊號。

然而，習知之製程標準電壓下設計高頻壓控震盪器，利用一負阻抗產生電路產生一負阻抗以抵消電感電容共振腔所寄生之正阻抗，例如：NMOS 或 PMOS 交叉耦合對，單端或差動端震盪電路(Colpitts circuit)；另外，亦有採用雙負阻抗電路，但因其電路型態並無法在低電壓設計上符合需求，例如：NPMOS 互補式交叉耦合對震盪器。因此，當在低電壓設計時，以上方式往往需要利用大直流電流來彌補，因此造成功耗的需求增加。除此之外，在上述壓控震盪器中，更由於低電壓的關係，使得訊號與雜訊比(SNR)下降，而對相位

雜訊表現會產嚴重衰減。

因此，如何有效降低壓控震盪器之相位雜訊及其總功耗，以及使得電路維持於低電壓下操作，是本技術領域亟欲解決之問題。

### 【發明內容】

本發明之一目的係在於提供一震盪電路及一交叉耦合對電路，以產生雙正回授電路，用以改善高頻微波頻段之壓控震盪器在低供給電壓下的效能。

本發明之另一目的係在於提供一震盪電路及一交叉耦合對電路，以產生雙負阻抗，使電路以較小之直流電流消耗下產生所需的負阻抗值，來降低電路之總功耗。

本發明的其他目的和優點可以從本發明所揭露的技術特徵中得到進一步的了解。

為達上述之一或部份或全部目的或是其他目的，本發明之一實施例的一種雙正回授壓控震盪器，包括一震盪電路及一交叉耦合對電路。

震盪電路包括一第一電晶體、一第二電晶體、一電感及複數電容，第一電晶體之閘極端及第二電晶體之閘極端相背對並且分別耦接電感之兩端，其中電感及電容組成一電感電容共振腔，電感電容共振腔之電容包括一第一電容設置於震盪電路之一第一輸出端及第一電晶體之源極端之間；一第二電容設置於震盪電路之一第二輸出端及第二電晶體之源極端之間；一第一可變電容設置於第三電晶體之汲極端及接地端之間；以及，一第二可變電容設置於第四電晶體之汲極端及

接地端之間。

交叉耦合對電路包括一第三電晶體及一第四電晶體，第三電晶體之閘極端及第四電晶體之閘極端以交叉方式耦接電感之該兩端，使得第三電晶體之閘極端耦接第二電晶體之閘極端，第四電晶體之閘極端耦接第一電晶體之閘極端，並且第三電晶體之汲極端耦接第一電晶體之源極端，第四電晶體之汲極端耦接第二電晶體之源極端。其中，第三電晶體之源極端及第四電晶體之源極端皆為接地。

在一實施例中，更包括一電壓源，用以提供一供給電壓，並且第一電晶體之汲極端、第二電晶體之汲極端及電感耦接至電壓源。

#### 【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一較佳實施例的詳細說明中，將可清楚的呈現。以下實施例中所提到的方向用語，例如：上、下、左、右、前或後等，僅是參考附加圖式的方向。因此，使用的方向用語是用來說明並非用來限制本發明。

請參照第一圖，係為本發明之實施例中雙正回授壓控震盪器 10 之電路圖。一種雙正回授壓控震盪器 10 係由一震盪電路及一 NMOS 交叉耦合對電路 30 所組成。震盪電路包括一第一電晶體 M1、一第二電晶體 M2、一電感 Lc 及複數電容 C1, C2, Cvar1 及 Cvar2，並且震盪電路係由兩個互補式考畢茲震盪電路 (Colpitts circuit) 20, 21 組合而成，並且兩個考畢茲震盪電路 20, 21 共用一電感 Lc。NMOS 交叉耦合對電路 30 包括一第三電晶體 M3 及一第四電晶體 M4。



兩考畢茲震盪電路 20,21 與 NMOS 交叉耦合對電路 30 採疊接方式(cascade)，使得其直流偏壓電流為同一路徑，而共用直流電流，以達到節省功耗之目的。其中，上述第一電晶體 M1、第二電晶體 M2、第三電晶體 M3 及第四電晶體 M4 皆為一 N 型場效電晶體。

其中，電感 Lc 與複數電容 C1,C2,Cvar1 及 Cvar2 組成一電感電容共振腔，雙正回授壓控震盪器 10 藉由電感電容共振腔以控制其震盪頻率。

在本實施例中，一電壓源用以提供一供給電壓 Vdd。第一電晶體 M1 之汲極端、第二電晶體 M2 之汲極端及電感 Lc 耦接至電壓源。第一電晶體 M1 之閘極端及第二電晶體 M2 之閘極端相對並且分別耦接電感 Lc 之兩端點 N1 及 N2。第三電晶體 M3 之閘極端及第四電晶體 M4 之閘極端以交叉方式分別耦接電感 Lc，第三電晶體 M3 之閘極端耦接至端點 N2，以及第四電晶體 M4 之閘極端耦接至端點 N1，以偏壓至供給電壓 Vdd，因此降低疊接電路之電路偏壓電壓空間，以達到低供給電壓之設計要求。此外，第三電晶體 M3 之閘極端經由端點 N2 耦接第二電晶體 M2 之閘極端，第四電晶體 M4 之閘極端經由端點 N1 耦接第一電晶體 M1 之閘極端，並且第三電晶體 M3 之汲極端經由端點 N3 耦接第一電晶體 M1 之源極端，第四電晶體 M4 之汲極端經由端點 N4 耦接第二電晶體 M2 之源極端。第三電晶體 M3 之源極端及第四電晶體 M4 之源極端耦接至端點 N5。

另外，電感電容共振腔之一第一電容 C1 設置於震盪電路之第一輸出端及第一電晶體 M1 之源極端之間；一第二電

容 C2 設置於震盪電路之第二輸出端及第二電晶體 M2 之源極端之間；一第一可變電容 Cvar1 設置於第三電晶體 M3 之汲極端及接地端之間；以及，一第二可變電容 Cvar2 設置於第四電晶體 M4 之汲極端及接地端之間。

在一實施例中，更包括一第五電晶體 M5 作為一電流源 40。第五電晶體 M5 之汲極端經由端點 N5 耦接第三電晶體 M3 之源極端及第四電晶體 M4 之源極端。電流源 40 用以提供一經由偏壓 Vbias 之直流偏壓電流至兩考畢茲震盪電路 20,21 及 NMOS 交叉耦合對電路 30 中。其中，第五電晶體 M5 用以控制經由其直流電流之大小，以方便調適於應用在各式電子電路規格。

在另一實施例中，可藉由拆除第五電晶體 M5，使得第三電晶體 M3 之源極端及第四電晶體 M4 之源極端經由端點 N5 接地，因此偏壓 Vbias 之電壓值為零，以降低雙正回授壓控震盪器 10 之整體功率。

考畢茲震盪電路 20,21 提供第一個正回授路徑以等效為第一個負阻抗，NMOS 交叉耦合對電路 30 中之第三電晶體 M3 及第四電晶體 M4 提供第二個正回授電路以等效為第二個負阻抗。上述由考畢茲震盪電路 20,21 及 NMOS 交叉耦合對電路 30 產生之兩個等效之負阻抗與電感電容共振腔之一寄生電阻相互為一並聯形式，藉由兩個負阻抗以抵銷電感電容共振腔之寄生電阻。

由於考畢茲震盪電路 20,21 及 NMOS 交叉耦合對電路 30 產生兩個等效負阻抗，因此，在直流電流共用下，雙正回授壓控震盪器 10 可在低電壓操作下產生一高負阻抗值，使得雙

正回授壓控震盪器 10 能在較小的功耗下震盪。此外，於考畢茲震盪電路 20,21 及 NMOS 交叉耦合對電路 30 所提供之雙正回授的狀況下，震盪電路之等效迴路增益變大而提高輸出訊號振幅，以改善相位雜訊(phase noise)。

綜上所述，上述實施例具有下列優點：

一、提供一訊號對稱之互補式考畢茲震盪電路 20,21，使得操作於高頻微波頻段之雙正回授壓控震盪器 10 之相位雜訊下降。

二、提供一 NMOS 交叉耦合對電路 30，使得操作於高頻微波頻段之雙正回授壓控震盪器 10 之整體功率降低。

三、藉由訊號對稱之互補式考畢茲震盪電路 20,21 及 NMOS 交叉耦合對電路 30，來降低於高頻微波頻段操作之雙正回授壓控震盪器 10 之電源供應。

本發明實施例利用震盪電路及交叉耦合對電路產生之雙正回授及雙負阻抗，來增加壓控震盪器在低電壓操作下之負阻抗值，以降低電路之總功耗。此外，雙正回授增加電路之迴路增益(LOOP GAIN)，在低電壓低功耗下，能得到較大之輸出功率，以改善相位雜訊。此外，利用疊接方式將兩正回授電路組合，並且共用電流源來減少電路之總功耗。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。另外本發明的任一實施例或申請專利範圍不須達成本發明所揭露之全部目的或優點或特點。此

外，摘要部分和標題僅是用來輔助專利文件搜尋之用，並非用來限制本發明之權利範圍。

**【圖式簡單說明】**

第一圖，係為本發明之實施例中雙正回授壓控震盪器之電路圖。

**【主要元件符號說明】**

10 雙正回授壓控震盪器

20,21 震盪電路

30 交叉耦合電路

40 電流源

C1 第一電容

C2 第二電容

Cvar1 第一可變電容

Cvar2 第二可變電容

Lc 電感

M1 第一電晶體

M2 第二電晶體

M3 第三電晶體

M4 第四電晶體

M5 第五電晶體

N1,N2,N3,N4,N5 端點

Vdd 供給電壓

Vbias 偏壓

七、申請專利範圍：

1. 一種雙正回授壓控震盪器，包括：

一震盪電路，包括一第一電晶體、一第二電晶體、一電感及複數電容，該第一電晶體之閘極端及該第二電晶體之閘極端相對並且分別耦接該電感之兩端，其中該電感及該些電容組成一電感電容共振腔；以及

一交叉耦合對電路，包括一第三電晶體及一第四電晶體，該第三電晶體之閘極端及該第四電晶體之閘極端以交叉方式耦接該電感之該兩端，使得該第三電晶體之閘極端耦接該第二電晶體之閘極端，該第四電晶體之閘極端耦接該第一電晶體之閘極端，並且該第三電晶體之汲極端耦接該第一電晶體之源極端，該第四電晶體之汲極端耦接該第二電晶體之源極端。

2.如申請專利範圍第 1 項所述之雙正回授壓控震盪器，更包括一電壓源，該電壓源用以提供一供給電壓，並且該第一電晶體之汲極端、該第二電晶體之汲極端及該電感耦接至該電壓源。

3.如申請專利範圍第 1 項所述之雙正回授壓控震盪器，其中該電感電容共振腔之該些電容包括：

一第一電容，設置於該震盪電路之一第一輸出端及該第一電晶體之源極端之間；

一第二電容，設置於該震盪電路之一第二輸出端及該第二電晶體之源極端之間；

一第一可變電容，設置於該第三電晶體之汲極端及接地

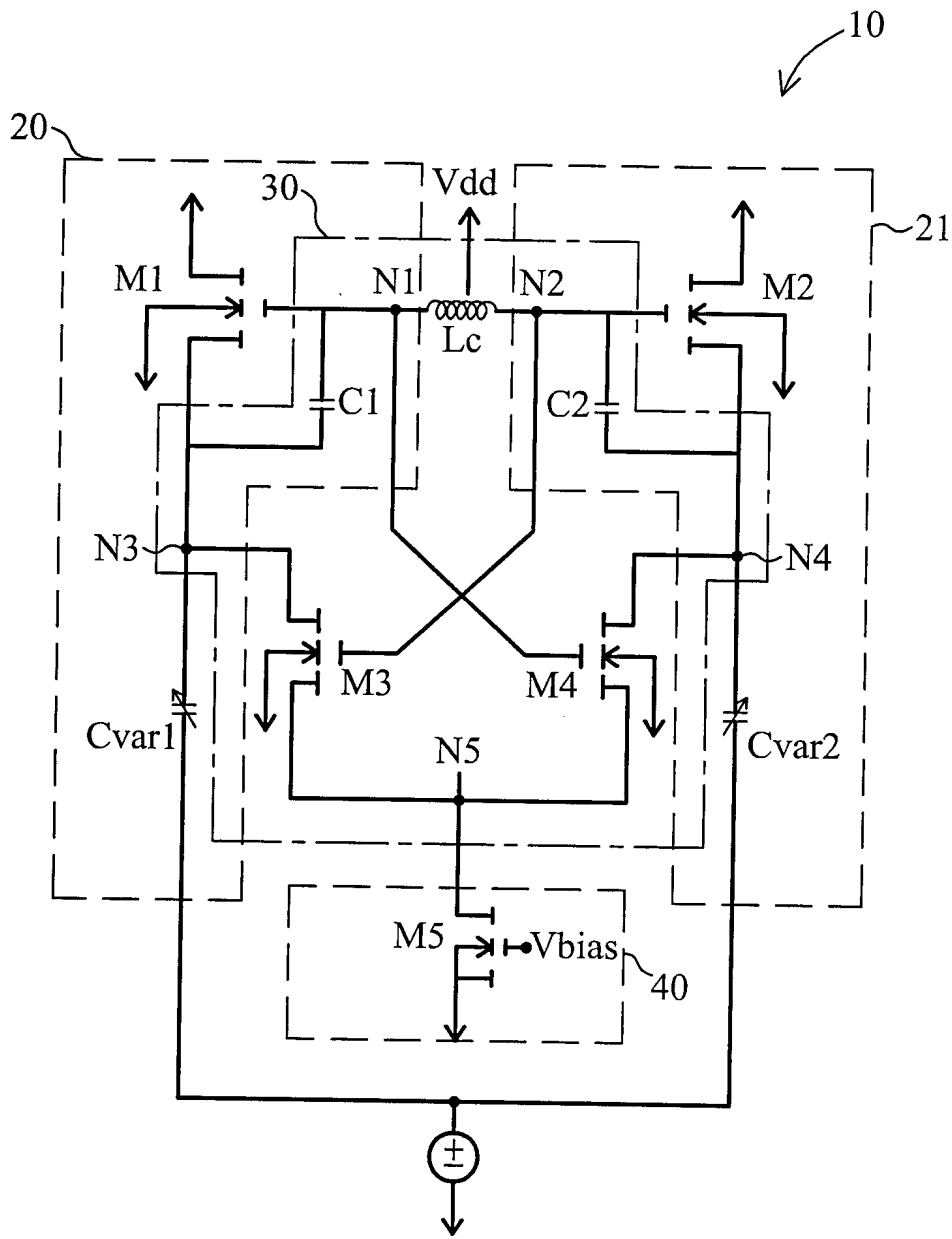
端之間；以及

一第二可變電容，設置於該第四電晶體之汲極端及接地端之間。

4.如申請專利範圍第 1 項所述之雙正回授壓控震盪器，其中該第三電晶體之源極端及該第四電晶體之源極端皆為接地。

5.如申請專利範圍第 1 項所述之雙正回授壓控震盪器，更包括一第五電晶體，該第五電晶體作為一電流源，用以提供一偏壓電流至該震盪電路及該交叉耦合對電路中，並且該第五電晶體之汲極端耦接該第三電晶體之源極端及該第四電晶體之源極端。

6.如申請專利範圍第 1 項所述之雙正回授壓控震盪器，其中該第一電晶體、該第二電晶體、該第三電晶體及該第四電晶體皆為一 N 型場效電晶體。



第一圖