

(21)申請案號：099106829

(22)申請日：中華民國 99 (2010) 年 03 月 09 日

(51)Int. Cl. : H02M3/07 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：吳俊毅 WU, CHUN YI (TW)；謝維致 HSIEH, WEI CHIH (TW)；張銘宏 CHANG, MING HUNG (TW)；黃威 HWANG, WEI (TW)

(74)代理人：黃于真；李國光

申請實體審查：有 申請專利範圍項數：10 項 圖式數：7 共 24 頁

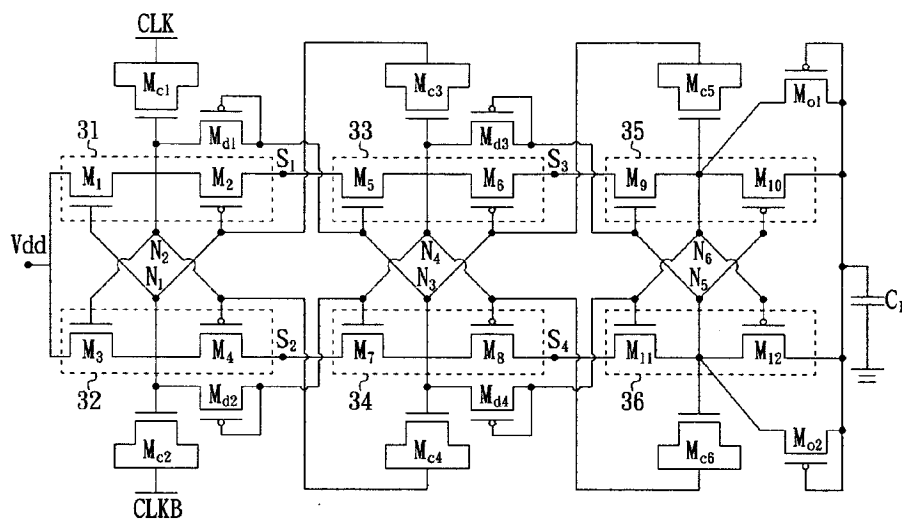
(54)名稱

電荷幫浦

CHARGE PUMP

(57)摘要

本發明係揭露一種電荷幫浦，可放大一輸入端所接收的輸入電壓，並於一輸出端輸出放大後之輸出電壓。此電荷幫浦包含複數個源汲極耦接電晶體作為充電電容，以及複數個疊接電晶體以對稱設置的方式連接於輸入端與輸出端間，且此電荷幫浦更包含複數個二極體連接式電晶體，以防止源汲極耦接的電晶體在電荷轉移過程中崩潰，並且提高電荷轉移速度。



31：第一疊接部

32：第二疊接部

33：第三疊接部

34：第四疊接部

35：第五疊接部

36：第六疊接部

CL：負載電容

CLK：第一時脈輸入端

CLKB：第二時脈輸入端

M1：第一電晶體

M2：第二電晶體

M3：第三電晶體

M4：第四電晶體

M5：第五電晶體

M6：第六電晶體

M7：第七電晶體

M8：第八電晶體

M9：第九電晶體
M10：第十電晶體
M11：第十一電晶體
M12：第十二電晶體
Mc1：第一源汲極耦
接電晶體
Mc2：第二源汲極耦
接電晶體
Mc3：第三源汲極耦
接電晶體
Mc4：第四源汲極耦
接電晶體
Mc5：第五源汲極耦
接電晶體
Mc6：第六源汲極耦
接電晶體
Md1：第一二極體連
接式電晶體
Md2：第二二極體連
接式電晶體
Md3：第三二極體連
接式電晶體
Md4：第四二極體連
接式電晶體
Mo1：第一輸出端電
晶體
Mo2：第二輸出端電
晶體
N1：第一節點
N2：第二節點
N3：第三節點
N4：第四節點
N5：第五節點
N6：第六節點
S1：第一端點
S2：第二端點
S3：第三端點
S4：第四端點
Vdd：輸入端電壓

專利案號：099106829



日期：99年03月09日

發明專利說明書

※申請案號：099106829

※IPC分類：

H02M 3/07 (2006.01)

※申請日：99.3.9

一、發明名稱：

電荷幫浦

CHARGE PUMP

二、中文發明摘要：

本發明係揭露一種電荷幫浦，可放大一輸入端所接收的輸入電壓，並於一輸出端輸出放大後之輸出電壓。此電荷幫浦包含複數個源汲極耦接電晶體作為充電電容，以及複數個疊接電晶體以對稱設置的方式連接於輸入端與輸出端間，且此電荷幫浦更包含複數個二極體連接式電晶體，以防止源汲極耦接的電晶體在電荷轉移過程中崩潰，並且提高電荷轉移速度。

三、英文發明摘要：

A charge pump is disclosed being arranged for amplifying an input voltage from an input terminal and outputting an amplified output voltage to an output terminal. The charge pump comprises a plurality of source/drain connected transistors as the charge capacitor and a plurality of cascading transistors disposed symmetrically connected between the input and output terminal. The charge pump further comprises a plurality diode-connected transistors to prevent the breakdown of the source/drain connected transistors during the charge transferring procedure and increase the charge transferring speed.

Intellectual
Property
Office

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖

(二)本代表圖之元件符號簡單說明：

31：第一疊接部；

32：第二疊接部；

33：第三疊接部；

34：第四疊接部；

35：第五疊接部；

36：第六疊接部；

CLK：第一時脈輸入端；

CLKB第二時脈輸入端；

CL：負載電容；

M1：第一電晶體；

M2：第二電晶體；

M3：第三電晶體；

M4：第四電晶體；

M5：第五電晶體；

M6：第六電晶體；

M7：第七電晶體；

M8：第八電晶體；

M9：第九電晶體；

M10：第十電晶體；

M11：第十一電晶體；

M12：第十二電晶體；

Mc1：第一源汲極耦接電晶體；

Mc2：第二源汲極耦接電晶體；



Mc3：第三源汲極耦接電晶體；

Mc4：第四源汲極耦接電晶體；

Mc5：第五源汲極耦接電晶體；

Mc6：第六源汲極耦接電晶體；

Md1：第一二極體連接式電晶體；

Md2：第二二極體連接式電晶體；

Md3：第三二極體連接式電晶體；

Md4：第四二極體連接式電晶體；

Mo1：第一輸出端電晶體；

Mo2：第二輸出端電晶體；

N1：第一節點；

N2：第二節點；

N3：第三節點；

N4：第四節點；

N5：第五節點；

N6：第六節點；

Vdd：輸入端電壓；

S1：第一端點；

S2：第二端點；

S3：第三端點；以及

S4：第四端點。



五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明是有關於一種電荷幫浦，特別是有關於一種高電荷轉換效率的電荷幫浦。

【先前技術】

[0002] 目前，電荷幫浦通常被用來做為升壓電路(Booster)或倍壓電路(Voltage Multiplier)，將低電壓源所提供的輸入電壓提高至較高電位之工作電壓，以提供各種需要較高電壓的驅動電路。

[0003] 請參閱第1圖，其係為先前技術中之迪克生(Dickson)電荷幫浦示意圖。該圖中，此迪克生電荷幫浦包含四個開關SW1-SW4、四個充電電容C1-C4、一輸出電容Cout及五個源汲極耦接之N型金氧半導體電晶體T1-T5。迪克生電荷幫浦的輸入端與輸出端的電位分別由Vin與Vout來表示。且充電電容C1-C4用以分別接收時脈訊號CK及XCK，以將輸入端的電位Vin提高至輸出端的電位Vout。此輸出端電位Vout可表示為：

$$V_{out} = \sum_{i=1}^5 (V_{in} - V_t(M_i))$$

[0004] 其中， $V_t(M_i)$ 為各源汲極耦接之N型金氧半導體電晶體T1-T5的門檻電壓。然而在此迪克生電荷幫浦若串聯多級(Stage)電晶體時，由於基體效應(Body Effect)的影響，門檻電壓會隨之增加，進而導致電壓轉換效率降低。

[0005]

請參閱第2圖，其係為先前技術中之另一電荷幫浦示意圖。該圖中，此電荷幫浦包含兩個電荷轉移分支 Branch A，Branch B。第一個電荷轉移分支 Branch A 包含八個電晶體 MN1-MN4、MP1-MP4，以及4個充電電容 C1-C4，第二個電荷轉移分支 Branch B 包含八個電晶體 MN5-MN8、MP8-MP8，以及4個充電電容 C5-C8 與一個輸出電容 Cout。且充電電容 C1、C3、C6、C8 以及充電電容 C2、C4、C5、C7 分別接受極性相異的脈衝訊號 CK 及 XCK。因此兩個電荷轉移分支 Branch A，Branch B 可被視為兩個獨立且反相的電荷幫浦電路。且此電荷幫浦中的電容 C1-C8 乃是採用晶片外 (Off-Chip) 的電容，因此無法將此電荷幫浦整合於一晶片上，若要將晶片外的電容以源汲極耦接電晶體取代的話，又會因閘極電壓過大而導致源汲極耦接電晶體崩潰。

【發明內容】

[0006]

有鑑於上述習知技藝之問題，本發明之目的就是在提供一種電荷幫浦，以解決習知技藝之電荷幫浦無法整合於晶片上之問題。

[0007]

根據本發明之目的，提出一種電荷幫浦可放大一輸入端所接收之一輸入電壓，並於一輸出端輸出放大後之一輸出電壓，此電荷幫浦包含一第一時脈輸入端、一第二時脈輸入端、一第一疊接部、一第二疊接部、一第三疊接部、一第四疊接部、一第一源汲極耦接電晶體、一第二源汲極耦接電晶體、一第三源汲極耦接電晶體、一第四源汲極耦接電晶體、一第一二極體連接式電晶體、一

第二二極體連接式電晶體、一第一輸出端電晶體及一第二輸出端電晶體。

[0008] 第一時脈輸出端與第二時脈輸出端可分別提供一第一時脈訊號及一第二時脈訊號。第一疊接部包含一第一電晶體及一第二電晶體疊接於輸入端與一第一端點間，且第一電晶體之閘極及第二電晶體之閘極相接於一第一節點。第二疊接部包含一第三電晶體及一第四電晶體疊接於輸入端與一第二端點間，且第三電晶體之閘極與第四電晶體之閘極相接於一第二節點。第三疊接部包含一第五電晶體及一第六電晶體疊接於第一端點與輸出端間，且第五電晶體之閘極及第六電晶體之閘極相接於一第三節點。第四疊接部包含一第七電晶體及一第八電晶體疊接於第二端點與輸出端間，且第七電晶體之閘極及第八電晶體之閘極相接於一第四節點。第一源汲極耦接電晶體之源極與汲極係分別耦接第一時脈輸入端，第一源汲極耦接電晶體之閘極耦接第二節點。第二源汲極耦接電晶體之源極與汲極係分別耦接第二時脈輸入端，第一源汲極耦接電晶體之閘極耦接第一節點。第三源汲極耦接電晶體之源極與汲極係分別耦接第一節點，第三源汲極耦接電晶體之閘極耦接第四節點。第四源汲極耦接電晶體之源極與汲極係分別耦接第二節點，第四源汲極耦接電晶體之閘極耦接第三節點。第一二極體連接式電晶體連接於第二節點與第三節點間。第二二極體連接式電晶體連接於第一節點與第四節點間。第一輸出端電晶體以二極體連接方式連接於第四節點與輸出端間。第二輸出

端電晶體以二極體連接方式連接於第三節點與輸出端間。

。

[0009] 其中，第一時脈訊號之極性與第二訊號之極性相異。

[0010] 其中，第一節點為第三電晶體及第四電晶體之疊接點，第二節點為第一電晶體及第二電晶體之疊接點，第三節點為第五電晶體及第六電晶體之疊接點，第四節點為第七電晶體及第八電晶體之疊接點。

[0011] 承上所述，依本發明之電荷幫浦，其可具有一或多個下述優點：

(1) 此電荷幫浦可藉由置換充電電容為源汲極耦接電晶體，藉此可將電荷幫浦整合於一晶片上。

(2) 此電荷幫浦可藉由設置二極體連接式電晶體，藉此可解決電晶體崩潰的問題。

【實施方式】

[0012] 請參閱第3圖，其係為本發明之電荷幫浦之第一實施例示意圖。圖中，電荷幫浦包含第一時脈輸出端CLK、第二時脈輸出端CLKB、第一疊接部31、第二疊接部32、第三疊接部33、第四疊接部34、第一源汲極耦接電晶體Mc1、第二源汲極耦接電晶體Mc2、第三源汲極耦接電晶體Mc3、第四源汲極耦接電晶體Mc4、第一二極體連接式(Diode-connected)電晶體Md1、以及第二二極體連接式電晶體Md2、第一輸出端電晶體Mo1、第二輸出端電晶體Mo2以及負載電容CL。

[0013] 第一時脈輸入端CLK可提供第一時脈訊號 ϕ_1 ，而第二

時脈輸入端CLKB則可提供第二時脈訊號 $\phi 2$ ，且第一時脈訊號的極性與第二時脈訊號的極性相異，如第4圖所示，且第一時脈訊號 $\phi 1$ 與第二時脈訊號 $\phi 2$ 的電壓值介於零與Vdd之間轉換。

[0014] 第一疊接部31包含疊接之第一電晶體M1與第二電晶體M2，並連接於輸入端與第一端點S1之間，且第一電晶體M1之閘極與第二電晶體M2之閘極相連於第一節點N1。第二疊接部32包含疊接之第三電晶體M3與第四電晶體M4，並連接於輸入端與第二端點S2之間，且第三電晶體M3之閘極與第四電晶體M4之閘極相連於第二節點N2。第三疊接部33包含疊接之第五電晶體M5與第六電晶體M6，並連接於第一端點S1與之間輸出端，且第五電晶體M5之閘極與第六電晶體M6之閘極相連於第三節點N3。第四疊接部34包含疊接之第七電晶體M7與第八電晶體M8，並連接於第二端點S2與輸出端之間，且第七電晶體M7之閘極與第八電晶體M8之閘極相連於第四節點N4。此外，由3圖中所示連結關係可得知，第一節點N1為第三電晶體M3及第四電晶體M4的疊接點，第二節點N2為第一電晶體M1及第二電晶體M2之疊接點，第三節點N3為第五電晶體M5及第六電晶體M6之疊接點，第四節點N4為第七電晶體M7及第八電晶體M8之疊接點。

[0015] 其中，此第一電晶體M1、第三電晶體M3、第五電晶體M5及第七電晶體M7較佳為N型金氧半導體電晶體；而第二電晶體M2、第四電晶體M4、第六電晶體M6及第八電晶體M8較佳為P型金氧半導體電晶體。

[0016] 而第一源汲極耦接電晶體Mc1、第二源汲極耦接電晶體Mc2、第三源汲極耦接電晶體Mc3及第四源汲極耦接電晶體Mc4則利用源汲極與閘極間的寄生電容，以取代第2圖中的充電電容，並藉此以達成將本發明之電荷幫浦以標準MOS半導體製程整合於晶片上。而各源汲極耦接電晶體Mc1-Mc4的連結關係如第3圖中所示，就不在此贅述。

[0017] 在此於第4圖定義了三個相位I、II及III。在第一相位I與第三相位III中，第一時脈訊號 $\phi 1$ 與第二時脈訊號 $\phi 2$ 所提供的電壓值分別為零與Vdd，因此第一電晶體M1、第四電晶體M4、第六電晶體M6與第七電晶體M7為導通，而第二電晶體M2、第三電晶體M3、第五電晶體M5與第八電晶體M8則為截止狀態；於第二相位II中，各電晶體導通或截止狀態則為與第一相位I或第三相位III相反。

[0018] 在第一時脈訊號 $\phi 1$ 為Low(零伏特)的第一相位I或第三相位III中，第一節點N1與第二節點N2的電壓值分別被加壓2Vdd與Vdd，第三節點N3與第四節點N4的電壓值分別被加壓3Vdd與2Vdd。在第一時脈訊號 $\phi 1$ 為High(Vdd)的第二相位II中，第一節點N1與第二節點N2的電壓值分別為Vdd與2Vdd，第三節點N3與第四節點N4的電壓值分別為2Vdd與3Vdd。因此第三源汲極耦接電晶體Mc3與第四源汲極耦接電晶體Mc4則會因為閘極與源汲極之間的壓差超過2Vdd而崩潰。

[0019] 為了將本發明之電荷幫浦整合於晶片中，且要避免源汲極耦接電晶體崩潰的狀況產生，因此於第二節點N2與第三節點N3之間增設第一二極體連接式電晶體Md1；於第

一節點N1與第四節點N4之間增設第二二極體連接式電晶體Md2；在第四節點N4與輸出端之間以二極體連接方式設置第一輸出端電晶體M01；以及於第三節點N3與輸出端之間以二極體連接方式設置第二輸出端電晶體M02。

[0020] 加入上述的電晶體後，在第一時脈訊號 $\phi 1$ 為Low(零伏特)的相位中，電荷轉移的操作路徑為由第一電晶體M1經過第一二極體連接式電晶體Md1，再經由第一輸出端電晶體M01流出至輸出端的負載電容CL；在第一時脈訊號 $\phi 1$ 為High(Vdd)的相位中，則為由第四電晶體M4流經第七電晶體M7，再由經由第六電晶體M6流出至輸出端的負載電容CL。前述之藉由時脈訊號 $\phi 1$ 、 $\phi 2$ 控制電荷幫浦進行電荷轉移的過程中，可避免汲極耦接電晶體閘極與源汲極之間的壓差超過 $2V_{dd}$ 而崩潰，並且可加速電荷轉移過程，以提升轉移效率。

[0021] 請參閱第5圖，其係為本發明之電荷幫浦之第二實施例示意圖。與第一實施例相較，其差異在於第二實施例更增加了第五疊接部35、第六疊接部36、第五源汲極耦接電晶體Mc5、第六源汲極耦接電晶體Mc6、第三二極體連接式電晶體Md3與第四二極體連接式電晶體Md4。各電子元件的連接邏輯與第一實施例相似，且已於第5中揭示，就不在此贅述。加入前述之電晶體後，即可於輸出端產生電壓值為 $5V_{dd}$ 的輸出電壓。另請參閱第6圖，其係為第二實施例與習知技藝之電荷幫浦的輸出電壓暫態反應示意圖。由該圖中所示，再加入了前述的電晶體後，本發明之電荷幫浦由0 V至5 V的反應速率較習知技藝之電

荷幫浦快速。

[0022] 請一併參閱第7A圖與第7B圖，其係為第二實施例之電荷幫浦與習知技藝之電荷幫浦之輸出電壓與輸出電流關係圖，以及功率示意圖。由圖中可得知本發明之電荷幫浦在相同的操作條件下，可於輸出端產生較高的輸出電壓，以及具有高轉換效率之特性。其中，轉換效率定義為輸出功率除以輸入功率。

[0023] 另請參閱表一，其係為本發明與習知技藝之電荷幫浦比較表。由表中所示，本發明之電荷幫浦在相同的操作條件下，具有較高的輸出電壓以及較高的轉換效率。

[0024]	迪克生	習知技藝	本發明
製程技術	90 奈米	90 奈米	90 奈米
輸入電壓	1 V	1 V	1 V
時脈頻率	200 MHz	200 MHz	200 MHz
晶片外電容	2 pF	1 pF	無
MOS電容	無	無	1 pF
輸出電壓 (負載150uA)	1.26 V	3.14 V	3.88 V
轉換效率 (負載150uA)	23.9 %	57.56 %	65.46 %

表一

[0025] 以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

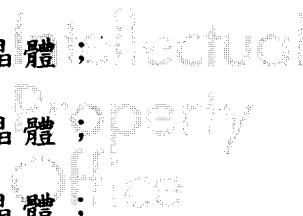
【圖式簡單說明】

- [0026] 第1圖係為先前技術中之迪克生電荷幫浦示意圖；
- 第2圖係為先前技術中之另一電荷幫浦示意圖；
- 第3圖係為本發明之電荷幫浦之第一實施例示意圖；
- 第4圖係為本發明之第一時脈訊號與第二時脈訊號示意圖；
- 第5圖係為本發明之電荷幫浦之第二實施例示意圖；
- 第6圖為第二實施例與習知技藝之電荷幫浦的輸出電壓暫態反應示意圖；
- 第7A圖係為第二實施例之電荷幫浦與習知技藝之電荷幫浦之輸出電壓與輸出電流關係圖；以及
- 第7B圖係為第二實施例之電荷幫浦與習知技藝之電荷幫浦之轉換效率示意圖。

【主要元件符號說明】

- [0027] 31：第一疊接部；
- 32：第二疊接部；
- 33：第三疊接部；
- 34：第四疊接部；
- 35：第五疊接部；
- 36：第六疊接部；
- Branch A、Branch B：電荷轉移分支；
- C1~C8：充電電容；
- CLK：第一時脈輸入端；
- CLKB第二時脈輸入端；
- CK、XCK：時脈訊號；
- Cout：輸出電容；

- CL : 負載電容 ;
- M1 : 第一電晶體 ;
- M2 : 第二電晶體 ;
- M3 : 第三電晶體 ;
- M4 : 第四電晶體 ;
- M5 : 第五電晶體 ;
- M6 : 第六電晶體 ;
- M7 : 第七電晶體 ;
- M8 : 第八電晶體 ;
- M9 : 第九電晶體 ;
- M10 : 第十電晶體 ;
- M11 : 第十一電晶體 ;
- M12 : 第十二電晶體 ;
- Mc1 : 第一源汲極耦接電晶體 ;
- Mc2 : 第二源汲極耦接電晶體 ;
- Mc3 : 第三源汲極耦接電晶體 ;
- Mc4 : 第四源汲極耦接電晶體 ;
- Mc5 : 第五源汲極耦接電晶體 ;
- Mc6 : 第六源汲極耦接電晶體 ;
- Md1 : 第一二極體連接式電晶體 ;
- Md2 : 第二二極體連接式電晶體 ;
- Md3 : 第三二極體連接式電晶體 ;
- Md4 : 第四二極體連接式電晶體 ;
- Mo1 : 第一輸出端電晶體 ;
- Mo2 : 第二輸出端電晶體 ;
- MN1~MN4、MP1~MP4 : 電晶體 ;



N1：第一節點；

N2：第二節點；

N3：第三節點；

N4：第四節點；

N5：第五節點；

N6：第六節點；

Vdd：輸入端電壓；

Vin：輸入端的電位；

Vout：輸出端的電位；

SW1~SW4：開關；

S1：第一端點；

S2：第二端點；

S3：第三端點；

S4：第四端點；

T1~T5：N型金氧半導體電晶體；

$\phi 1$ ：第一時脈訊號；以及

$\phi 2$ ：第二時脈訊號。



Intellectual
Property
Office

七、申請專利範圍：

1. 一種電荷幫浦，係放大一輸入端所接收之一輸入電壓，並於一輸出端輸出放大後之一輸出電壓，該電荷幫浦包含：
 - 一第一時脈輸入端，係提供一第一時脈訊號；
 - 一第二時脈輸入端，係提供一第二時脈訊號；
 - 一第一疊接部，係包含一第一電晶體及一第二電晶體疊接於該輸入端與一第一端點間，且該第一電晶體之閘極及該第二電晶體之閘極相接於一第一節點；
 - 一第二疊接部，係包含一第三電晶體及一第四電晶體疊接於該輸入端與一第二端點間，且該第三電晶體之閘極及該第四電晶體之閘極相接於一第二節點；
 - 一第三疊接部，係包含一第五電晶體及一第六電晶體疊接於該第一端點與該輸出端間，且該第五電晶體之閘極及該第六電晶體之閘極相接於一第三節點；
 - 一第四疊接部，係包含一第七電晶體及一第八電晶體疊接於該第二端點與該輸出端間，且該第七電晶體之閘極及該第八電晶體之閘極相接於一第四節點；
 - 一第一源汲極耦接電晶體，該第一源汲極耦接電晶體之源極與汲極係分別耦接該第一時脈輸入端，該第一源汲極耦接電晶體之閘極耦接該第二節點；
 - 一第二源汲極耦接電晶體，該第二源汲極耦接電晶體之源極與汲極係分別耦接該第二時脈輸入端，該第一源汲極耦接電晶體之閘極耦接該第一節點；
 - 一第三源汲極耦接電晶體，該第三源汲極耦接電晶體之源極與汲極係分別耦接該第一節點，該第三源汲極耦接電晶

體之間極耦接該第四節點；

一第四源汲極耦接電晶體，該第四源汲極耦接電晶體之源極與汲極係分別耦接該第二節點，該第四源汲極耦接電晶體之間極耦接該第三節點；

一第一二極體連接式(Diode-connected)電晶體，係連接於該第二節點與該第三節點間；

一第二二極體連接式電晶體，係連接於該第一節點與該第四節點間；

一第一輸出端電晶體，係以二極體連接方式連接於該第四節點與該輸出端間；以及

一第二輸出端電晶體，係以二極體連接方式連接於該第三節點與該輸出端間；

其中，該第一時脈訊號之極性與該第二訊號之極性相異；

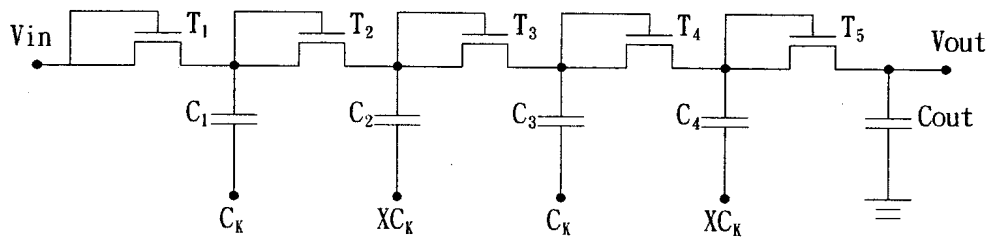
其中，該第一節點係為該第三電晶體及該第四電晶體之疊接點，第二節點係為該第一電晶體及該第二電晶體之疊接點，該第三節點係為該第五電晶體及該第六電晶體之疊接點，該第四節點係為該第七電晶體及該第八電晶體之疊接點。

2. 如申請專利範圍第1項所述之電荷幫浦，其中該第一源汲極耦接電晶體、該第二源汲極耦接電晶體、該第一輸出端電晶體及該第二輸出端電晶體係為N型金氧半導體電晶體。
3. 如申請專利範圍第1項所述之電荷幫浦，其中該第一二極體連接式電晶體、該第二二極體連接式電晶體、該第三二極體連接式電晶體及該第四二極體連接式電晶體係為P型金氧半導體電晶體。

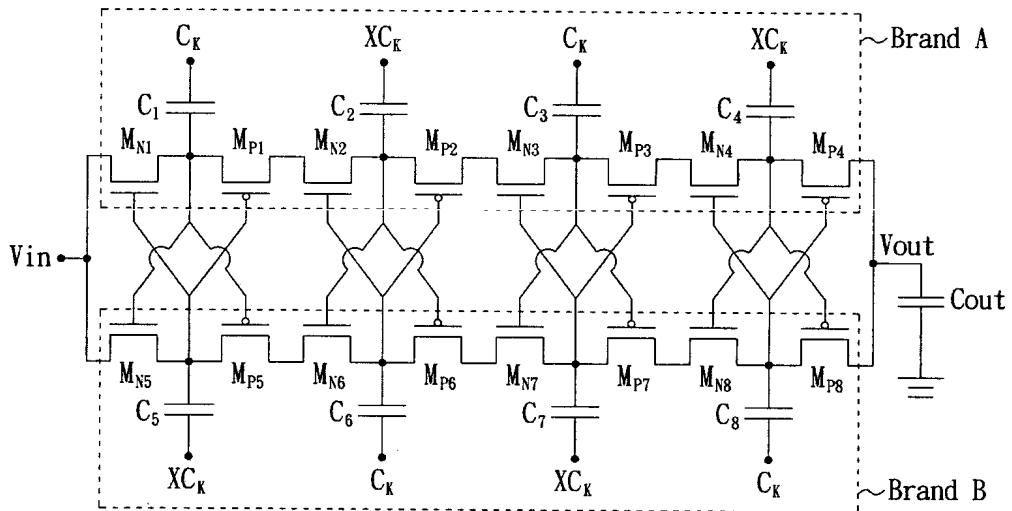
4. 如申請專利範圍第1項所述之電荷幫浦，其中該第一電晶體、該第三電晶體、該第五電晶體及該第七電晶體係為N型金氧半導體電晶體。
5. 如申請專利範圍第1項所述之電荷幫浦，其中該第二電晶體、該第四電晶體、該第六電晶體及該第八電晶體係為P型金氧半導體電晶體。
6. 如申請專利範圍第1項所述之電荷幫浦，更包含
 - 一第五疊接部，該第五疊接部包含一第九電晶體及一第十電晶體疊接於該第三疊接部與該輸出端間，且該第九電晶體之閘極及該第十電晶體之閘極相接於一第五節點；
 - 一第六疊接部包含一第十一電晶體及一第十二電晶體疊接於該第四疊接部與該輸出端間，且該第十一電晶體之閘極及該第十二電晶體之閘極相接於一第六節點；
 - 一第五源汲極耦接電晶體，該第五源汲極耦接電晶體之源極與汲極係分別耦接該第三節點，該第五源汲極耦接電晶體之閘極耦接該第六節點；
 - 一第六源汲極耦接電晶體，該第六源汲極耦接電晶體之源極與汲極係分別耦接該第四節點，該第五源汲極耦接電晶體之閘極耦接該第五節點；
 - 一第三二極體連接式電晶體，係連接於該第四節點與該第五節點間；以及
 - 一第四二極體連接式電晶體，係連接於該第三節點與該第六節點間。
7. 如申請專利範圍第6項所述之電荷幫浦，其中該第九電晶體及該第十電晶體係為N型金氧半導體電晶體，該第十一電晶體及該第十二電晶體係為P型金氧半導體電晶體。

- 8 . 如申請專利範圍第6項所述之電荷幫浦，其中該第五源汲極耦接電晶體及該第六源汲極耦接電晶體係為N型金氧半導體電晶體。
- 9 . 如申請專利範圍第6項所述之電荷幫浦，其中該第三二極體連接式電晶體及該第四二極體連接式電晶體係為P型金氧半導體電晶體。
- 10 . 如申請專利範圍第1項所述之電荷幫浦，更包含一負載電容連接於該輸出端於一接地點間。

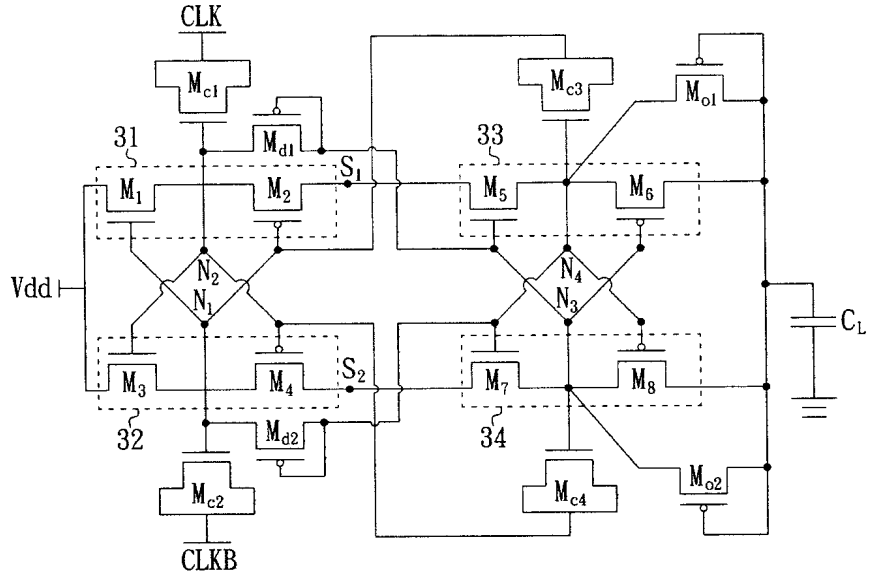
八、圖式：



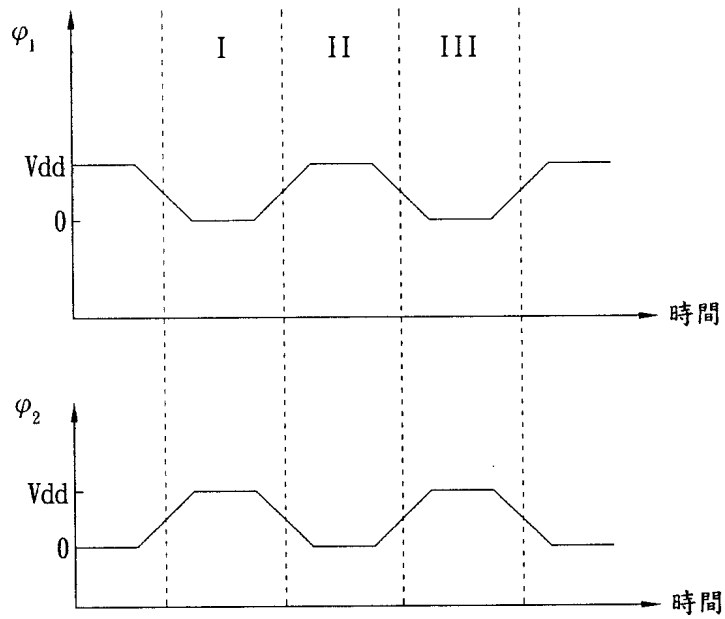
第1圖



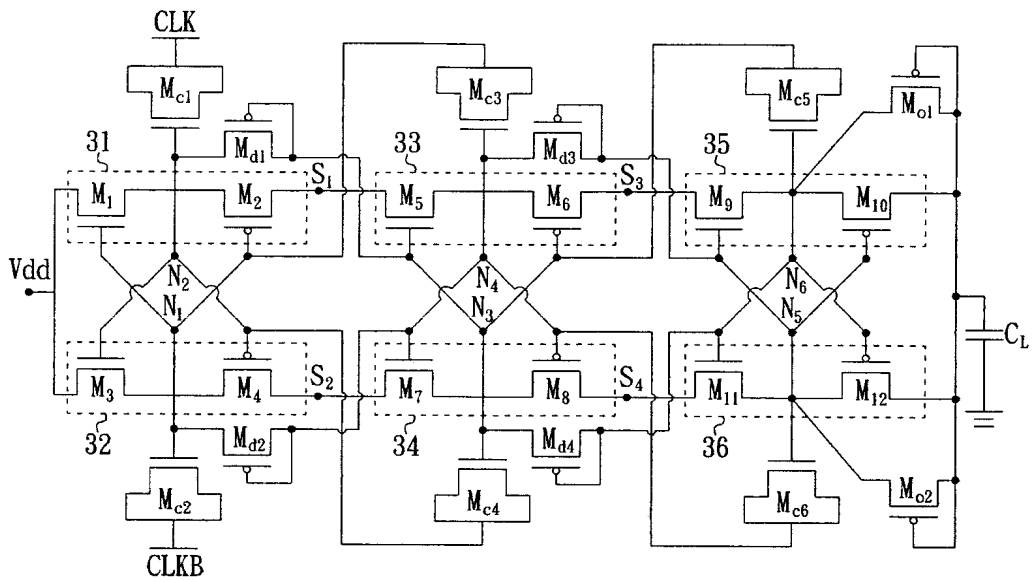
第2圖



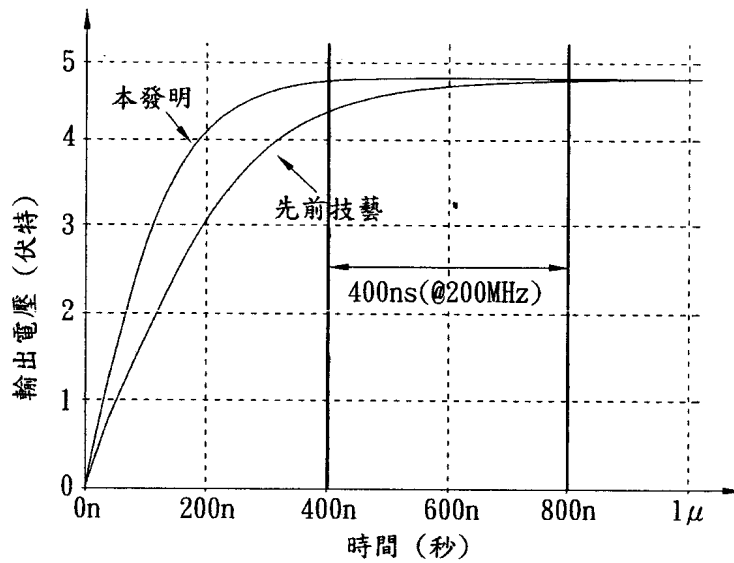
第 3 圖



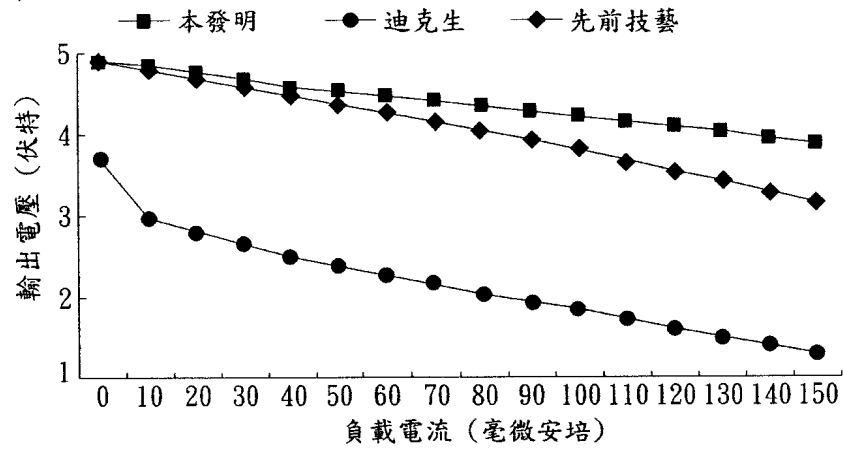
第 4 圖



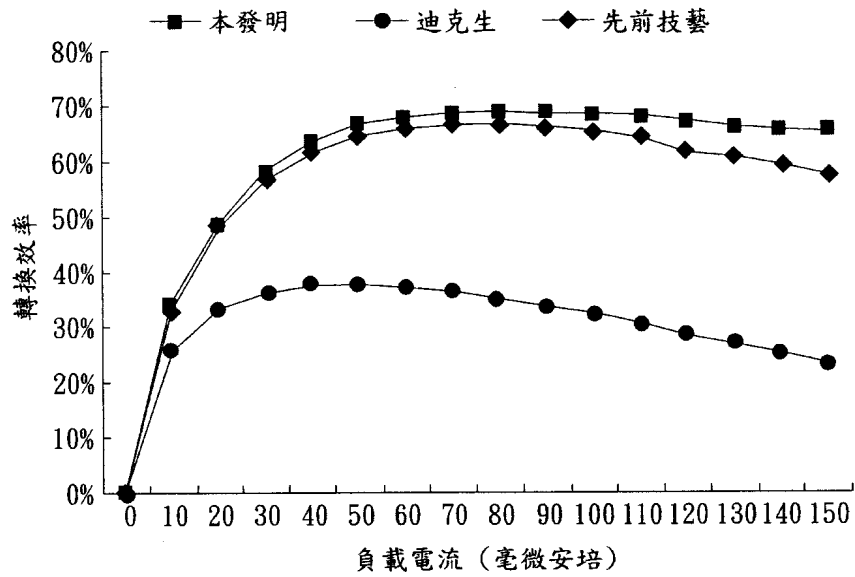
第5圖



第6圖



第7A圖



第7B圖

專利案號：099106829



智專收字第0993204198-0

DTD版本：1.0.1



日期：99年06月09日

發明專利說明書

※申請案號：099106829

※IPC分類：

※申請日：99.3.9

一、發明名稱：

電荷幫浦

CHARGE PUMP

二、中文發明摘要：

本發明係揭露一種電荷幫浦，可放大一輸入端所接收的輸入電壓，並於一輸出端輸出放大後之輸出電壓。此電荷幫浦包含複數個源汲極耦接電晶體作為充電電容，以及複數個疊接電晶體以對稱設置的方式連接於輸入端與輸出端間，且此電荷幫浦更包含複數個二極體連接式電晶體，以防止源汲極耦接的電晶體在電荷轉移過程中崩潰，並且提高電荷轉移速度。

三、英文發明摘要：

A charge pump is disclosed being arranged for amplifying an input voltage from an input terminal and outputting an amplified output voltage to an output terminal. The charge pump comprises a plurality of source/drain connected transistors as the charge capacitor and a plurality of cascading transistors disposed symmetrically connected between the input and output terminal. The charge pump further comprises a plurality diode-connected transistors to prevent the breakdown of the source/drain connected transistors during the charge transferring procedure and increase the charge transferring speed.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖

(二)本代表圖之元件符號簡單說明：

31：第一疊接部；

32：第二疊接部；

33：第三疊接部；

34：第四疊接部；

35：第五疊接部；

36：第六疊接部；

CLK：第一時脈輸入端；

CLKB第二時脈輸入端；

CL：負載電容；

M1：第一電晶體；

M2：第二電晶體；

M3：第三電晶體；

M4：第四電晶體；

M5：第五電晶體；

M6：第六電晶體；

M7：第七電晶體；

M8：第八電晶體；

M9：第九電晶體；

M10：第十電晶體；

M11：第十一電晶體；

M12：第十二電晶體；

Mc1：第一源汲極耦接電晶體；

Mc2：第二源汲極耦接電晶體；

- Mc3：第三源汲極耦接電晶體；
Mc4：第四源汲極耦接電晶體；
Mc5：第五源汲極耦接電晶體；
Mc6：第六源汲極耦接電晶體；
Md1：第一二極體連接式電晶體；
Md2：第二二極體連接式電晶體；
Md3：第三二極體連接式電晶體；
Md4：第四二極體連接式電晶體；
Mo1：第一輸出端電晶體；
Mo2：第二輸出端電晶體；
N1：第一節點；
N2：第二節點；
N3：第三節點；
N4：第四節點；
N5：第五節點；
N6：第六節點；
Vdd：輸入端電壓；
S1：第一端點；
S2：第二端點；
S3：第三端點；以及
S4：第四端點。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明是有關於一種電荷幫浦，特別是有關於一種高電荷轉換效率的電荷幫浦。

【先前技術】

[0002] 目前，電荷幫浦通常被用來做為升壓電路(Booster)或倍壓電路(Voltage Multiplier)，將低電壓源所提供的輸入電壓提高至較高電位之工作電壓，以提供各種需要較高電壓的驅動電路。

[0003] 請參閱第1圖，其係為先前技術中之迪克生(Dickson)電荷幫浦示意圖。該圖中，此迪克生電荷幫浦包含四個充電電容C1-C4、一輸出電容Cout及五個源汲極耦接之N型金氧半導體電晶體T1-T5。迪克生電荷幫浦的輸入端與輸出端的電位分別由Vin與Vout來表示。且充電電容C1-C4用以分別接收時脈訊號CK及XCK，以將輸入端的電位Vin提高至輸出端的電位Vout。此輸出端電位Vout可表示為：

$$V_{out} = \sum_{i=1}^5 (V_{in} - V_t(M_i))$$

[0004] 其中， $V_t(M_i)$ 為各源汲極耦接之N型金氧半導體電晶體T1-T5的門檻電壓。然而在此迪克生電荷幫浦若串聯多級(Stage)電晶體時，由於基體效應(Body Effect)的影響，門檻電壓會隨之增加，進而導致電壓轉換效率降低。

[0005] 請參閱第2圖，其係為先前技術中之另一電荷幫浦示意圖。該圖中，此電荷幫浦包含兩個電荷轉移分支 Branch A，Branch B。第一個電荷轉移分支 Branch A 包含八個電晶體 MN1-MN4、MP1-MP4，以及4個充電電容 C1-C4，第二個電荷轉移分支 Branch B 包含八個電晶體 MN5-MN8、MP5-MP8，以及4個充電電容 C5-C8 與一個輸出電容 Cout。且充電電容 C1、C3、C6、C8 以及充電電容 C2、C4、C5、C7 分別接受極性相異的脈衝訊號 CK 及 XCK。因此兩個電荷轉移分支 Branch A，Branch B 可被視為兩個獨立且反相的電荷幫浦電路。且此電荷幫浦中的電容 C1-C8 乃是採用晶片外 (Off-Chip) 的電容，因此無法將此電荷幫浦整合於一晶片上，若要將晶片外的電容以源汲極耦接電晶體取代的話，又會因閘極電壓過大而導致源汲極耦接電晶體崩潰。

【發明內容】

[0006] 有鑑於上述習知技藝之問題，本發明之目的就是在提供一種電荷幫浦，以解決習知技藝之電荷幫浦無法整合於晶片上之問題。

[0007] 根據本發明之目的，提出一種電荷幫浦可放大一輸入端所接收之一輸入電壓，並於一輸出端輸出放大後之一輸出電壓，此電荷幫浦包含一第一時脈輸入端、一第二時脈輸入端、一第一疊接部、一第二疊接部、一第三疊接部、一第四疊接部、一第一源汲極耦接電晶體、一第二源汲極耦接電晶體、一第三源汲極耦接電晶體、一第四源汲極耦接電晶體、一第一二極體連接式電晶體、一

第二二極體連接式電晶體、一第一輸出端電晶體及一第二輸出端電晶體。

[0008] 第一時脈輸出端與第二時脈輸出端可分別提供一第一時脈訊號及一第二時脈訊號。第一疊接部包含一第一電晶體及一第二電晶體疊接於輸入端與一第一端點間，且第一電晶體之閘極及第二電晶體之閘極相接於一第一節點。第二疊接部包含一第三電晶體及一第四電晶體疊接於輸入端與一第二端點間，且第三電晶體之閘極與第四電晶體之閘極相接於一第二節點。第三疊接部包含一第五電晶體及一第六電晶體疊接於第一端點與輸出端間，且第五電晶體之閘極及第六電晶體之閘極相接於一第三節點。第四疊接部包含一第七電晶體及一第八電晶體疊接於第二端點與輸出端間，且第七電晶體之閘極及第八電晶體之閘極相接於一第四節點。第一源汲極耦接電晶體之源極與汲極係分別耦接第一時脈輸入端，第一源汲極耦接電晶體之閘極耦接第二節點。第二源汲極耦接電晶體之源極與汲極係分別耦接第二時脈輸入端，第一源汲極耦接電晶體之閘極耦接第一節點。第三源汲極耦接電晶體之源極與汲極係分別耦接第一節點，第三源汲極耦接電晶體之閘極耦接第四節點。第四源汲極耦接電晶體之源極與汲極係分別耦接第二節點，第四源汲極耦接電晶體之閘極耦接第三節點。第一二極體連接式電晶體連接於第二節點與第三節點間。第二二極體連接式電晶體連接於第一節點與第四節點間。第一輸出端電晶體以二極體連接方式連接於第四節點與輸出端間。第二輸出

端電晶體以二極體連接方式連接於第三節點與輸出端間

。

[0009] 其中，第一時脈訊號之極性與第二訊號之極性相異。

[0010] 其中，第一節點為第一電晶體及第二電晶體之疊接點，第二節點為第三電晶體及第四電晶體之疊接點，第三節點為第五電晶體及第六電晶體之疊接點，第四節點為第七電晶體及第八電晶體之疊接點。

[0011] 承上所述，依本發明之電荷幫浦，其可具有一或多個下述優點：

(1) 此電荷幫浦可藉由置換充電電容為源汲極耦接電晶體，藉此可將電荷幫浦整合於一晶片上。

(2) 此電荷幫浦可藉由設置二極體連接式電晶體，藉此可解決電晶體崩潰的問題。

【實施方式】

[0012] 請參閱第3圖，其係為本發明之電荷幫浦之第一實施例示意圖。圖中，電荷幫浦包含第一時脈輸出端CLK、第二時脈輸出端CLKB、第一疊接部31、第二疊接部32、第三疊接部33、第四疊接部34、第一源汲極耦接電晶體Mc1、第二源汲極耦接電晶體Mc2、第三源汲極耦接電晶體Mc3、第四源汲極耦接電晶體Mc4、第一二極體連接式(Diode-connected)電晶體Md1、以及第二二極體連接式電晶體Md2、第一輸出端電晶體Mo1、第二輸出端電晶體Mo2以及負載電容CL。

[0013] 第一時脈輸入端CLK可提供第一時脈訊號 $\phi 1$ ，而第二

時脈輸入端CLKB則可提供第二時脈訊號 $\phi 2$ ，且第一時脈訊號的極性與第二時脈訊號的極性相異，如第4圖所示，且第一時脈訊號 $\phi 1$ 與第二時脈訊號 $\phi 2$ 的電壓值介於零與Vdd之間轉換。

[0014] 第一疊接部31包含疊接之第一電晶體M1與第二電晶體M2，並連接於輸入端與第一端點S1之間，且第一電晶體M1之閘極與第二電晶體M2之閘極相連於第一節點N1。第二疊接部32包含疊接之第三電晶體M3與第四電晶體M4，並連接於輸入端與第二端點S2之間，且第三電晶體M3之閘極與第四電晶體M4之閘極相連於第二節點N2。第三疊接部33包含疊接之第五電晶體M5與第六電晶體M6，並連接於第一端點S1與輸出端之間，且第五電晶體M5之閘極與第六電晶體M6之閘極相連於第三節點N3。第四疊接部34包含疊接之第七電晶體M7與第八電晶體M8，並連接於第二端點S2與輸出端之間，且第七電晶體M7之閘極與第八電晶體M8之閘極相連於第四節點N4。此外，由3圖中所示連結關係可得知，第一節點N1為第一電晶體M1及第二電晶體M2的疊接點，第二節點N2為第三電晶體M3及第四電晶體M4之疊接點，第三節點N3為第五電晶體M5及第六電晶體M6之疊接點，第四節點N4為第七電晶體M7及第八電晶體M8之疊接點。

[0015] 其中，此第一電晶體M1、第三電晶體M3、第五電晶體M5及第七電晶體M7較佳為N型金氧半導體電晶體；而第二電晶體M2、第四電晶體M4、第六電晶體M6及第八電晶體M8較佳為P型金氧半導體電晶體。

[0016] 而第一源汲極耦接電晶體Mc1、第二源汲極耦接電晶體Mc2、第三源汲極耦接電晶體Mc3及第四源汲極耦接電晶體Mc4則利用源汲極與閘極間的寄生電容，以取代第2圖中的充電電容，並藉此以達成將本發明之電荷幫浦以標準MOS半導體製程整合於晶片上。而各源汲極耦接電晶體Mc1-Mc4的連結關係如第3圖中所示，就不在此贅述。

[0017] 在此於第4圖定義了三個相位I、II及III。在第一相位I與第三相位III中，第一時脈訊號 $\phi 1$ 與第二時脈訊號 $\phi 2$ 所提供的電壓值分別為零與Vdd，因此第一電晶體M1、第四電晶體M4、第六電晶體M6與第七電晶體M7為導通，而第二電晶體M2、第三電晶體M3、第五電晶體M5與第八電晶體M8則為截止狀態；於第二相位II中，各電晶體導通或截止狀態則為與第一相位I或第三相位III相反。

[0018] 在第一時脈訊號 $\phi 1$ 為Low(零伏特)的第一相位I或第三相位III中，第一節點N1與第二節點N2的電壓值分別被加壓2Vdd與Vdd，第三節點N3與第四節點N4的電壓值分別被加壓3Vdd與2Vdd。在第一時脈訊號 $\phi 1$ 為High(Vdd)的第二相位II中，第一節點N1與第二節點N2的電壓值分別為Vdd與2Vdd，第三節點N3與第四節點N4的電壓值分別為2Vdd與3Vdd。因此第三源汲極耦接電晶體Mc3與第四源汲極耦接電晶體Mc4則會因為閘極與源汲極之間的壓差超過2Vdd而崩潰。

[0019] 為了將本發明之電荷幫浦整合於晶片中，且要避免源汲極耦接電晶體崩潰的狀況產生，因此於第二節點N2與第三節點N3之間增設第一二極體連接式電晶體Md1；於第

一節點N1與第四節點N4之間增設第二二極體連接式電晶體Md2；在第四節點N4與輸出端之間以二極體連接方式設置第一輸出端電晶體Mo1；以及於第三節點N3與輸出端之間以二極體連接方式設置第二輸出端電晶體Mo2。

[0020] 加入上述的電晶體後，在第一時脈訊號 $\phi 1$ 為Low(零伏特)的相位中，電荷轉移的操作路徑為由第一電晶體M1經過第一二極體連接式電晶體Md1，再經由第一輸出端電晶體Mo1流出至輸出端的負載電容CL；在第一時脈訊號 $\phi 1$ 為High(Vdd)的相位中，則為由第四電晶體M4流經第七電晶體M7，再由經由第六電晶體M6流出至輸出端的負載電容CL。前述之藉由時脈訊號 $\phi 1$ 、 $\phi 2$ 控制電荷幫浦進行電荷轉移的過程中，可避免汲極耦接電晶體閘極與源汲極之間的壓差超過 $2V_{dd}$ 而崩潰，並且可加速電荷轉移過程，以提升轉移效率。

[0021] 請參閱第5圖，其係為本發明之電荷幫浦之第二實施例示意圖。與第一實施例相較，其差異在於第二實施例更增加了第五疊接部35、第六疊接部36、第五源汲極耦接電晶體Mc5、第六源汲極耦接電晶體Mc6、第三二極體連接式電晶體Md3與第四二極體連接式電晶體Md4。各電子元件的連接邏輯與第一實施例相似，且已於第5圖中揭示，就不在此贅述。加入前述之電晶體後，即可於輸出端產生電壓值為 $5V_{dd}$ 的輸出電壓。另請參閱第6圖，其係為第二實施例與習知技藝之電荷幫浦的輸出電壓暫態反應示意圖。由該圖中所示，再加入了前述的電晶體後，本發明之電荷幫浦由0 V至5 V的反應速率較習知技藝之

電荷幫浦快速。

[0022] 請一併參閱第7A圖與第7B圖，其係為第二實施例之電荷幫浦與習知技藝之電荷幫浦之輸出電壓與輸出電流關係圖，以及功率示意圖。由圖中可得知本發明之電荷幫浦在相同的操作條件下，可於輸出端產生較高的輸出電壓，以及具有高轉換效率之特性。其中，轉換效率定義為輸出功率除以輸入功率。

[0023] 另請參閱表一，其係為本發明與習知技藝之電荷幫浦比較表。由表中所示，本發明之電荷幫浦在相同的操作條件下，具有較高的輸出電壓以及較高的轉換效率。

[0024]	迪克生	習知技藝	本發明
製程技術	90 奈米	90 奈米	90 奈米
輸入電壓	1 V	1 V	1 V
時脈頻率	200 MHz	200 MHz	200 MHz
晶片外電容	2 pF	1 pF	無
MOS電容	無	無	1 pF
輸出電壓 (負載150uA)	1.26 V	3.14 V	3.88 V
轉換效率 (負載150uA)	23.9 %	57.56 %	65.46 %

表一

[0025] 以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

【圖式簡單說明】

- [0026] 第1圖係為先前技術中之迪克生電荷幫浦示意圖；
第2圖係為先前技術中之另一電荷幫浦示意圖；
第3圖係為本發明之電荷幫浦之第一實施例示意圖；
第4圖係為本發明之第一時脈訊號與第二時脈訊號示意圖；
第5圖係為本發明之電荷幫浦之第二實施例示意圖；
第6圖為第二實施例與習知技藝之電荷幫浦的輸出電壓暫態反應示意圖；
第7A圖係為第二實施例之電荷幫浦與習知技藝之電荷幫浦之輸出電壓與輸出電流關係圖；以及
第7B圖係為第二實施例之電荷幫浦與習知技藝之電荷幫浦之轉換效率示意圖。

【主要元件符號說明】

- [0027] 31：第一疊接部；
32：第二疊接部；
33：第三疊接部；
34：第四疊接部；
35：第五疊接部；
36：第六疊接部；
Branch A、Branch B：電荷轉移分支；
C1~C8：充電電容；
CLK：第一時脈輸入端；
CLKB第二時脈輸入端；
CK、XCK：時脈訊號；
Cout：輸出電容；

CL：負載電容；

M1：第一電晶體；

M2：第二電晶體；

M3：第三電晶體；

M4：第四電晶體；

M5：第五電晶體；

M6：第六電晶體；

M7：第七電晶體；

M8：第八電晶體；

M9：第九電晶體；

M10：第十電晶體；

M11：第十一電晶體；

M12：第十二電晶體；

Mc1：第一源汲極耦接電晶體；

Mc2：第二源汲極耦接電晶體；

Mc3：第三源汲極耦接電晶體；

Mc4：第四源汲極耦接電晶體；

Mc5：第五源汲極耦接電晶體；

Mc6：第六源汲極耦接電晶體；

Md1：第一二極體連接式電晶體；

Md2：第二二極體連接式電晶體；

Md3：第三二極體連接式電晶體；

Md4：第四二極體連接式電晶體；

Mo1：第一輸出端電晶體；

Mo2：第二輸出端電晶體；

MN1~MN8、MP1~MP8：電晶體；

N1：第一節點；

N2：第二節點；

N3：第三節點；

N4：第四節點；

N5：第五節點；

N6：第六節點；

Vdd：輸入端電壓；

Vin：輸入端的電位；

Vout：輸出端的電位；

S1：第一端點；

S2：第二端點；

S3：第三端點；

S4：第四端點；

T1~T5：N型金氧半導體電晶體；

$\phi 1$ ：第一時脈訊號；以及

$\phi 2$ ：第二時脈訊號。

Intellectual
Property
Office

七、申請專利範圍：

1. 一種電荷幫浦，係放大一輸入端所接收之一輸入電壓，並於一輸出端輸出放大後之一輸出電壓，該電荷幫浦包含：
 - 一第一時脈輸入端，係提供一第一時脈訊號；
 - 一第二時脈輸入端，係提供一第二時脈訊號；
 - 一第一疊接部，係包含一第一電晶體及一第二電晶體疊接於該輸入端與一第一端點間，且該第一電晶體之閘極及該第二電晶體之閘極相接於一第一節點；
 - 一第二疊接部，係包含一第三電晶體及一第四電晶體疊接於該輸入端與一第二端點間，且該第三電晶體之閘極及該第四電晶體之閘極相接於一第二節點；
 - 一第三疊接部，係包含一第五電晶體及一第六電晶體疊接於該第一端點與該輸出端間，且該第五電晶體之閘極及該第六電晶體之閘極相接於一第三節點；
 - 一第四疊接部，係包含一第七電晶體及一第八電晶體疊接於該第二端點與該輸出端間，且該第七電晶體之閘極及該第八電晶體之閘極相接於一第四節點；
 - 一第一源汲極耦接電晶體，該第一源汲極耦接電晶體之源極與汲極係分別耦接該第一時脈輸入端，該第一源汲極耦接電晶體之閘極耦接該第二節點；
 - 一第二源汲極耦接電晶體，該第二源汲極耦接電晶體之源極與汲極係分別耦接該第二時脈輸入端，該第一源汲極耦接電晶體之閘極耦接該第一節點；
 - 一第三源汲極耦接電晶體，該第三源汲極耦接電晶體之源極與汲極係分別耦接該第一節點，該第三源汲極耦接電晶

體之閘極耦接該第四節點；

一第四源汲極耦接電晶體，該第四源汲極耦接電晶體之源極與汲極係分別耦接該第二節點，該第四源汲極耦接電晶體之閘極耦接該第三節點；

一第一二極體連接式(Diode-connected)電晶體，係連接於該第二節點與該第三節點間；

一第二二極體連接式電晶體，係連接於該第一節點與該第四節點間；

一第一輸出端電晶體，係以二極體連接方式連接於該第四節點與該輸出端間；以及

一第二輸出端電晶體，係以二極體連接方式連接於該第三節點與該輸出端間；

其中，該第一時脈訊號之極性與該第二訊號之極性相異；

其中，該第一節點係為該第三電晶體及該第四電晶體之疊接點，第二節點係為該第一電晶體及該第二電晶體之疊接點，該第三節點係為該第五電晶體及該第六電晶體之疊接點，該第四節點係為該第七電晶體及該第八電晶體之疊接點。

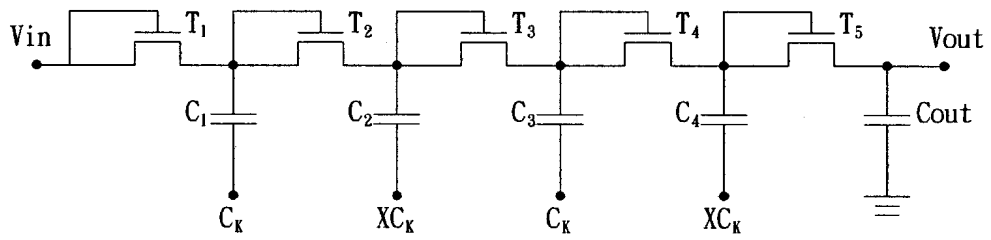
2. 如申請專利範圍第1項所述之電荷幫浦，其中該第一源汲極耦接電晶體、該第二源汲極耦接電晶體、該第一輸出端電晶體及該第二輸出端電晶體係為N型金氧半導體電晶體。

3. 如申請專利範圍第1項所述之電荷幫浦，其中該第一二極體連接式電晶體、該第二二極體連接式電晶體、該第三二極體連接式電晶體及該第四二極體連接式電晶體係為P型金氧半導體電晶體。

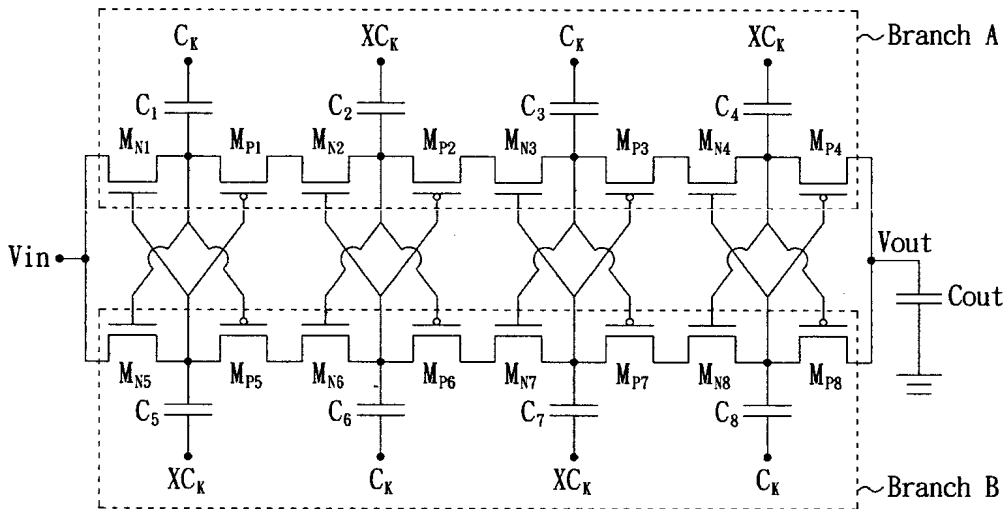
4. 如申請專利範圍第1項所述之電荷幫浦，其中該第一電晶體、該第三電晶體、該第五電晶體及該第七電晶體係為N型金氧半導體電晶體。
5. 如申請專利範圍第1項所述之電荷幫浦，其中該第二電晶體、該第四電晶體、該第六電晶體及該第八電晶體係為P型金氧半導體電晶體。
6. 如申請專利範圍第1項所述之電荷幫浦，更包含
 - 一第五疊接部，該第五疊接部包含一第九電晶體及一第十電晶體疊接於該第三疊接部與該輸出端間，且該第九電晶體之閘極及該第十電晶體之閘極相接於一第五節點；
 - 一第六疊接部包含一第十一電晶體及一第十二電晶體疊接於該第四疊接部與該輸出端間，且該第十一電晶體之閘極及該第十二電晶體之閘極相接於一第六節點；
 - 一第五源汲極耦接電晶體，該第五源汲極耦接電晶體之源極與汲極係分別耦接該第三節點，該第五源汲極耦接電晶體之閘極耦接該第六節點；
 - 一第六源汲極耦接電晶體，該第六源汲極耦接電晶體之源極與汲極係分別耦接該第四節點，該第五源汲極耦接電晶體之閘極耦接該第五節點；
 - 一第三二極體連接式電晶體，係連接於該第四節點與該第五節點間；以及
 - 一第四二極體連接式電晶體，係連接於該第三節點與該第六節點間。
7. 如申請專利範圍第6項所述之電荷幫浦，其中該第九電晶體及該第十電晶體係為N型金氧半導體電晶體，該第十一電晶體及該第十二電晶體係為P型金氧半導體電晶體。

- 8 . 如申請專利範圍第6項所述之電荷幫浦，其中該第五源汲極耦接電晶體及該第六源汲極耦接電晶體係為N型金氧半導體電晶體。
- 9 . 如申請專利範圍第6項所述之電荷幫浦，其中該第三二極體連接式電晶體及該第四二極體連接式電晶體係為P型金氧半導體電晶體。
- 10 . 如申請專利範圍第1項所述之電荷幫浦，更包含一負載電容連接於該輸出端與一接地點間。

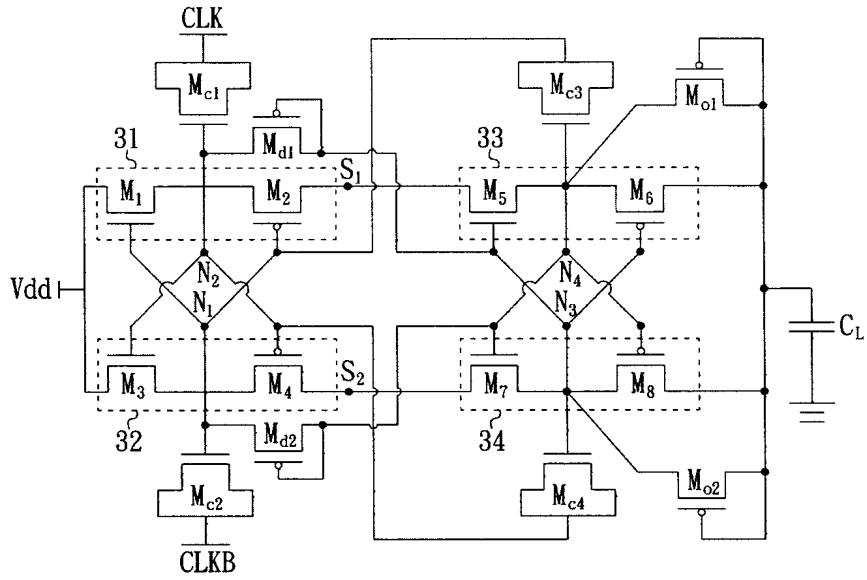
八、圖式：



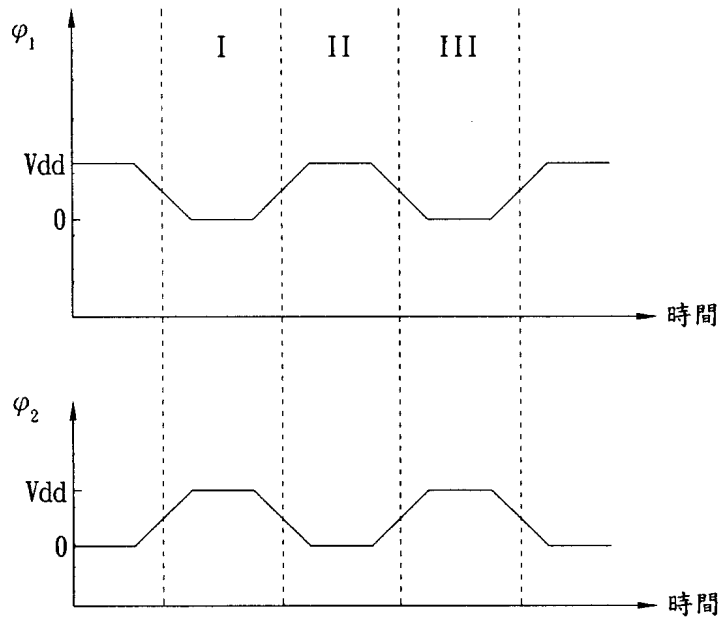
第 1 圖



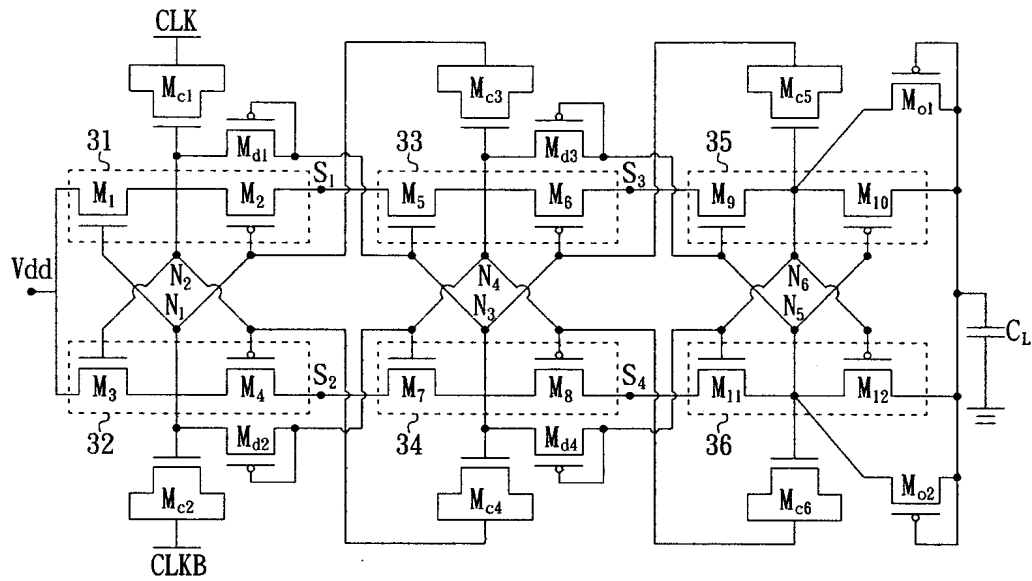
第 2 圖



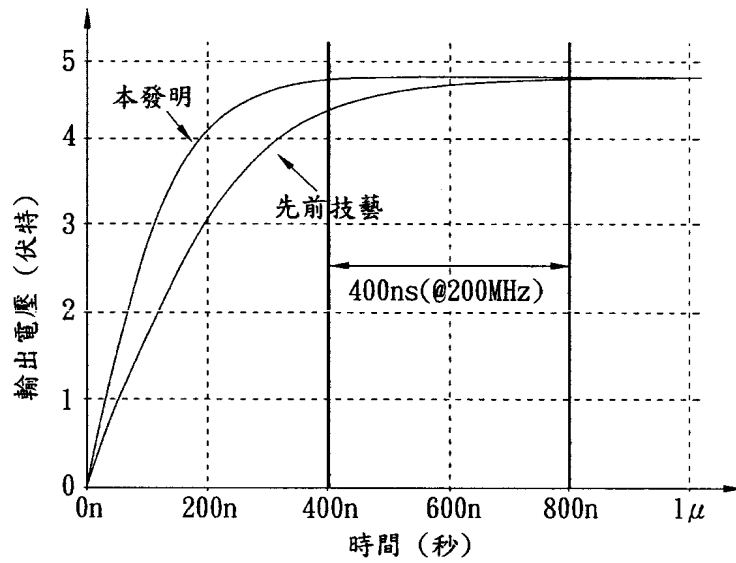
第 3 圖



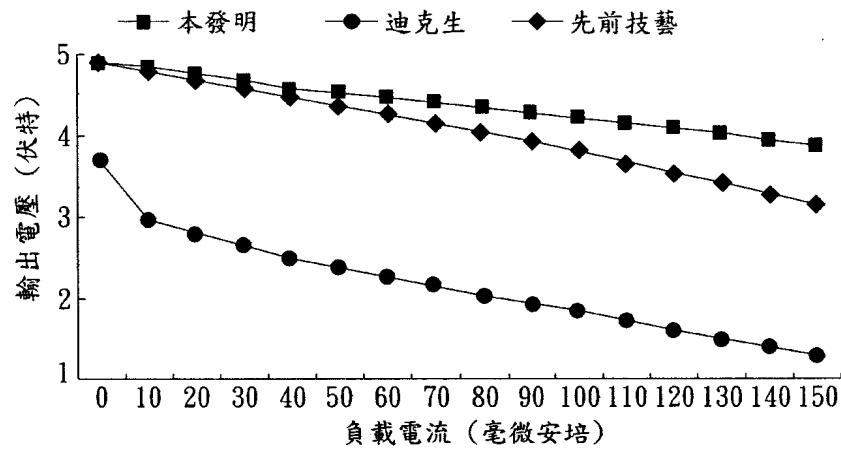
第 4 圖



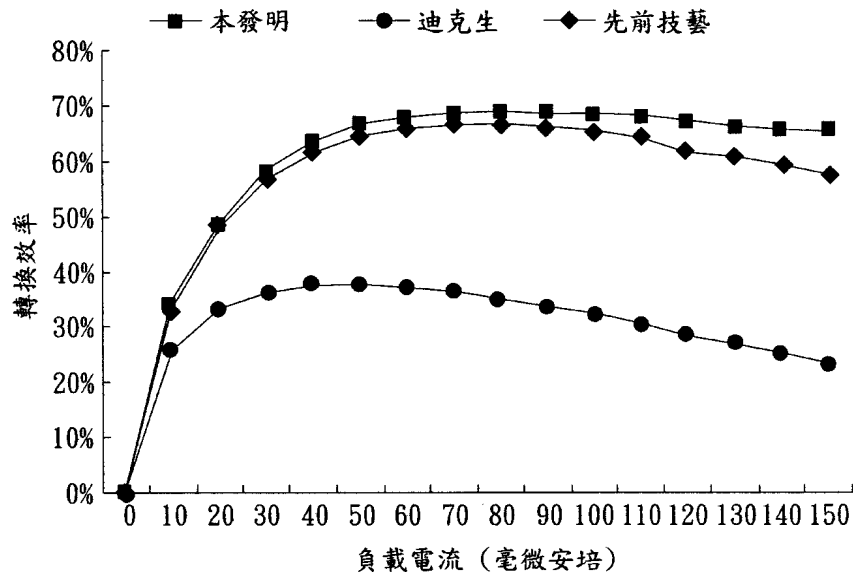
第5圖



第6圖



第7A圖



第7B圖