

(21)申請案號：099103450

(22)申請日：中華民國 99 (2010) 年 02 月 05 日

(51)Int. Cl. : **G11C19/00 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：楊仕祺 YANG, SHYH CHYI (TW) ; 楊皓義 YANG, HAO I (TW) ; 黃威 HWANG, WEI (TW)

(74)代理人：桂齊恆；閻啟泰

申請實體審查：有 申請專利範圍項數：4 項 圖式數：6 共 20 頁

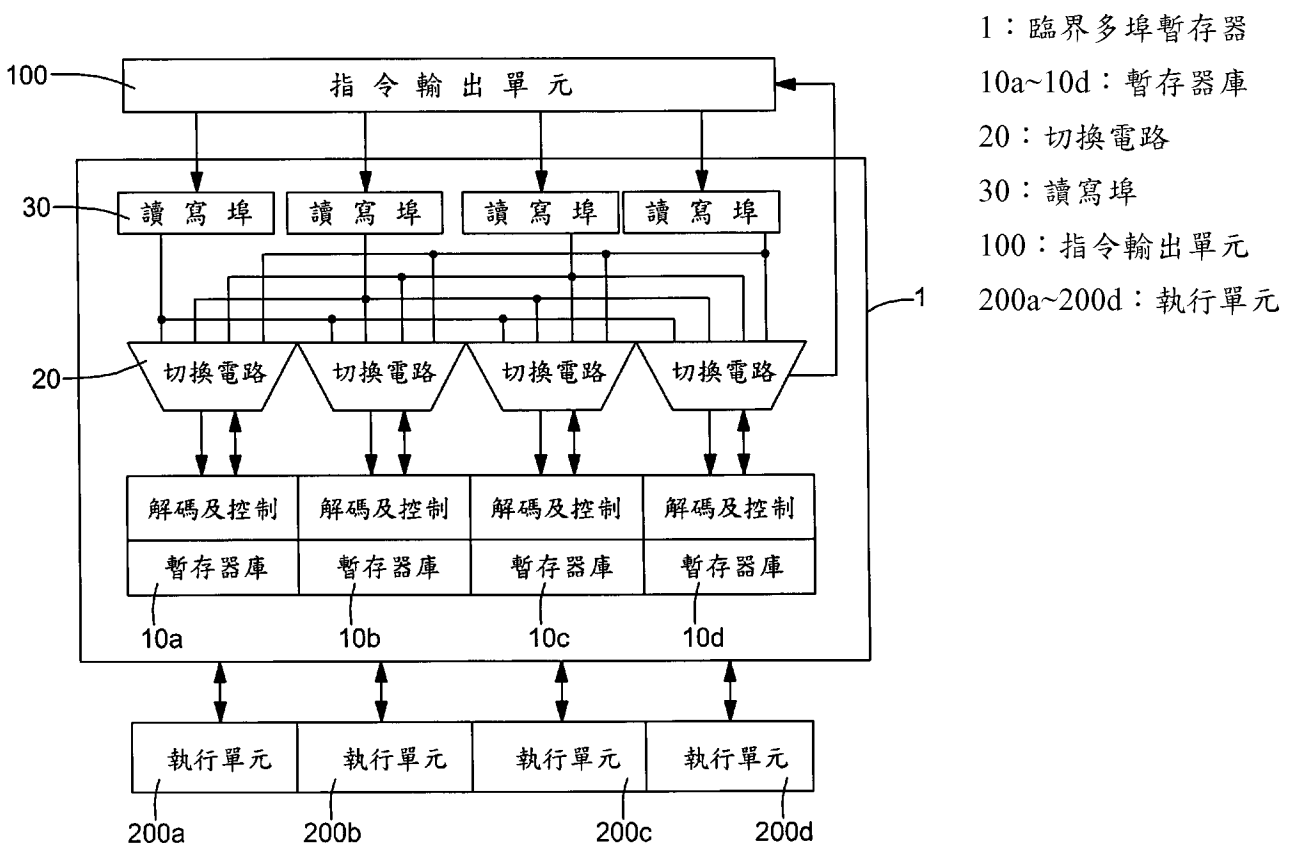
(54)名稱

次臨界多埠暫存器

SUBTHRESHOLD MULTI-PORT REGISTER FILE DESIGN

(57)摘要

本發明為一種次臨界多埠暫存器，利用多重暫存器庫(Multi-bank)的架構達到多重埠(Multi-port)的效果，並且支援數個同時存取及撞處理，其中，各位元胞(cell)係包含兩個高臨界電壓的電晶體，使其在次臨界電壓仍可操作並增加抗雜訊能力；一負電壓寫入機制及位元線電壓偵測機制確保在次臨界電壓操作下，提高將資料寫入位元胞的機率；在讀取機制方面，係使用一皆以 NMOS 電晶體構成的讀取緩衝器以及一可控制的預充電路對位元胞進行讀取，如此可消除不必要的漏電，提高讀取成功的機率。



# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：79103450

※申請日：99.2.05

※IPC 分類：

## 一、發明名稱：(中文/英文)

次臨界多埠暫存器

## 二、中文發明摘要：

本發明為一種次臨界多埠暫存器，利用多重暫存器庫 (Multi-bank) 的架構達到多重埠 (Multi-port) 的效果，並且支援數個同時存取及撞處理，其中，各位元胞 (cell) 係包含兩個高臨界電壓的電晶體，使其在次臨界電壓仍可操作並增加抗雜訊能力；一負電壓寫入機制及位元線電壓偵測機制確保在次臨界電壓操作下，提高將資料寫入位元胞的機率；在讀取機制方面，係使用一皆以 NMOS 電晶體構成的讀取緩衝器以及一可控制的預充電路對位元胞進行讀取，如此可消除不必要的漏電，提高讀取成功的機率。

## 三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

(1)臨界多埠暫存器

(100)指令輸出單元

(200a)~(200d)執行單元

(10a)~(10d)暫存器庫

(20)切換電路

(30)讀寫埠

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種暫存器(register file)架構，尤指一種可以操作在極低電壓下，進而降低功率消耗的次臨界多埠暫存器。

### 【先前技術】

暫存器(register file)在許多系統單晶片(SOC)或是在微處理器中係為不可或缺的元件之一，在傳統的暫存器設計中，為了達到要求的資料存取頻寬，往往於暫存器之儲存單元(cell)中加入更多的埠(讀取埠、寫入埠)，但這樣的設計卻會衍生出更多的問題，例如製作元件所需面積變大、抗雜訊能力減弱、需要更長的存取時間、需要一較高的供應電壓而導致更多的功率消耗。

另外，暫存器中之儲存單元即為位元胞(cell)，在位元交錯(bit-interleaving)的架構下，傳統的位元胞僅具有單一個高臨界電壓旁通閘，在執行寫入作業時，其抗雜訊能力並不理想。

再者，針對位元胞的寫入機制部分，雖然已經有人提出負電壓寫入的機制，但皆是以另額外的控制或是閘延遲(gate delay)的方式來控制時序，此種作法在次臨界電壓操作下的失敗率會大為提高，無法順利完成寫入動作。

而在位元胞的讀取機制部分，雖然亦是有人提出利用一讀取緩衝器(read buffer footer)來消除漏電路徑，令位元胞能正常讀取操作，然而，該作法在高電壓操作時將會

限制其效能。

### 【發明內容】

本發明之主要目的係提供一種次臨界多埠暫存器，在次臨界電壓操作下，提高儲存單元（位元胞）的抗雜訊能加，並加強讀取及寫入儲存單元的能力。

為達成前述目的，本發明係包含：

呈陣列排列之複數個雙臨界電壓位元胞，各雙臨界電壓位元胞包含有兩個 PMOS 電晶體、兩個 NMOS 電晶體及兩個具有高臨界電壓之 NMOS 電晶體所構成之高臨界電壓旁通閘，兩高臨界電壓旁通閘各別連接一位元線及一反相位元線；

一負電壓產生電路，係依據一寫入機制將資料寫入至前述雙臨界電壓位元胞，該負電壓產生電路包含有一位元線邏輯變化偵測單元，其中，該寫入機制為：當一寫入信號啟始時，該負電壓產生電路係先拉低該位元線上的壓降，令該位元線邏輯變化偵測單元偵測到位元線上的壓降成為零電位時，才輸出一負電壓至位元線，使位元線上具有一負電壓而施加在該對應之雙臨界電壓位元胞；

一讀取電路，係用以讀出該些雙臨界電壓位元胞所儲存之資料，包含有一讀取緩衝器、一可控制預充電路及一讀取電流追蹤電路，其中：

該讀取緩衝器係以複數個 NMOS 電晶體組成，各 NMOS 電晶體對應連接一呈列排列的雙臨界電壓位元胞；

該可控制預充電路係連接各成欄排列的雙臨界電壓位

元胞，以控制各欄之雙臨界電壓位元胞是否需執行讀取作業；

該讀取電流追蹤電路係追蹤所選定列之一讀取電流  $I_{\text{READ}}$  與一漏電流，以據此產生一具有適當寬度的讀取字組線 (RWL) 脈衝信號。

在本發明中作為儲存單元的各位元胞 (cell) 係包含兩個高臨界電壓的電晶體，使其在次臨界電壓仍可操作並增加抗雜訊能力。

該負電壓寫入機制及位元線 (BL) 電壓偵測機制，使位元胞在次臨界電壓操作下其寫入成功機率大為提高。

讀取機制方面，係使用一皆以 NMOS 電晶體構成的讀取緩衝器以及一可控制的預充電路，消除不必要的漏電並提升成功讀取機率。

### 【實施方式】

請參考第一圖所示，為本發明次臨界多埠暫存器 (1) (register file) 之架構方塊圖，該臨界多埠暫存器 (1) 係配合一指令輸出單元 (100) 及數個執行單元 (200a)~(200d)，其中，該臨界多埠暫存器 (1) 具有四個寫入埠 (write port)、四個讀出埠 (read port)、四個暫存器庫 (bank) (10a)~(10d) 及四組切換電路 (20)。

該寫入埠及讀出埠於圖面上係整合為四個讀寫埠 (30) 表示，各暫存器庫 (10) 具備位元交錯技術 (bit-interleaving) 的設計。指令輸出單元 (100) 藉由簡單的控制指令及定址，可控制各個執行單元 (200a)~(200d) 對其對應的暫存器庫

(10a)~(10d)進行同步存取。各切換電路(20)之主要功能係授權執行單元(200a)~(200d)存取對應的暫存器庫(10a)~(10d)。當發生位址碰撞的情況時，切換電路(20)能正確地決定具有較高存取權的存取動作，並且回報一位址碰撞信號予該指令輸出單元(10)。在本發明的架構之下，各執行單元(200a)~(200d)針對其對應的暫存器庫(10a)~(10d)具有較高的存取權，舉例而言，第一執行單元(200a)對第一暫存器庫(10a)具有較高的存取權，依此類推。因此，每一個暫存器庫(10a)~(10d)可依據同一執行單元(200a)~(200d)或不同執行單元(200a)~(200d)控制，同時進行寫入及讀出的操作。換言之，本發明之臨界多埠暫存器(1)可支援四種不同應用而進行同步操作，或是支援單一程式進行同步的多路存取(multi-access)，如超長指令集架構之處理器(VLIW DSP)。

請參考第二圖所示，為本發明中所採用之雙臨界電壓位元胞(dual Vt bit-cell)(40)之電路圖，於該暫存器中係形成有呈陣列排列的多個雙臨界電壓位元胞(40)，在位元交錯(bit-interleaving)的架構下，傳統的位元胞在寫入模式(half-write select mode)其抗雜訊能力(noise margin)並不理想，而本發明在位元胞中係計設有兩個高臨界電壓旁通閘(Q5)(Q6)，如此一來可提高其抗雜訊能力，此特性在次臨界區域操作與寫入模式時即相當重要。

該雙臨界電壓位元胞(40)的架構包含有兩個 PMOS 電晶體(Q1)(Q2)、兩個 NMOS 電晶體(Q3)(Q4)及兩個具有高臨界電壓(Vt)的 NMOS 所構成之高臨界電壓旁通閘

(Q5)(Q6)。兩 PMOS 電晶體(Q1)(Q2)的源極(source)係接收一操作電壓(VDD)，而兩 NMOS 電晶體(Q3)(Q4)之源極係接地。第一 PMOS 電晶體(Q1)與第一 NMOS 電晶體(Q3)的閘極共同連接至第二 PMOS 電晶體(Q2)與第二 NMOS 電晶體(Q4)的汲極，其連接點為第二節點；而第二 PMOS 電晶體(Q2)與第二 NMOS 電晶體(Q4)的閘極則共同連接至第一 PMOS 電晶體(Q1)與第一 NMOS 電晶體(Q3)的汲極，其連接點為第一節點。其中，第一節點係透過該第一高臨界電壓旁通閘(Q5)而連接至一位元線(BL)，第二節點係透過該第二高臨界電壓旁通閘(Q6)而連接至一反相位元線(BLB)。

前述雙臨界電壓位元胞(40)之設計雖可提高抗雜訊能力，但相對的其寫入能力(write margin)恐因此降低，為此，本發明係利用一負電壓寫入機制來克服該問題。請參考第三圖所示，係為一負電壓產生電路(50)之電路圖，該負電壓產生電路(50)具有一位元線邏輯變化偵測單元(52)。如第四圖之時序圖所示，當寫入信號(IN)啟始時，負電壓產生電路(50)會先拉低位元線(BL)上的壓降，該位元線邏輯變化偵測單元(52)在偵測到位元線(BL)上的壓降成為零電位時，才會輸出一負電壓至位元線(BL)，使位元線(BL)上具有負電壓而施加在雙臨界電壓位元胞(40)。若採用傳統的負電壓產生時序，則無法適用於次臨界操作。由於製程、電壓、變動及位元線漏電的影響，位元線上所需之放電時間在次臨界區域亦會有大幅變化。藉助該位元線邏輯變化偵測單元(52)的作用，負電壓產生電路(50)所需之面積可



明顯降低。偵測單元(52)為將輸入訊號 IN 與 BL 的反向訊號作聯集，例如，(如圖四中所示)，若 BL 要輸入邏輯零，則偵測單元(52)的輸入訊號 IN 為邏輯一，則 BL 先放電至零，偵測單元(52)的輸出訊號 IN2 變為邏輯一，啟動負電壓幫浦，則 BL 便可進一步從電位零拉至負電位。

相對於超臨界區域(super-threshold region)，漏電問題在次臨界區域(sub-threshold region)更應重視。 $I_{on}$  與  $I_{off}$  之比值從  $10e+5$  下降至低於 100。隨著半導體製程的微細化，接面漏電及大尺寸閘極等問題會使電路設計更為困難，對採用 8T bit-cell 的暫存器而言亦是受到衝擊，甚至在超低電壓的情況下無法正確的執行讀取操作。

本發明雖然主要是應用於低電壓操作，但實際應用時系統之操作電壓仍有可能使用較高的電壓，為了在高電壓下仍維持良好的操作效能，請參考第五圖所示，係為本發明次臨界暫存器(1)所採用之讀取電路。

該讀取電路包含一讀取緩衝器(read buffer footer)(62)、一可控制預充電路(64)及一讀取電流追蹤電路(66)，其中，因堆疊效應(stack effect)幾乎已可消除漏電問題，故該讀取緩衝器(62)僅由 NMOS 電晶體組成即可而不須使用 PMOS 電晶體，各 NMOS 電晶體係對應控制一行(ROW)的位元胞(40)。如第五圖所示，無使用 PMOS 元件的讀取緩衝器(62)可提供較快速的讀取時間，而讀取時間係與漏電功率消耗成正比，因此較短的讀取時間意謂者可降低漏電功率消耗。

該讀取電流追蹤電路(66)可追蹤所選定列之讀取電流

$I_{\text{READ}}$  與漏電流，由於讀取電流  $I_{\text{READ}}$  可決定讀取時間，故讀取電流追蹤電路(66)能據以產生具適當寬度的讀取字組線(RWL)脈衝信號。讀取電流  $I_{\text{READ}}$  及漏電流的大小係依據所對應列其儲存的資料、製程飄移及操作時間而決定。對次臨界操作而言，當讀取不同欄但同一列的資料時，由於RWL 脈衝信號之波動(fluctuation)程度依據模擬可高達30%甚至更高，因此適當的RWL 脈衝信號係相當重要的。

除此之外，在位元交錯的技術架構下，並非所有的欄(column)均需執行讀取作業。因此，該可控制預充電路(64)只有對必須讀取的欄才進行充電，如此一來，不僅可降低在陣列中的許多功率消耗，亦能減少讀取電流  $I_{\text{READ}}$ ，如此一來，特別是在高壓操作的情況下，能降低該讀取緩衝器(62)之驅動電流。

綜上所述，本發明係提供一種低功率多重暫存器庫(Multi-bank)的架構以達到多重埠(Multi-port)的效果，並且支援數個同時存取及撞處理，其中，作為儲存單元的位元胞(cell)係包含兩個高臨界電壓的電晶體，使其在次臨界電壓仍可操作並增加抗雜訊能力；該位元胞係搭配一負電壓寫入機制及位元線(BL)電壓偵測機制，使在次臨界電壓操作下之寫入成功機率大為提高；在位元胞的讀取機制方面，係使用一皆以NMOS 電晶體構成的讀取緩衝器以及一可控制的預充電路，藉此消除不必要的漏電，提高讀取成功的機率。在應用方面，本發明係可適用於靜態隨機存取記憶體及三態內容可定址記憶體(TCAM,-Ternary content-addressable-memory)。

**【圖式簡單說明】**

第一圖：係本發明次臨界多埠暫存器之電路方塊圖。

第二圖：係本發明中雙臨界電壓位元胞之電路圖。

第三圖：係本發明中負電壓產生電路之電路圖。

第四圖：係本發明執行寫入動作的時序信號圖。

第五圖：係本發明搭配雙臨界電壓位元胞之讀取機制的電路方塊圖。

第六圖：係習用讀取機制之電路方塊圖。

**【主要元件符號說明】**

(1)臨界多埠暫存器

(100)指令輸出單元

(200a)~(200d)執行單元

(10a)~(10d)暫存器庫

(20)切換電路

(30)讀寫埠

(40)雙臨界電壓位元胞

(50)負電壓產生電路

(52)位元線邏輯變化偵測單元

(62)讀取緩衝器

(64)可控制預充電路

(66)讀取電流追蹤電路

(Q1)(Q2)PMOS 電晶體

(Q3)(Q4)NMOS 電晶體

(Q5)(Q6)高臨界電壓旁通閘

(BL)位元線

(BLB)反相位元線

## 七、申請專利範圍：

### 1. 一種次臨界多埠暫存器，包含有：

呈陣列排列之複數個雙臨界電壓位元胞，各雙臨界電壓位元胞包含有兩個 PMOS 電晶體、兩個 NMOS 電晶體及兩個具有高臨界電壓之 NMOS 電晶體所構成之高臨界電壓旁通閘，兩高臨界電壓旁通閘各別連接一位元線及一反相位元線；

一負電壓產生電路，係依據一寫入機制將資料寫入至前述雙臨界電壓位元胞，該負電壓產生電路包含有一位元線邏輯變化偵測單元，其中，該寫入機制為：當一寫入信號啟始時，該負電壓產生電路係先拉低該位元線上的壓降，令該位元線邏輯變化偵測單元偵測到位元線上的壓降成為零電位時，才輸出一負電壓至位元線，使位元線上具有一負電壓而施加在該對應之雙臨界電壓位元胞；

一讀取電路，係用以讀出該些雙臨界電壓位元胞所儲存之資料，包含有一讀取緩衝器、一可控制預充電路及一讀取電流追蹤電路，其中：

該讀取緩衝器係以複數個 NMOS 電晶體組成，各 NMOS 電晶體對應連接一呈列排列的雙臨界電壓位元胞；

該可控制預充電路係連接各成欄排列的雙臨界電壓位元胞，以控制各欄之雙臨界電壓位元胞是否需執行讀取作業；

該讀取電流追蹤電路係追蹤所選定列之一讀取電流  $I_{\text{READ}}$  與一漏電流，以據此產生一具有適當寬度的讀取字組線 (RWL) 脈衝信號。

2.如申請專利範圍第 1 項所述之次臨界多埠暫存器，其中：

兩 PMOS 電晶體的源極係接收一操作電壓(VDD)，兩 NMOS 電晶體之源極係接地；

該第一 PMOS 電晶體與第一 NMOS 電晶體的閘極共同連接至第二 PMOS 電晶體與第二 NMOS 電晶體的汲極，其連接點為第二節點；

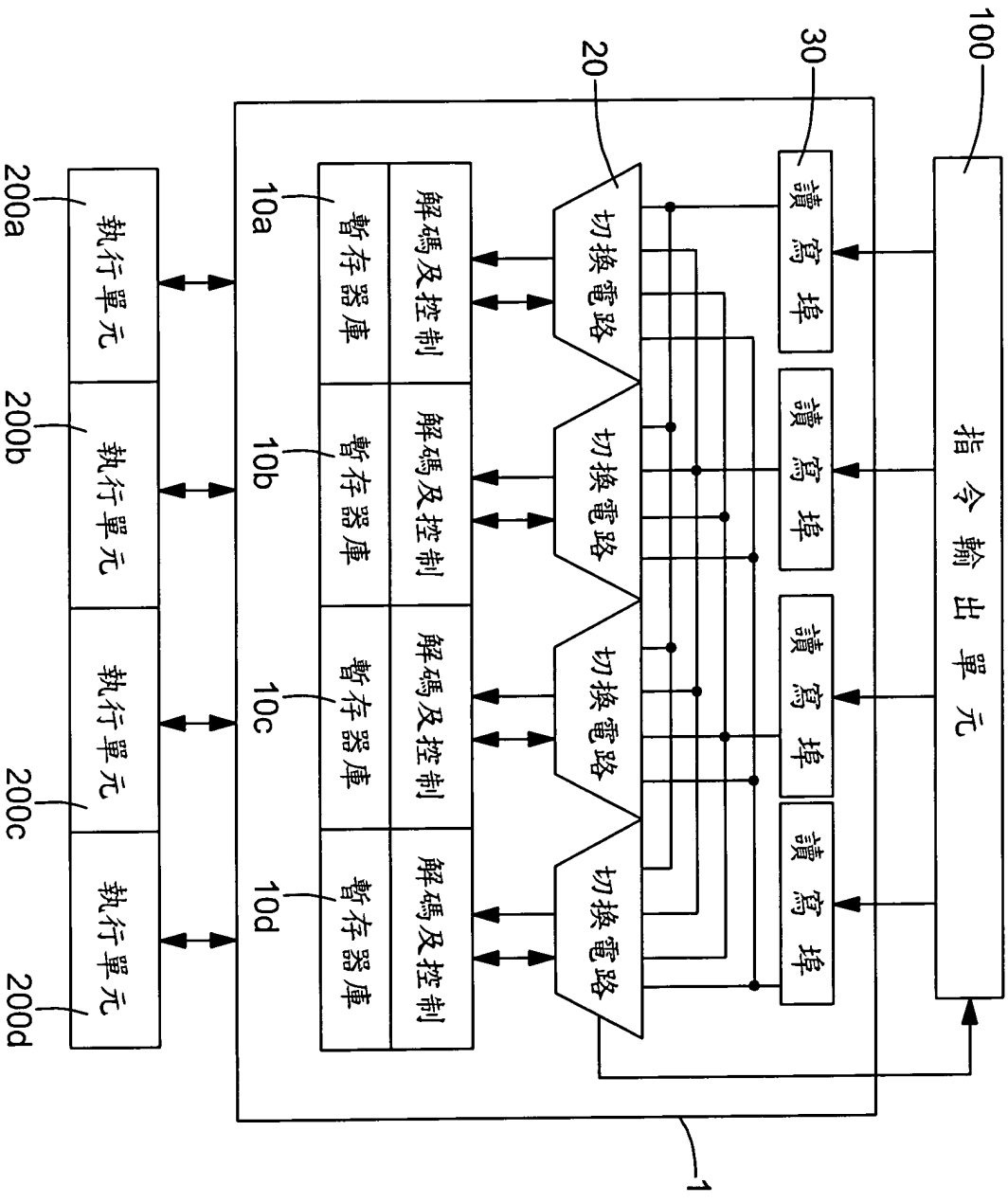
第二 PMOS 電晶體與第二 NMOS 電晶體的閘極則共同連接至第一 PMOS 電晶體與第一 NMOS 電晶體的汲極，其連接點為第一節點；

其中，第一節點係透過該第一高臨界電壓旁通閘而連接至位元線，第二節點係透過該第二高臨界電壓旁通閘而連接至反相位元線。

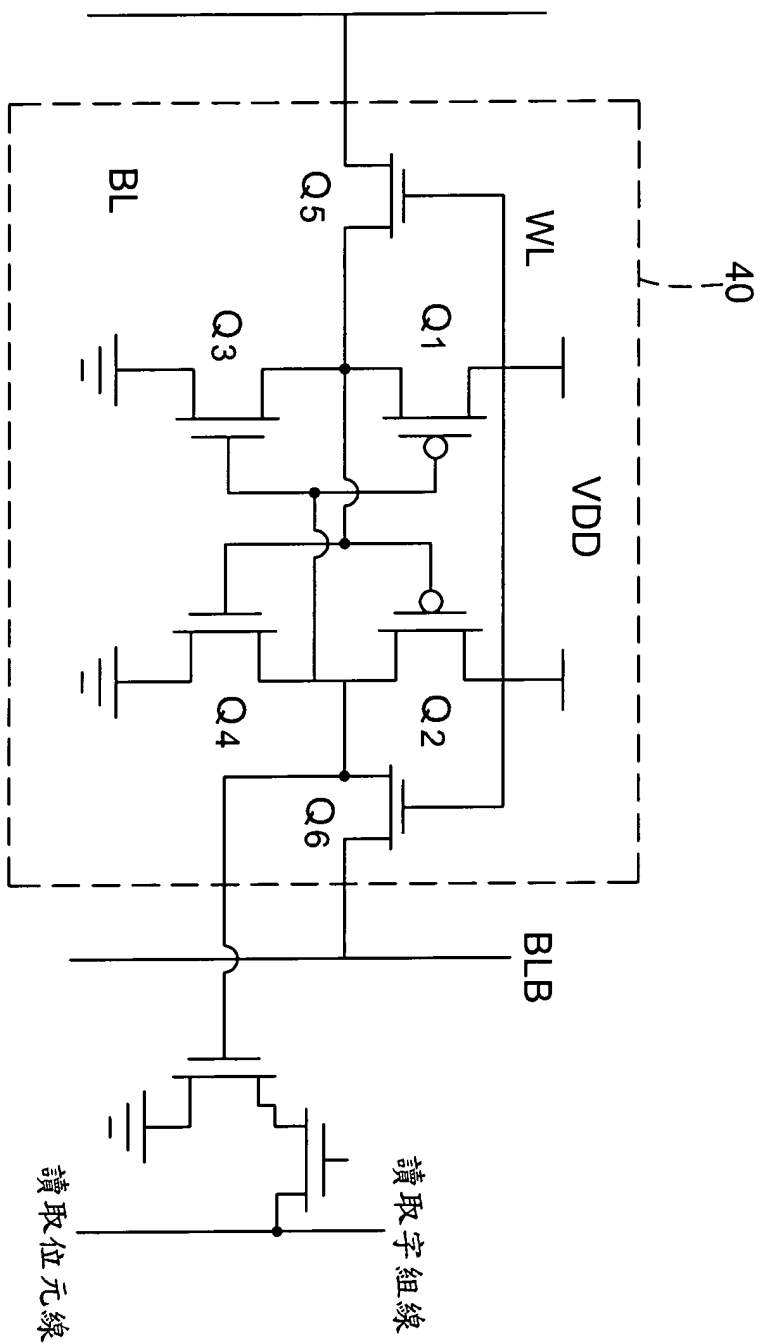
3.如申請專利範圍第 1 或 2 項所述之次臨界多埠暫存器，該次臨界多埠暫存器係應用於靜態隨機存取記憶體。

4.如申請專利範圍第 1 或 2 項所述之次臨界多埠暫存器，該次臨界多埠暫存器係應用於三態內容可定址記憶體。

八、圖式：(如次頁)

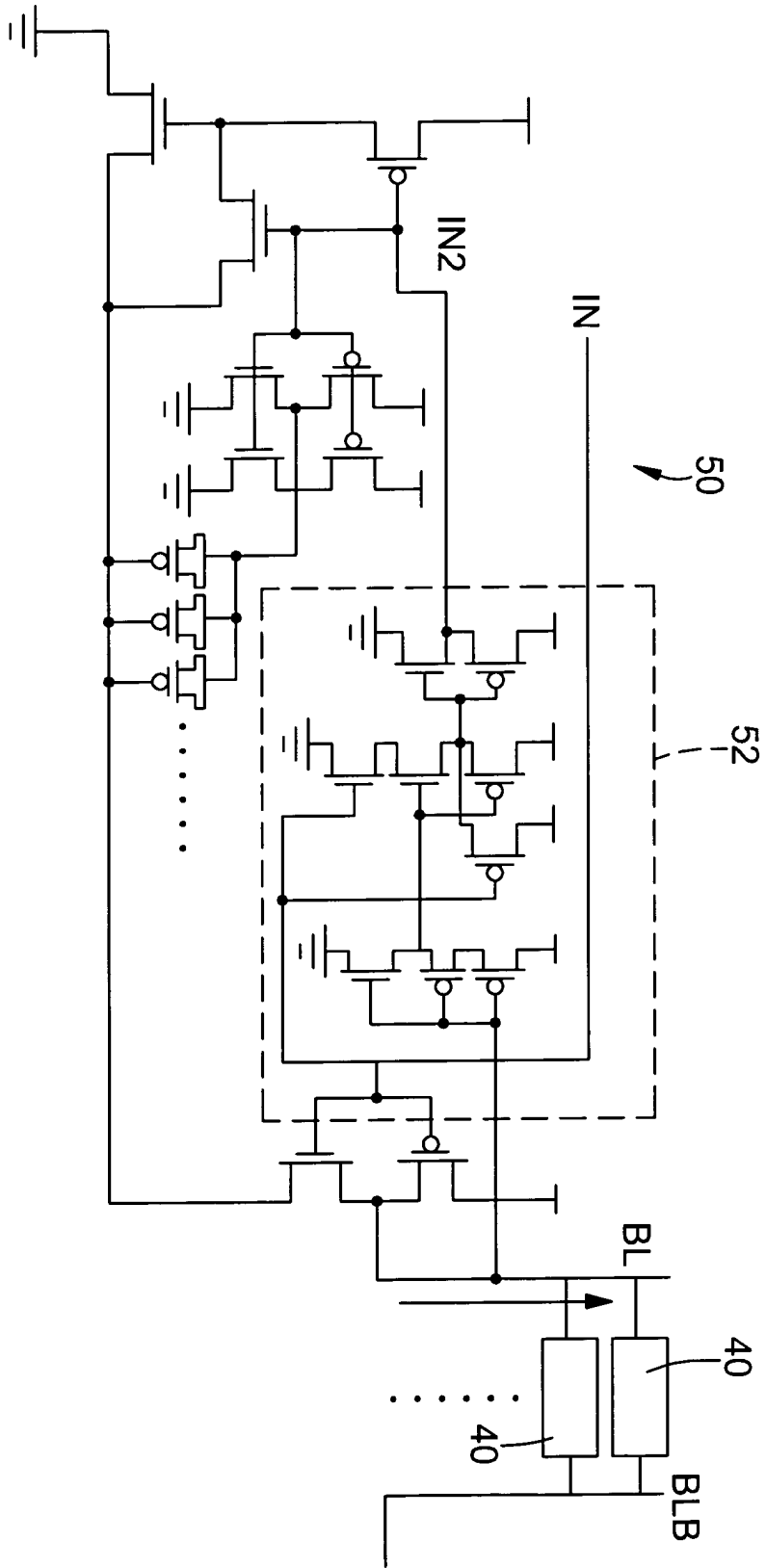


第一圖

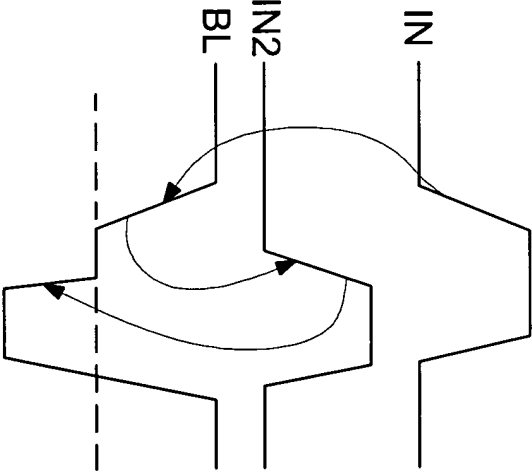


第二圖

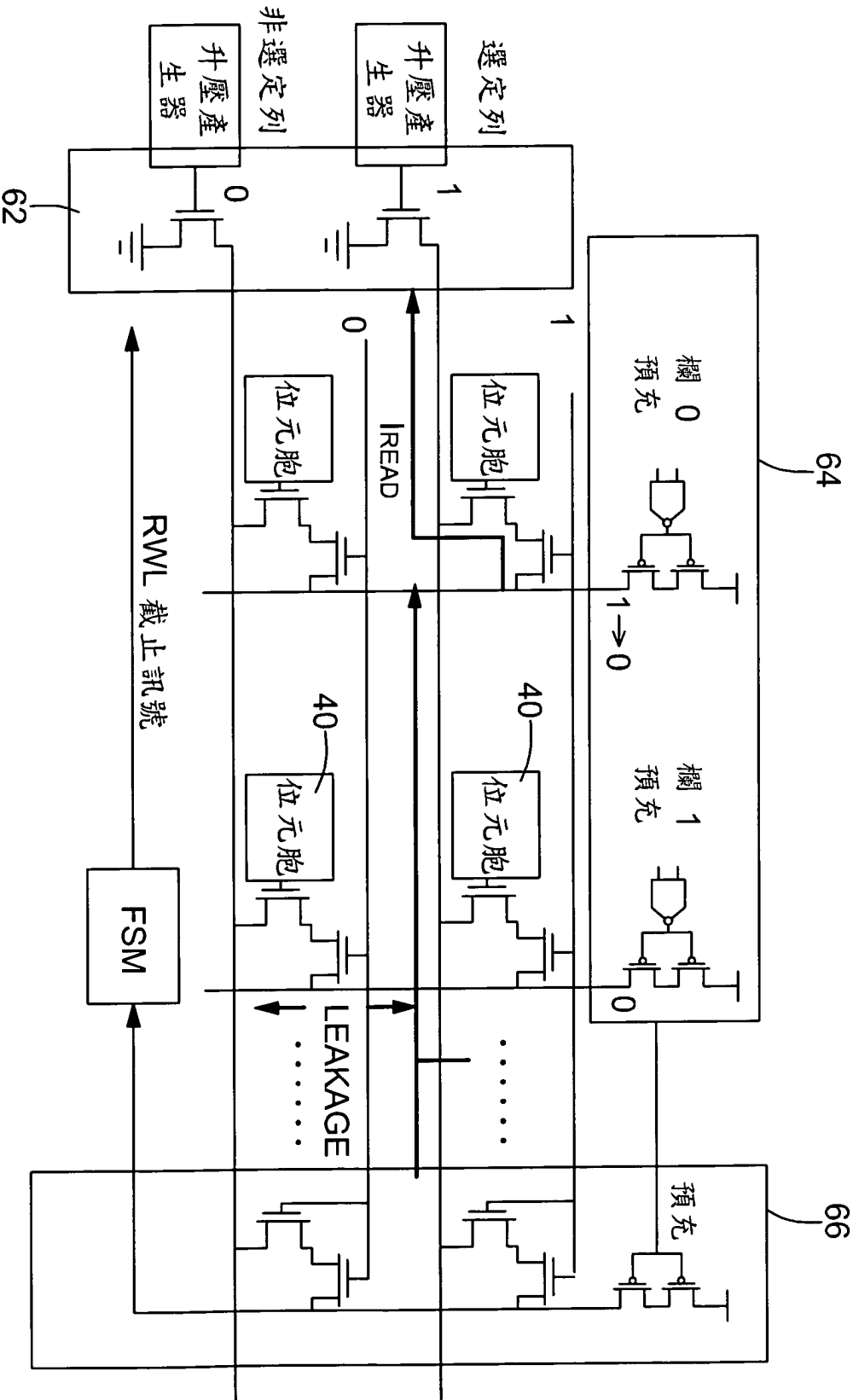




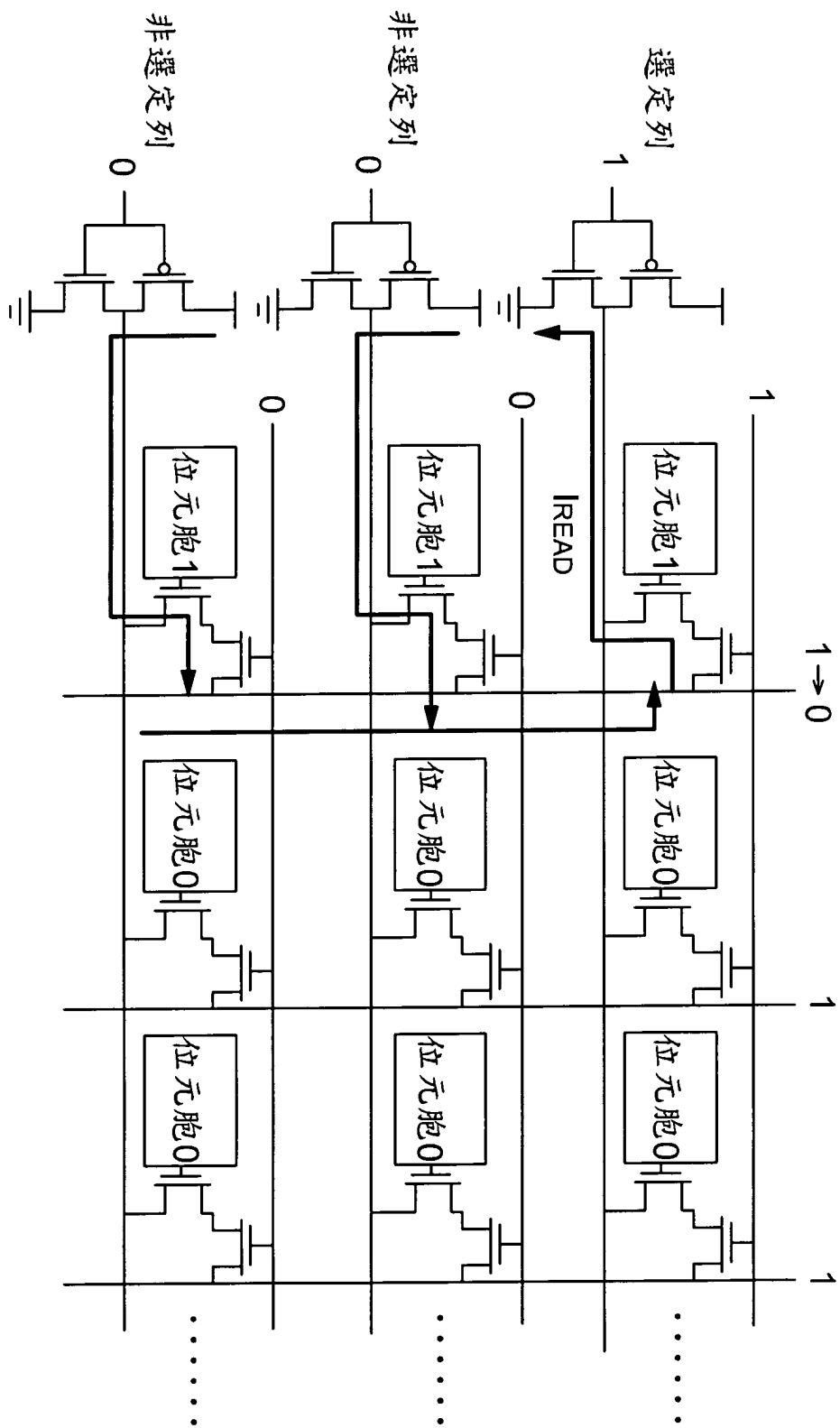
第三圖



第四圖



第五圖



第六圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99103450

※ 申請日： 99.2.5 ※IPC 分類： G11C19/00 (270945)

## 一、發明名稱：(中文/英文)

次臨界多埠暫存器 / Subthreshold Multi-Port Register File Design

## 二、中文發明摘要：

本發明為一種次臨界多埠暫存器，利用多重暫存器庫 (Multi-bank) 的架構達到多重埠 (Multi-port) 的效果，並且支援數個同時存取及撞處理，其中，各位元胞 (cell) 係包含兩個高臨界電壓的電晶體，使其在次臨界電壓仍可操作並增加抗雜訊能力；一負電壓寫入機制及位元線電壓偵測機制確保在次臨界電壓操作下，提高將資料寫入位元胞的機率；在讀取機制方面，係使用一皆以 NMOS 電晶體構成的讀取緩衝器以及一可控制的預充電路對位元胞進行讀取，如此可消除不必要的漏電，提高讀取成功的機率。

## 三、英文發明摘要：

The present invention relates to a sub-threshold multi-bank register, using a multi-bank architecture to achieve the multi-port that supports the simultaneous access and the collision processing. Each cell comprises two high threshold voltage transistors to increase noise margin. Negative voltage write scheme and bit-line voltage sensing scheme ensure successful write in deep sub-threshold region. An improved read buffer footer composed of NMOS transistors and a controllable pre-charge circuit in read scheme are designed to decrease leakage and ensure successful read operations.