



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201128526 A1

(43)公開日：中華民國 100 (2011) 年 08 月 16 日

(21)申請案號：099104390

(22)申請日：中華民國 99 (2010) 年 02 月 11 日

(51)Int. Cl. : G06F9/30 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：鍾崇斌 CHUNG, CHUNG PING (TW)；楊惠親 YANG, HUI CHIN (TW)；陳逸麒 CHEN, YI CHI (TW)

(74)代理人：林火泉

申請實體審查：有 申請專利範圍項數：17 項 圖式數：8 共 26 頁

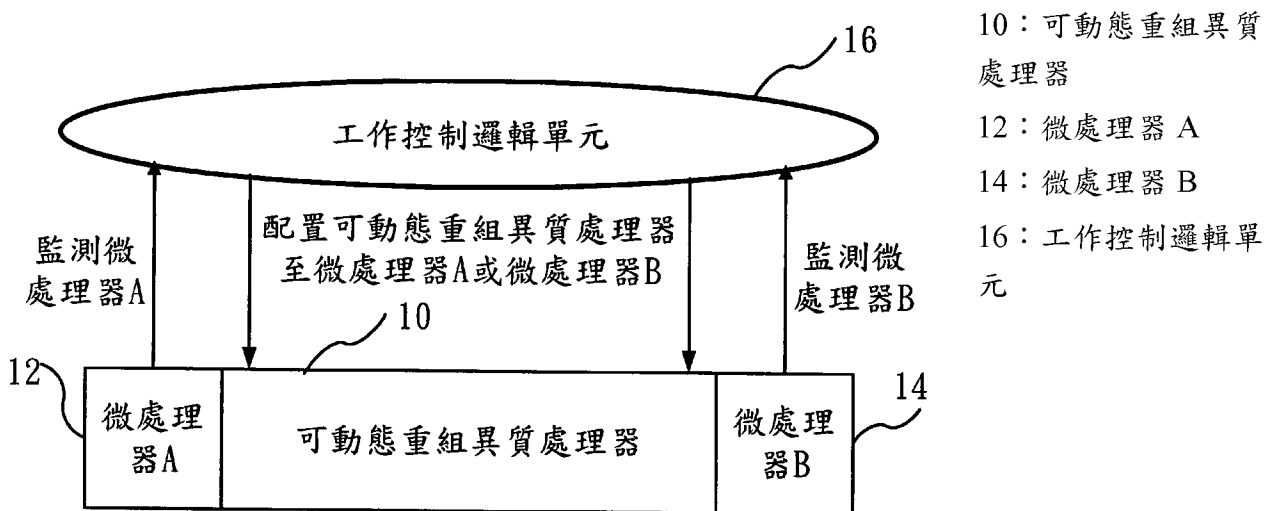
(54)名稱

具有負載平衡的可動態重組異質處理器架構以及動態配置方法

A DYNAMICALLY RECONFIGURABLE HETEROGENEOUS WITH LOAD BALANCING ARCHITECTURE AND METHOD

(57)摘要

本發明係揭露一種具有負載平衡的可動態重組異質處理器架構以及動態配置方法，係利用工作控制邏輯單元偵測各微處理器的暫存區飽和程度，以分析各微處理器工作量的比例，以動態配置可動態重組異質處理器輔助各個微處理器執行指令運算，來平均每一微處理器的工作比例。此外，本發明的設計將只需增加極少的額外硬體成本，即可有效達到提升整體微處理器執行效能的功效。



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99104390

※申請日：99.2.11

※IPC 分類：

G06F 9/30

(2006.01)

一、發明名稱：(中文/英文)

具有負載平衡的可動態重組異質處理器架構以及動態配置方法 / A dynamically reconfigurable heterogeneous with load balancing architecture and method

二、中文發明摘要：

本發明係揭露一種具有負載平衡的可動態重組異質處理器架構以及動態配置方法，係利用工作控制邏輯單元偵測各微處理器的暫存區飽和程度，以分析各微處理器工作量的比例，以動態配置可動態重組異質處理器輔助各個微處理器執行指令運算，來平均每一微處理器的工作比例。此外，本發明的設計將只需增加極少的額外硬體成本，即可有效達到提升整體微處理器執行效能的功效。

三、英文發明摘要：

A dynamically reconfigurable heterogeneous with load balancing architecture and method, wherein, a control logic unit is detected register block of each microprocessor to determine the microprocessor work loading, and dynamically disposed the dynamically reconfigurable heterogeneous processor to assist microprocessor in executing instructions for balancing each microprocessor work proportion. Furthermore, application of said dynamically reconfigurable heterogeneous with load balancing architecture and method disclosed, increased the hardware cost less to improve the microprocessor performance.

四、指定代表圖：

(一)本案指定代表圖為：第（一）圖。

(二)本代表圖之元件符號簡單說明：

10 可動態重組異質處理器

12 微處理器 A

14 微處理器 B

16 工作控制邏輯單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種處理器架構，特別是關於一種可應用於高效能處理器之具有負載平衡的可動態重組異質處理器架構以及動態配置方法。

【先前技術】

隨著莫爾定律之成長，現今半導體技術日益增進，各式數位資訊商品為了滿足多方功能與體積輕薄兩項需求，將整合多個功能的處理器於一系統晶片。當此系統晶片工作時，由於應用程式的執行特性，使得此系統晶片中某功能處理器因執行相對功能而大量工作時，其它處理器卻處於閒置等待的狀態，因此，即使硬體資源充裕，卻因為程式處理的特性，將造成硬體使用率分配不平衡，各功能處理器工作量不平均的狀況，以至於整體效能大幅受限。

舉例來說，大量應用於電腦裝置中的圖形處理器(Graphic Processing Unit, GPU)，其係包含頂點處理器與圖素處理器，且利用座標光源轉換運算、頂點混合運算、紋理壓縮運算、凹凸映射運算與雙重紋理四像素渲染運算等技術，來處理影像的顯示。其中，頂點處理器係首先對影像進行座標光源轉換運算與頂點混合運算，此刻大量的工作將集中於頂點處理器；其後，再將頂點處理器處理過之影像資料，交由圖素處理器進行紋理壓縮運算、凹凸映射運算與雙重紋理四像素渲染運算，此刻大量的工作將集中於圖素處理器。因此，當頂點處理器執行運算時，圖素處理器將處於等候狀態，等待頂點處理器工作結束後，將處理過資料傳送至圖素處理器運算；反之，當圖素處理器執行工作時，頂點處理器工作量相對大幅降低。如此

將造成頂點處理器與圖素處理器硬體使用與工作量不均等的現象，使得整體處理影像顯示的效能受制。

針對上述之缺點，美國專利案號 US2007/0091089A1 係將提出一種動態配置圖像處理單元系統與處理方法，係設有一頂點分享處理器、一幾何分享處理器與一圖素處分享理器等複數個分享單元，且透過至少一執行單元指定分享處理器執行處理工作，並且計算每個分享處理器是否已達工作上限，將未達到工作上限之分享處理器指定輔助已達到工作上限之分享處理器處理工作。

然而，此專利所提出之系統具有多數個分享處理器相互輔助處理工作，硬體架構係較為複雜，硬體設計上將較為困難，進而搭配此硬體架構之演算法的處理流程係將較為繁瑣，有鑑於此，本發明係在同時考量硬體使用率及工作效能達到最佳平衡之情況下，提出一種具有負載平衡的可動態重組異質處理器架構以及動態配置方法，以有效解決存在於先前技術中之缺失。

【發明內容】

本發明之主要目的係在提供一種具有負載平衡的可動態重組異質處理器架構以及處理方法，其係利用一可動態重組異質處理器輔助各處理器執行工作，以平衡各處理器工作量，增進整體運作效能。

本發明之另一目的係在提供一種具有負載平衡的可動態重組異質處理器架構以及處理方法，其硬體面積與能量耗損極小，並能達到高效能運算，符合成本效益。

本發明之再一目的係在提供一種具有負載平衡的可動態重組異質處理

器架構以及處理方法，其係極為容易於整合至各式積體電路設計與微處理器設計之技術，具有極高的設計相容性。

為達到上述之目的，本發明提出之具有負載平衡的可動態重組異質處理器架構以及動態配置方法，包括複數個微處理器、至少一可動態重組異質處理器及一工作控制邏輯單元。可動態重組異質處理器係與微處理器相連接，且工作控制邏輯單元連接微處理器及該可動態重組異質處理器，藉由工作控制邏輯單元監測微處理器的暫存區飽和程度，以分析微處理器的工作量比例，並且將動態配置可動態重組異質處理器支援微處理器執行指令運算，以使得每一微處理器之工作量將達到平衡。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明提出一種具有負載平衡的可動態重組異質處理器架構以及動態配置方法，係透過工作控制邏輯單元動態配置可動態重組異質處理器輔助微處理器執行運算工作，以達到平衡各微處理器工作量比例之目的。底下則將以較佳實施例詳述本發明之技術特徵。

第一圖所示為本發明之架構示意圖，如圖所示，一可動態重組異質處理器 10 係設置於微處理器 A12 與微處理器 B14 之間，此可動態重組異質處理器 10 係為一多工處理器，微處理器 A12 與微處理器 B14 係為一繪圖處理器、一嵌入式處理器、一數位訊號處理器或一多媒體應用處理器，將分別處理二種不同型式之運算。一工作控制邏輯單元 16 係與微處理器 A12、微處理器 B14 及可動態重組異質處理器 10 相連接，且工作控制邏輯單元 16

係偵測微處理器 A12 與微處理器 B14 之暫存區的飽和程度以判斷微處理器 A12 與微處理器 B14 彼此間執行運算之工作量比例的多寡，並將動態改變可動態重組異質處理器 10 與微處理器 A12 及微處理器 B14 連接的匯流排路徑，以動態配置可動態重組異質處理器 10 支援微處理器 A12 與微處理器 B14 二者之間工作量比例較沉重之一方。

上述本發明之架構係將應用至圖形處理器的設計，如第二圖所示為本發明應用之圖形處理器架構示意圖。圖形處理器(GPU)20 係包含一頂點處理器(Vertex Processing Unit)22 與一畫素處理器(Pixel Processing Unit)24；頂點處理器 22 與畫素處理器 24 係透過相互連結之匯流排路徑(Interconnection and Routing Path)26 與可動態重組異質處理器 10 相連接；且工作控制邏輯單元 16 係能透過匯流排路徑 26 對畫素處理器 24 及頂點處理器 22 進行監測，並將進一步改變匯流排路徑 26 使可動態重組異質處理器 10 將動態配置輔助畫素處理器 24 或頂點處理器 22 執行指令運算，以平衡畫素處理器 24 或頂點處理器 22 兩者間的工作量。

上述為具有負載平衡的可動態重組異質處理器架構的說明，底下將針對本發明之動態配置方法及可動態重組異質處理器架構的設計流程加以說明。如第三圖所示為本發明負載平衡的動態配置方法之流程圖，並請同時參閱第二圖所示之本發明應用之圖形處理器架構示意圖，如圖所示，首先，如步驟 S30，工作控制邏輯單元 16 係於每一工作週期內偵測畫素處理器 24 與頂點處理器 22 之指令執行量；之後，如步驟 S32，工作控制邏輯單元 16 係計算可動態重組異質處理器 10 之預期使用數量與實際使用數量，並且預期使用數量與實際使用數量係將相減以得知轉換數量；其後，如步驟 S34，

藉由一遮罩(圖中未示)將轉換數量轉變成為 0 或 1 之一控制訊號，此控制訊號係決定可動態重組異質處理器 10 將由配置支援畫素處理器 24 轉換成配置支援頂點處理器 22，或者由配置支援頂點處理器 22 轉換成配置支援畫素處理器 24；再來，如步驟 S36，將工作完成之可動態重組異質處理器 10 取出，並產生一工作完成訊號；最後，如步驟 S38，將控制訊號與工作完成訊號交集以產生一轉態訊號，此轉態訊號係表示為實際可轉換之可動態重組異質處理器 10，且將傳送至可動態重組異質處理器 10，使可動態重組異質處理器 10 動態配置支援畫素處理器 24 或頂點處理器 22。

承上所述為本發明動態配置方法之說明，透過工作控制邏輯單元 16 動態配置可動態重組異質處理器 10 平衡頂點處理器 22 與畫素處理器 24 指令的執行，進而提高圖形處理器 20 硬體使用率，以增進整體執行效能。然而為了滿足增進整體執行效能的訴求設計之可動態重組異質處理器 10 將會增加額外硬體面積，因此，必須在同時考慮執行效能與硬體成本的雙重條件下，以設計出最具成本效益與最佳效能之可動態重組異質處理器 10。底下將進一步說明本發明可動態重組異質處理器 10 架構之設計流程。第四(a)圖至第四(d)圖分別為本發明可動態重組異質處理器架構設計之計算需求樹示意圖，請同時參閱第二圖所示之本發明應用之圖形處理器架構示意圖。首先，依照頂點處理器 22 與畫素處理器 24 的運算功能，建立出彼此各別獨立之計算需求樹 30、計算需求樹 40、計算需求樹 50 與計算需求樹 60，此四個各別獨立之計算需求樹係各自包含複數個邏輯節點 32，且每一邏輯節點 32 相互間係具有階層的連結指向關係，並且在每一邏輯節點 32 上係標示有此邏輯節點 32 所需的硬體數量。底下將對於第四(a)圖至第四(d)圖分別所示之計算

需求樹30、計算需求樹40、計算需求樹50與計算需求樹60加以詳盡說明。

第四(a)圖所示之計算需求樹30係包含硬體數為四之浮點數乘法器(fpMUL)、三十二位元浮點數乘法器(32-bit fpMUL)、IEEE754格式化邏輯(IEEE 754 Fomatter)與二十四位元乘法器(24-bit multiply)，及硬體數為八之值為零測試器(Is Zero)與八位元加法器(8-bit adder)等六個邏輯節點32。

浮點數乘法器(fpMUL)係連結指向其下一階層之值為零測試器(Is Zero)Is Zero、三十二位元浮點數乘法器(32-bit fpMUL)及 IEEE754 格式化邏輯(IEEE 754 Fomatter)；三十二位元浮點數乘法器(32-bit fpMUL)係連結指向其下一階層之八位元加法器(8-bit adder)及二十四位元乘法器(24-bit multiply)。第四(b)圖所示之計算需求樹 40 係包含硬體數為四之浮點數相加器(fpSUM)、值為零測試器(Is Zero)、IEEE754 格式化邏輯(IEEE 754 Fomatter)、比較且交換邏輯(CMP&SWAP)、位數與正負對齊邏輯(ALIGN+INV)及二十四位元加法器(24-bit adder)；硬體數為一之三十二位元浮點數加法器(32-bit fpADD)、二浮點數相加器正規化邏輯(fpSUM2 normalize)及四浮點數相加器正規化邏輯(fpSUM4 normalize)；與硬體數為八之值為零測試器(Is Zero)；以及硬體數為三之二浮點數相加器正規化邏輯(fpSUM2 normalize)等十一個邏輯節點 32。

浮點數相加器(fpSUM)係連結指向其下一階層之三十二位元浮點數加法器(32-bit fpADD)、IEEE754 格式化邏輯(IEEE 754 Fomatter)與硬體數為四之值為零測試器(Is Zero)；三十二位元浮點數加法器(32-bit fpADD)係連結指向其下一階層之比較且交換邏輯(CMP&SWAP)、位數與正負對齊邏輯(ALIGN+INV)、二十四位元加法器(24-bit adder)、硬體數為一之二浮點數相

加器正規化邏輯(fpSUM2 normalize)與硬體數為三之二浮點數相加器正規化邏輯(fpSUM2 normalize)；硬體數為一之二浮點數相加器正規化邏輯(fpSUM2 normalize)係連結指向其下一階層之四浮點數相加器正規化邏輯(fpSUM4 normalize)；硬體數為八之值為零測試器(Is Zero)係與浮點數相加器(fpSUM)同一階層，且將不與任何邏輯節點 32 連結。

第四(c)圖所示之計算需求樹50係將包含硬體數為一之三浮點數相加器(fpSUM3)、三十二位元三浮點數相加器(32-bit fpSUM3)、三輸入部分排序邏輯(3in partial sort)、三輸入二十四位元加法器(3in 24-bit adder)、三浮點數相加器正規化邏輯(fpSUM3 normalize)與四浮點數相加器正規化邏輯(fpSUM4 normalize)；硬體數為四之IEEE754格式化邏輯(IEEE 754 Fomatter)與比較且交換邏輯(CMP&SWAP)；硬體數為三之值為零測試器(Is Zero)與位數與正負對齊邏輯(ALIGN+INV)及硬體數為二之二浮點數相加器(fpSUM2)與二十四位元加法器(24-bit adder)。

三浮點數相加器(fpSUM3)係連結指向其下一階層之三十二位元三浮點數相加器(32-bit fpSUM3)、IEEE754格式化邏輯(IEEE 754 Fomatter)與值為零測試器(Is Zero)；三十二位元三浮點數相加器(32-bit fpSUM3)係連結指向其下一階層之三輸入部分排序邏輯(3in partial sort)、位數與正負對齊邏輯(ALIGN+INV)、三輸入二十四位元加法器(3in 24-bit adder)與三浮點數相加器正規化邏輯(fpSUM3 normalize)；三輸入部分排序邏輯(3in partial sort)連結指向其下一階層之比較且交換邏輯(CMP&SWAP)；三輸入二十四位元加法器(3in 24-bit adder)連結指向其下一階層之二十四位元加法器(24-bit adder)；浮點數相加器正規化邏輯(fpSUM3 normalize)連結指向其下一階層

之四浮點數相加器正規化邏輯(fpSUM4 normalize)。此外，三浮點數相加器(fpSUM3)係連結指向與其同階層之二浮點數相加器(fpSUM2)，係將表示硬體數為一之三浮點數相加器(fpSUM3)能夠由硬體數為二之二浮點數相加器(fpSUM2)組成。第四(d)圖所示之計算需求樹60包含硬體數為一之四浮點數相加器(fpSUM4)、三十二位元三浮點數相加器(32-bit fpSUM3)、四輸入部分排序邏輯(4in partial sort)、四輸入二十四位元加法器(4in 24-bit adder)與四浮點數相加器正規化邏輯(fpSUM4 normalize)；硬體數為四之值為零測試器(Is Zero)、IEEE754格式化邏輯(IEEE 754 Fomatter)與比較且交換邏輯(CMP&SWAP)；硬體數為三之二浮點數相加器(fpSUM2)、位數與正負對齊邏輯(ALIGN+INV)與二十四位元加法器(24-bit adder)。

四浮點數相加器(fpSUM4)係連結指向其下一階層之三十二位元三浮點數相加器(32-bit fpSUM3)、值為零測試器(Is Zero)與IEEE754格式化邏輯(IEEE 754 Fomatter)；三十二位元三浮點數相加器(32-bit fpSUM3)係連結指向其下一階層之四輸入部分排序邏輯(4in partial sort)、四輸入二十四位元加法器(4in 24-bit adder)、四浮點數相加器正規化邏輯(fpSUM4 normalize)與位數與正負對齊邏輯(ALIGN+INV)；四輸入部分排序邏輯(4in partial sort)連結指向其下一階層之比較且交換邏輯(CMP&SWAP)；四輸入二十四位元加法器(4in 24-bit adder)連結指向其下一階層之二十四位元加法器(24-bit adder)。此外，四浮點數相加器(fpSUM4)係連結指向與其同階層之二浮點數相加器(fpSUM2)，係將表示硬體數為一之四浮點數相加器(fpSUM4)能夠由硬體數為二之二浮點數相加器(fpSUM2)組成。

之後，如第五圖所示，於四個各別獨立之計算需求樹30、40、50與60

中選取相同之邏輯節點32以組成三個各別獨立之區塊選擇樹31、41與51，且區塊選擇樹31、41與51係將各自視為單獨之集合。其後，如第六圖所示，選取三個各別獨立之區塊選擇樹31、41與51中可共用之邏輯節點32，並且如第七圖所示，在可共用之邏輯節點32增加一個階層之一多工器邏輯節點36。進而，區塊選擇樹將重新被標示，每一邏輯節點32係標示出其面積成本，面積成本係以多工器面積為單位，並且上層之邏輯節點32與其下一階層邏輯節點32之間的連結將標示出下一階層邏輯節點32組成上層邏輯節點32所需的數量，例如第七圖中之區塊選擇樹31之三十二位元浮點數乘法器(fpMUL₃₂)邏輯節點，其面積成本為50.7個多工器面積單位，且需二個下一階層八位元加法器(Adder₈)邏輯節點方可取代。

最後，如第八圖所示，透過線性規劃模式搜尋區塊選擇樹31、41與51，且將選取可向上合成之邏輯節點32與多工器邏輯節點36，被選取的可向上合成邏輯節點32其所標記的硬體數量係滿足微處理器實際所需硬體數，並且可向上合成之邏輯節點32與多工器邏輯節點36最多可合成之數量亦滿足微處理器實際所需硬體數。因此，被選取之邏輯節點32與多工器邏輯節點36係為最大可分享邏輯與最小面積平衡之最佳解，進而所組成之可動態重組異質處理器10係將符合最具成本效益與最佳效能的訴求。

經由實施例說明可知本發明係藉由工作控制邏輯單元16動態配置可動態重組異質處理器10平衡各微處理器的工作量。本發明提出之架構將能夠有效提升60%的處理效能，卻只額外增加5%的硬體需求使整體硬體的使用率達到30%的提升，並且現今各式積體電路與微處理器的設計將能夠輕易整合本發明提出之技術加強所設計出之硬體電路的效能。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為本發明架構示意圖。

第二圖為本發明應用之圖形處理器架構示意圖。

第三圖為本發明負載平衡之動態配置方法流程圖。

第四(a)圖至第四(d)圖分別為本發明可動態重組異質處理器架構設計之計算需求樹示意圖。

第五圖為本發明可動態重組異質處理器架構設計之區塊選擇樹示意圖。

第六圖為本發明可動態重組異質處理器架構設計之區塊選擇樹選取可共用邏輯節點示意圖。

第七圖為本發明可動態重組異質處理器架構設計之區塊選擇樹增加多工器邏輯節點示意圖。

第八圖為本發明可動態重組異質處理器架構設計之區塊選擇樹選取可向上合成邏輯節點與多工器邏輯節點示意圖。

【主要元件符號說明】

10 可動態重組異質處理器	12 微處理器 A
14 微處理器 B	16 工作控制邏輯單元
20 圖形處理器	22 頂點處理器
24 畫素處理器	26 匯流排路徑

30 計算需求樹
32 邏輯節點
40 計算需求樹
50 計算需求樹
60 計算需求樹

31 區塊選擇樹
36 多工器邏輯節點
41 區塊選擇樹
51 區塊選擇樹

七、申請專利範圍：

1、一種具有負載平衡的可動態重組異質處理器架構，包括：

複數個微處理器；

至少一可動態重組異質處理器，係與該微處理器相連接，且輔助該微處理器執行指令運算；以及

一工作控制邏輯單元，係與該微處理器及該可動態重組異質處理器相連接，將分析每一該微處理器之工作量比例，並且動態配置該可動態重組異質處理器支援該微處理器執行指令的運算，平衡每一該微處理器之工作量。

2、如申請專利範圍第 1 項所述之可動態重組異質處理器架構，其中該工作控制邏輯單元係藉由監測每一該微處理器之暫存區的飽和程度以做為分析每一該微處理器工作量比例之依據。

3、如申請專利範圍第 1 項所述之可動態重組異質處理器架構，其中該工作控制邏輯單元係藉由改變該可動態重組異質處理器與該微處理器連接之匯流排路徑，使該可動態重組異質處理器動態配置支援該微處理器。

4、如申請專利範圍第 1 項所述之可動態重組異質處理器架構，其中單一該可動態重組異質處理器係可支援二個以上之該微處理器。

5、如申請專利範圍第 1 項所述之可動態重組異質處理器架構，其中該可動態重組異質處理器係為一多工處理器。

6、如申請專利範圍第 1 項所述之可動態重組異質處理器架構，其中該微處理器係為一繪圖處理器、一嵌入式處理器、一數位訊號處理器或一多媒體應用處理器。

7、一種具有負載平衡的動態配置方法，係包括下列步驟：

於每一工作週期內，一工作控制邏輯單元偵測複數個微處理器之指令執行量；

該工作控制邏輯單元係計算至少一可動態重組異質處理器之預期使用數量與實際使用數量，並將該預期使用數量與該實際使用數量相減以得知轉換數量；

轉變該轉換數量成為一控制訊號，並藉由該控制訊號決定該可動態重組異質處理器將動態配置支援之該微處理器；

取出工作完成之該可動態重組異質處理器，並產生一工作完成訊號；以及

將該控制訊號與該工作完成訊號做交集產生一轉態訊號，且該轉態訊號係傳送至該可動態重組異質處理器以配置該可動態重組異質處理器至所需支援之該微處理器。

8、如申請專利範圍第 7 項所述之動態配置方法，其中在該工作控制邏輯單元偵測複數個微處理器之指令執行量的步驟中，係藉由監測每一該微處理器之暫存區的飽和程度以偵測複數個微處理器之指令執行數量。

9、如申請專利範圍第 7 項所述之動態配置方法，其中該轉換數量係藉由一遮罩轉變成為該控制訊號。

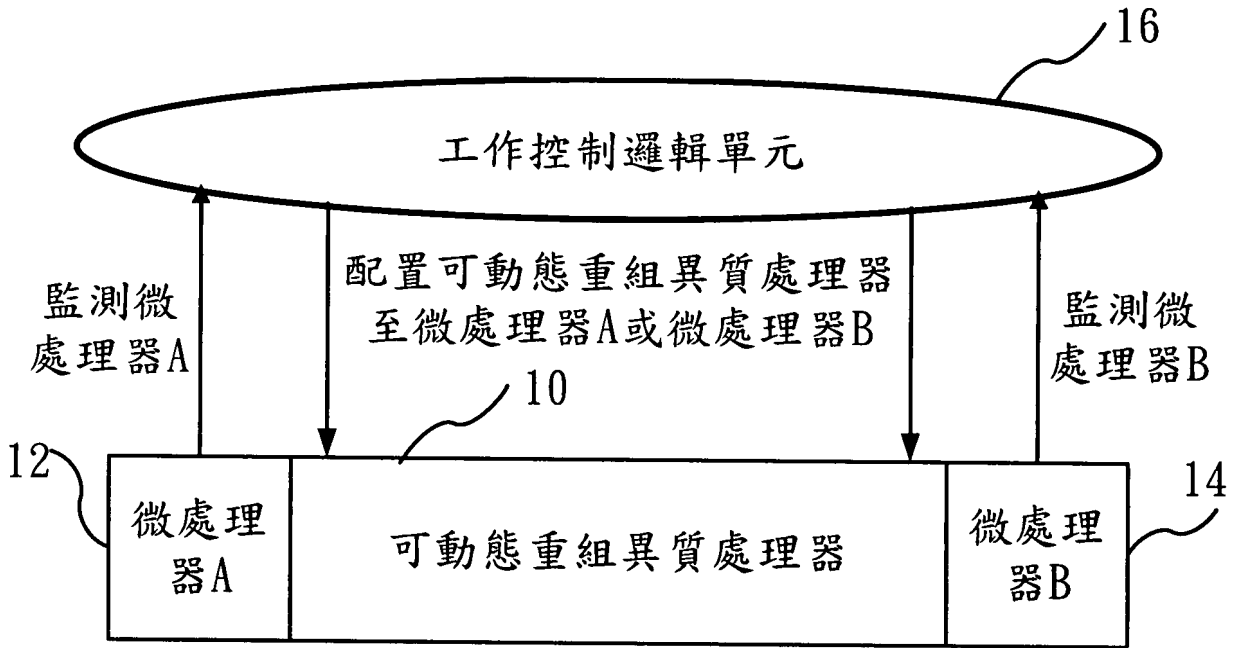
10、如申請專利範圍第 7 項所述之動態配置方法，其中在配置該可動態重組異質處理器至所需支援之該微處理器的步驟中，該工作控制邏輯單元係藉由改變該可動態重組異質處理器與該微處理器連接之匯流排路徑，使該可動態重組異質處理器動態配置支援所需之該微處理器。

- 11、如申請專利範圍第 7 項所述之動態配置方法，其中該轉態訊號係表示為實際可轉換之該可動態重組異質處理器。
- 12、如申請專利範圍第 7 項所述之動態配置方法，其中該控制訊號係為 0 或 1 的訊號。
- 13、如申請專利範圍第 7 項所述之動態配置方法，其中在該工作控制邏輯單元偵測複數個微處理器之指令執行量的步驟中，更包括以下步驟：
依照該微處理器的運算功能，建立複數個計算需求樹，且每一該計算需求樹係包含複數個邏輯節點；
選取該計算需求樹中相同之該邏輯節點建立成為複數個區塊選擇樹；
選取該區塊選擇樹中可共用之該邏輯節點，並且於可共用之每一該邏輯節點增加一多工器邏輯節點；以及
搜尋每一該區塊選擇樹，且將選取每一該區塊選擇樹中可向上合成之該邏輯節點與該多工器邏輯節點組成該可動態重組異質處理器。
- 14、如申請專利範圍第 13 項所述之動態配置方法，其中在搜尋每一該區塊選擇樹之步驟中係以線性規劃模式進行搜尋。
- 15、如申請專利範圍第 13 項所述之動態配置方法，其中每一該區塊選擇樹中可向上合成之該邏輯節點與該多工器邏輯節點係為最大可分享邏輯與最小面積平衡之最佳解。
- 16、如申請專利範圍第 13 項所述之動態配置方法，其中該邏輯節點係滿足該微處理器實際所需硬體數。
- 17、如申請專利範圍第 13 項所述之動態配置方法，其中該區塊選擇樹中可向上合成之該邏輯節點與該多工器邏輯節點最多可合成之數量係滿足

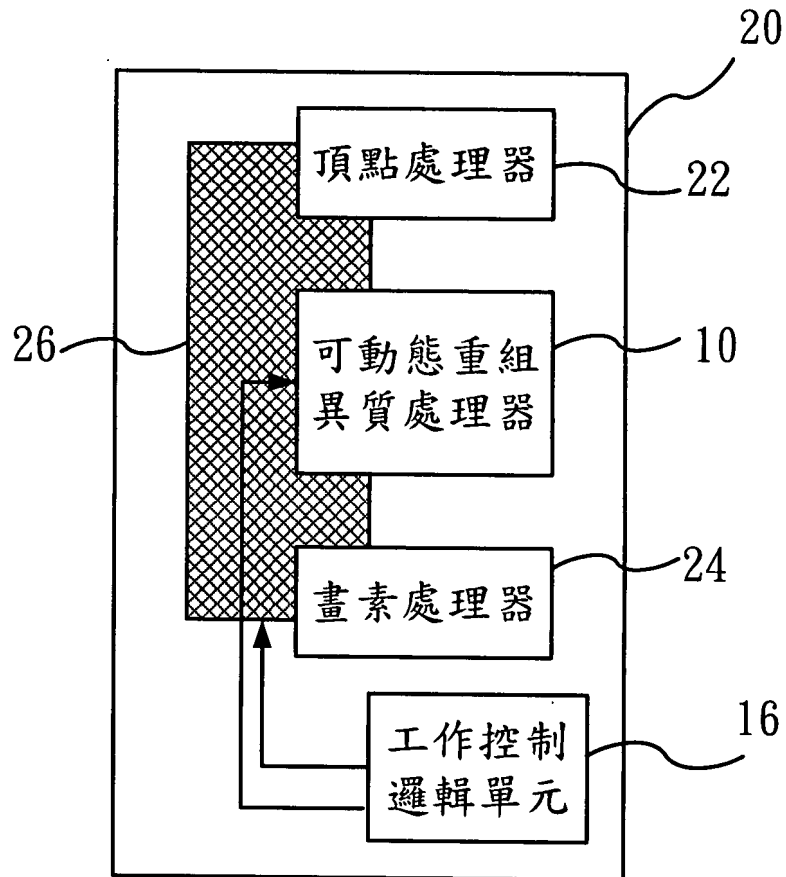
201128526

該微處理器實際所需硬體數。

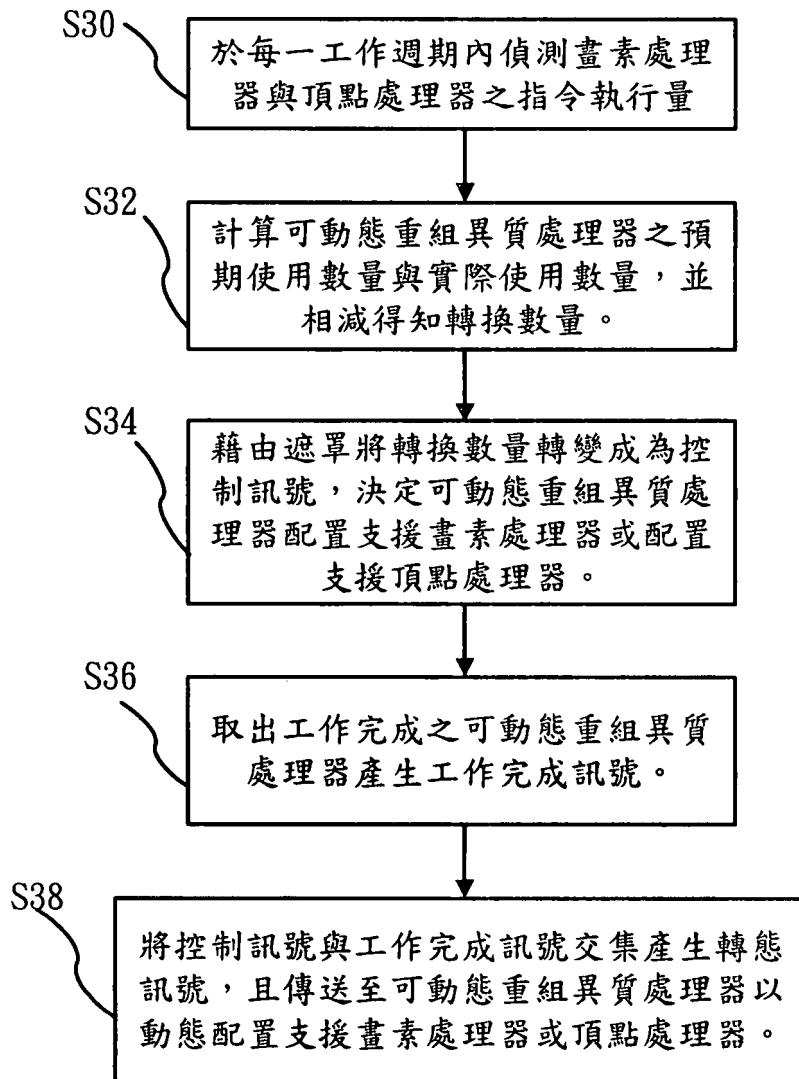
八、圖式：



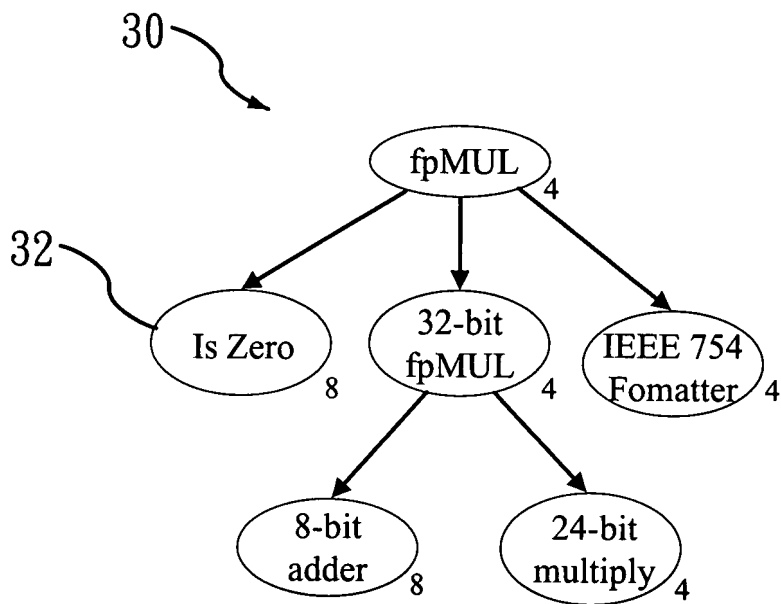
第一圖



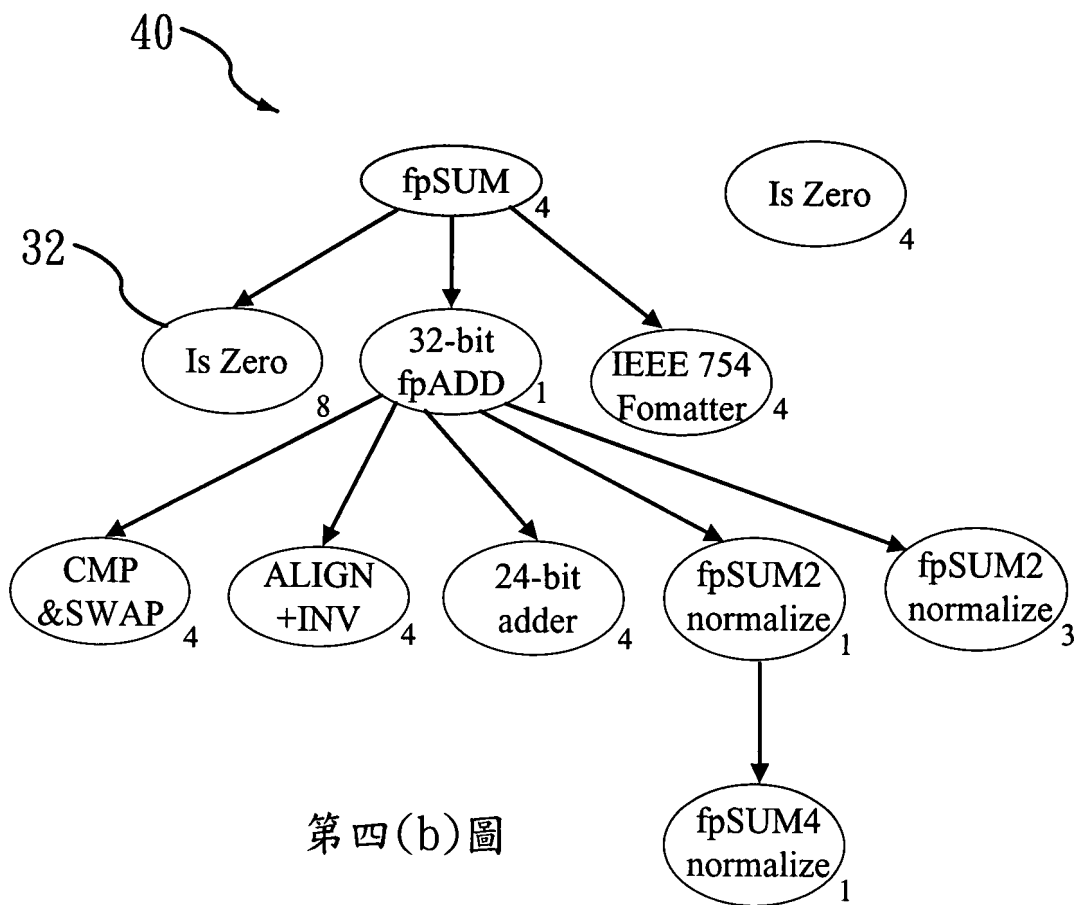
第二圖



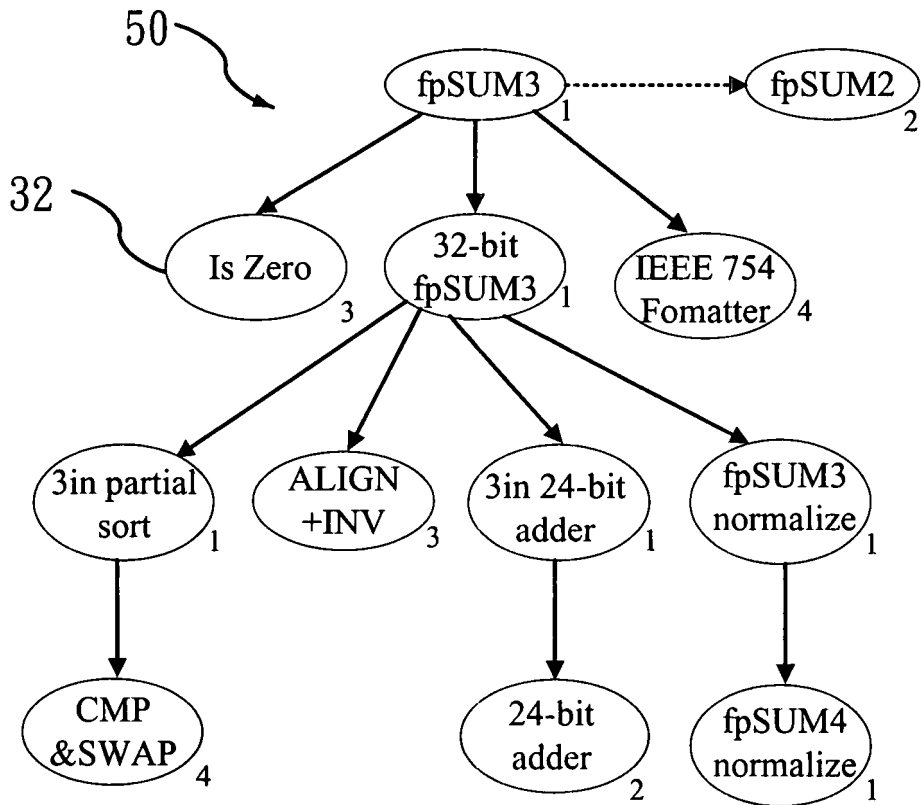
第三圖



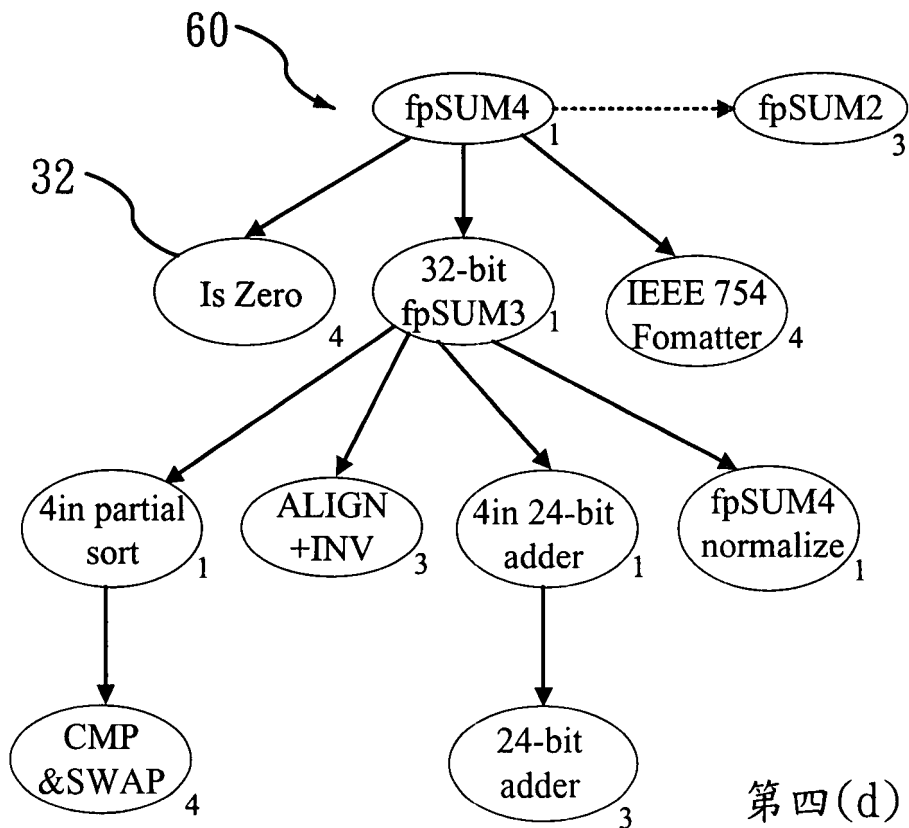
第四(a)圖



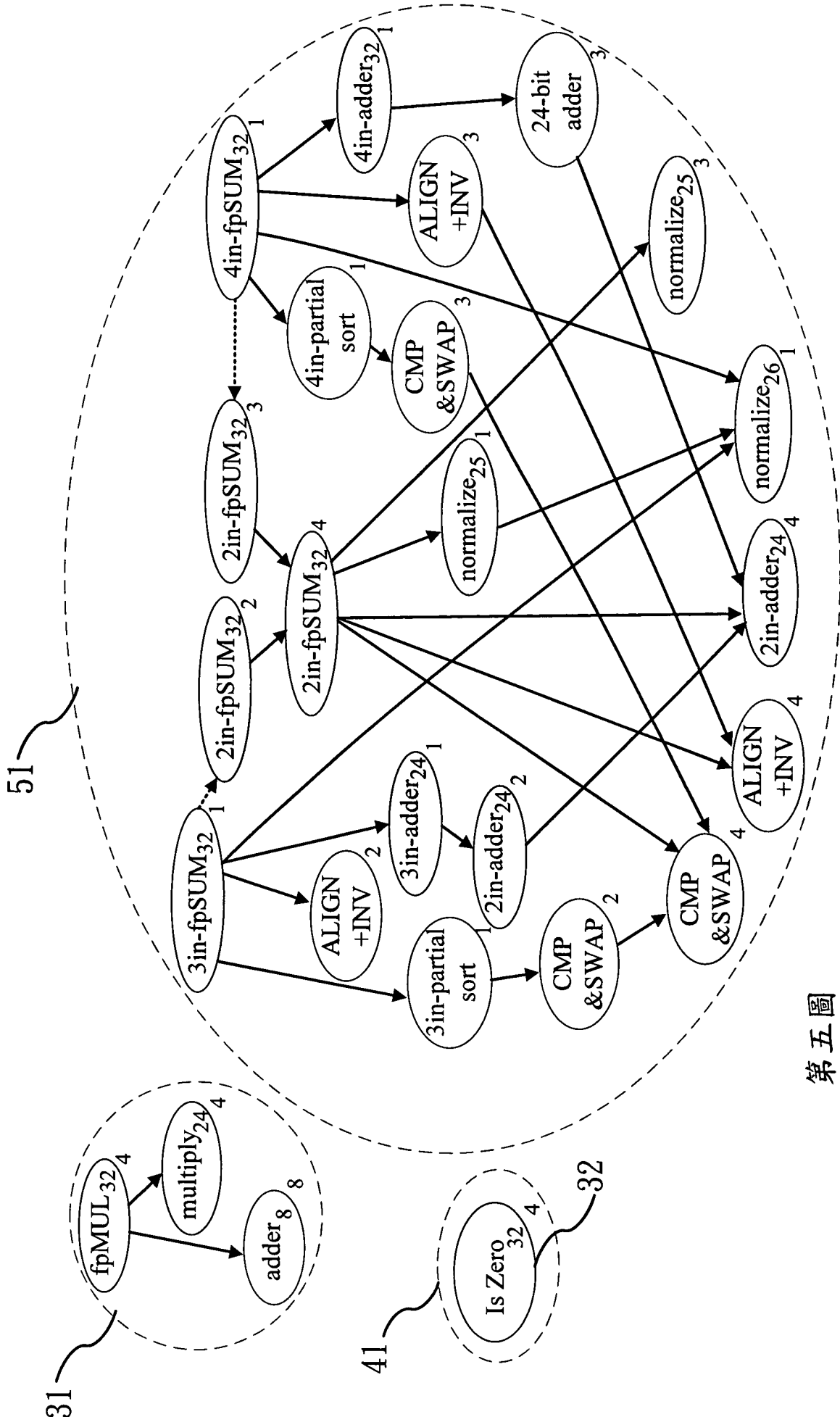
第四(b)圖



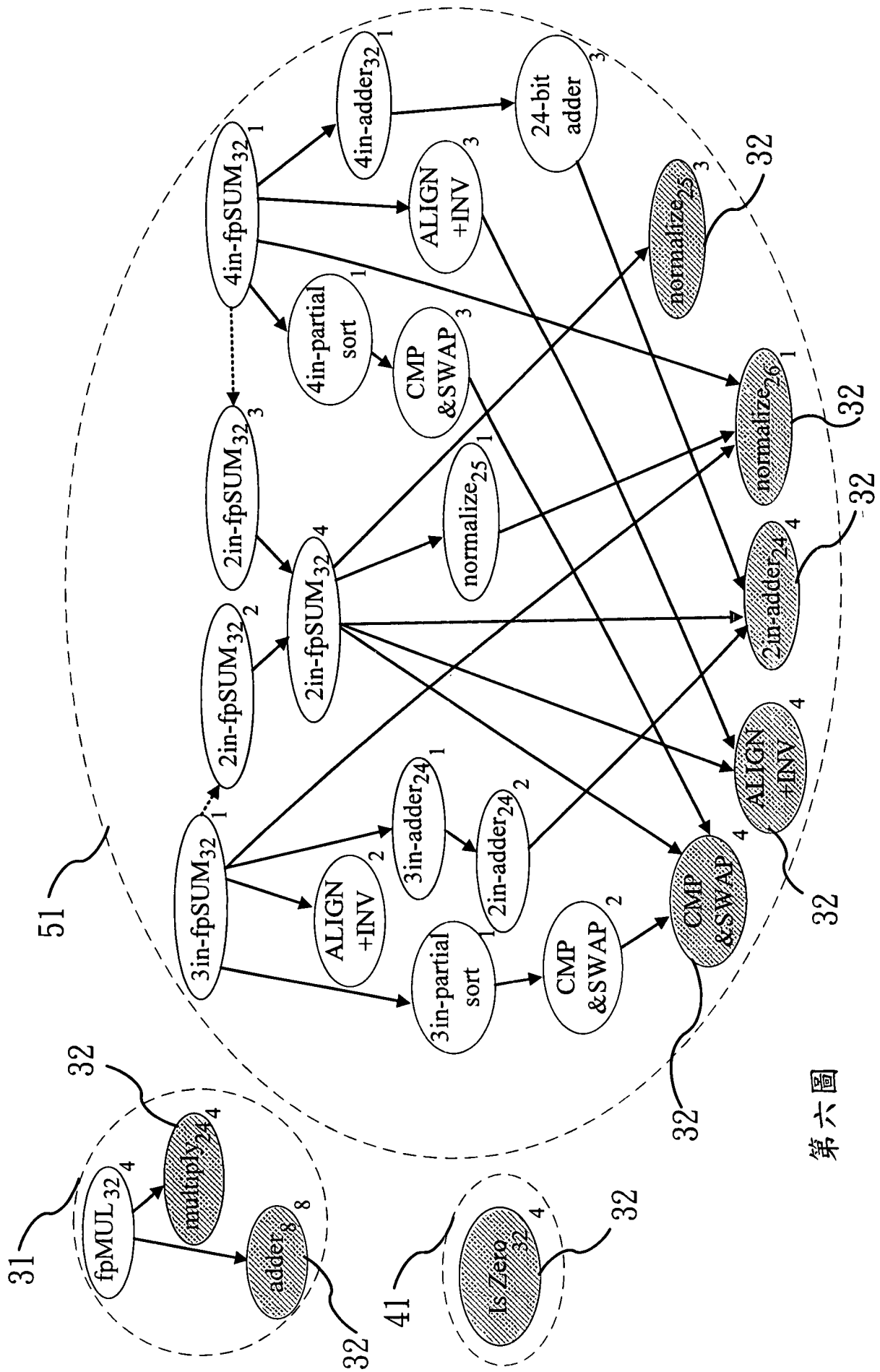
第四(c)圖



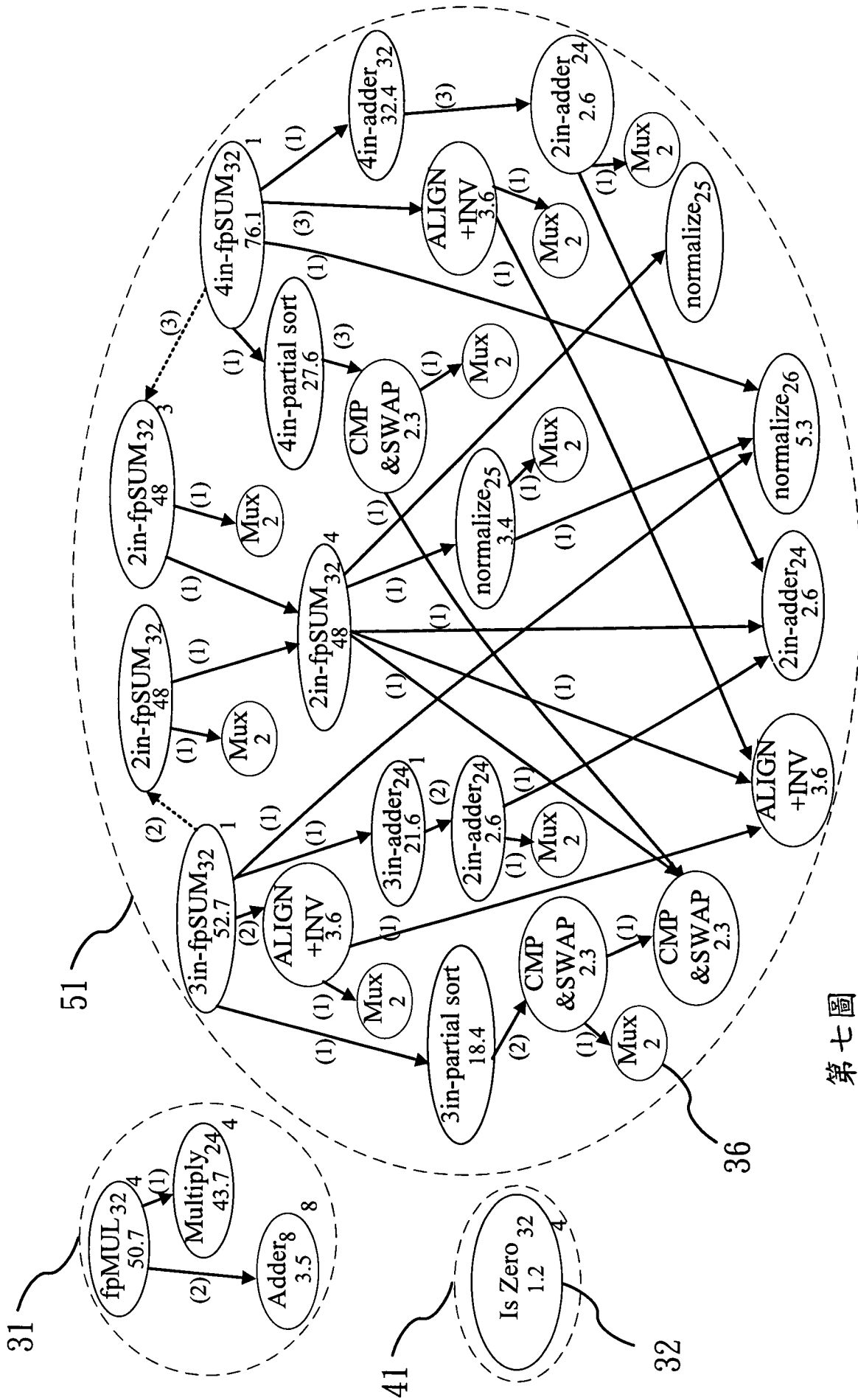
第四(d)圖



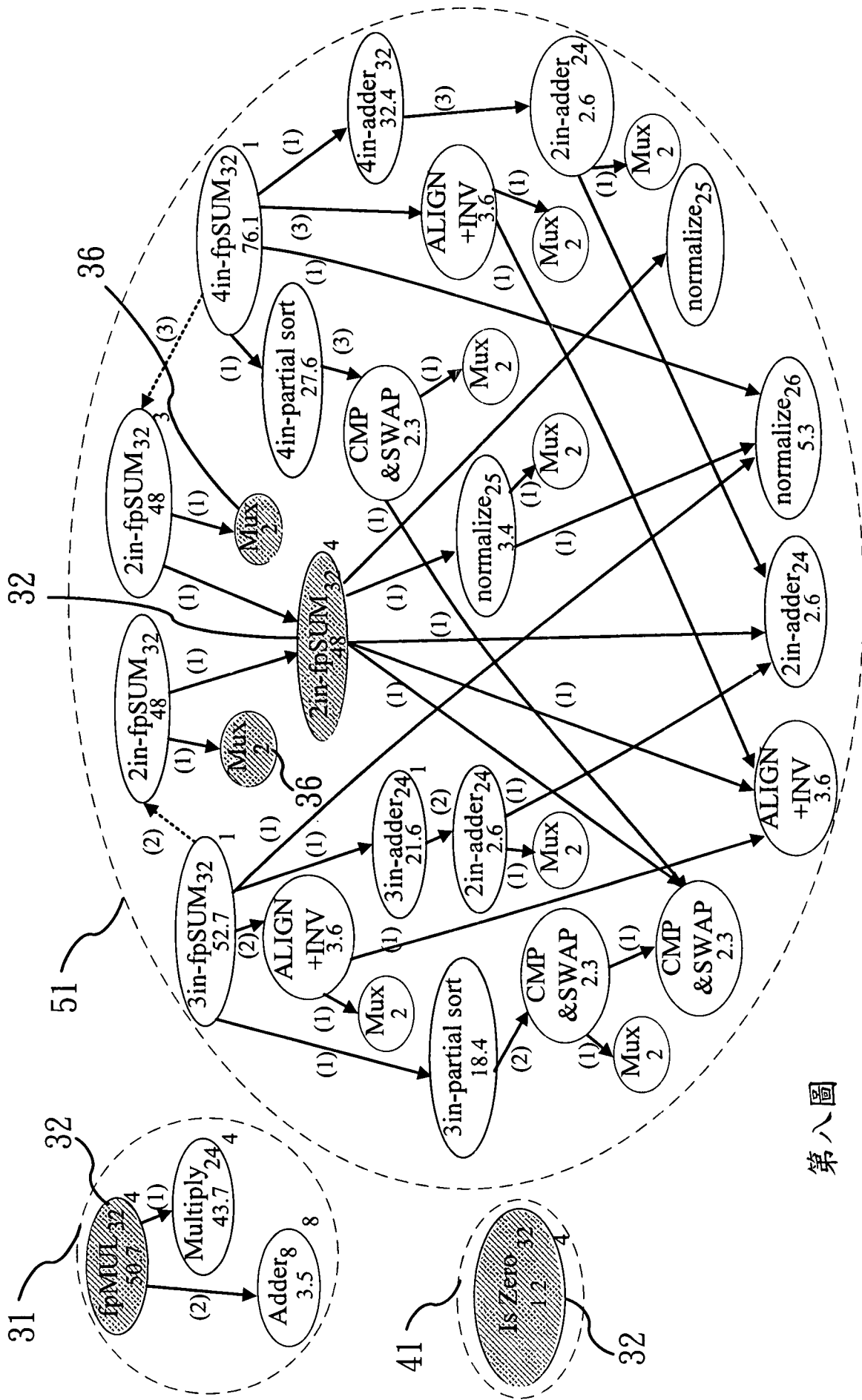
第五圖



第六圖



第七圖



第八圖

藉由一遮罩(圖中未示)將轉換數量轉變成為 0 或 1 之一控制訊號，此控制訊號係決定可動態重組異質處理器 10 將由配置支援畫素處理器 24 轉換成配置支援頂點處理器 22，或者由配置支援頂點處理器 22 轉換成配置支援畫素處理器 24；再來，如步驟 S36，將工作完成之可動態重組異質處理器 10 取出，並產生一工作完成訊號；最後，如步驟 S38，將控制訊號與工作完成訊號交集以產生一轉態訊號，此轉態訊號係表示為實際可轉換之可動態重組異質處理器 10，且將傳送至可動態重組異質處理器 10，使可動態重組異質處理器 10 動態配置支援畫素處理器 24 或頂點處理器 22。

承上所述為本發明動態配置方法之說明，透過工作控制邏輯單元 16 動態配置可動態重組異質處理器 10 平衡頂點處理器 22 與畫素處理器 24 指令的執行，進而提高圖形處理器 20 硬體使用率，以增進整體執行效能。然而為了滿足增進整體執行效能的訴求設計之可動態重組異質處理器 10 將會增加額外硬體面積，因此，必須在同時考慮執行效能與硬體成本的雙重條件下，以設計出最具成本效益與最佳效能之可動態重組異質處理器 10。底下將進一步說明本發明可動態重組異質處理器 10 架構之設計流程。第四(a)圖至第四(d)圖分別為本發明可動態重組異質處理器架構設計之計算需求樹示意圖，請同時參閱第二圖所示之本發明應用之圖形處理器架構示意圖。首先，依照頂點處理器 22 與畫素處理器 24 的運算功能，建立起彼此各別獨立之計算需求樹 30、計算需求樹 40、計算需求樹 50 與計算需求樹 60，此四個各別獨立之計算需求樹係各自包含複數個邏輯節點 32，且每一邏輯節點 32 相互間係具有階層的連結指向關係，並且在每一邏輯節點 32 上係標示有此邏輯節點 32 所需的硬體數量。底下將對於第四(a)圖至第四(d)圖分別所示之計算

需求樹30、計算需求樹40、計算需求樹50與計算需求樹60加以詳盡說明。

第四(a)圖所示之計算需求樹30係包含硬體數為四之浮點數乘法器(fpMUL)31、三十二位元浮點數乘法器(32-bit fpMUL)33、IEEE754格式化邏輯(IEEE 754 Fomatter)34與二十四位元乘法器(24-bit multiply)36，及硬體數為八之值為零測試器(Is Zero)32與八位元加法器(8-bit adder)35等六個邏輯節點。

浮點數乘法器(fpMUL)31 係連結指向其下一階層之值為零測試器(Is Zero)32、三十二位元浮點數乘法器(32-bit fpMUL)33 及 IEEE754 格式化邏輯(IEEE 754 Fomatter)34；三十二位元浮點數乘法器(32-bit fpMUL)33 係連結指向其下一階層之八位元加法器(8-bit adder)35 及二十四位元乘法器(24-bit multiply)36。

第四(b)圖所示之計算需求樹 40 係包含硬體數為四之浮點數相加器(fpSUM)37、值為零測試器(Is Zero)32、IEEE754 格式化邏輯(IEEE 754 Fomatter)34、比較且交換邏輯(CMP&SWAP)41、位數與正負對齊邏輯(ALIGN+INV)55 及二十四位元加法器(24-bit adder)39；硬體數為一之三十二位元浮點數加法器(32-bit fpADD)38、二浮點數相加器正規化邏輯(fpSUM2 normalize)42 及四浮點數相加器正規化邏輯(fpSUM4 normalize)43；與硬體數為八之值為零測試器(Is Zero)32；以及硬體數為三之二浮點數相加器正規化邏輯(fpSUM2 normalize)42 等十一個邏輯節點。

浮點數相加器(fpSUM)37 係連結指向其下一階層之三十二位元浮點數加法器(32-bit fpADD)38、IEEE754 格式化邏輯(IEEE 754 Fomatter)34 與硬體數為四之值為零測試器(Is Zero)32；三十二位元浮點數加法器(32-bit

fpADD)38 係連結指向其下一階層之比較且交換邏輯(CMP&SWAP)41、位數與正負對齊邏輯(ALIGN+INV)55、二十四位元加法器(24-bit adder)39、硬體數為一之二浮點數相加器正規化邏輯(fpSUM2 normalize)42 與硬體數為三之二浮點數相加器正規化邏輯(fpSUM2 normalize)42；硬體數為一之二浮點數相加器正規化邏輯(fpSUM2 normalize)42 係連結指向其下一階層之四浮點數相加器正規化邏輯(fpSUM4 normalize)43；硬體數為八之值為零測試器(Is Zero)32 係與浮點數相加器(fpSUM)37 同一階層，且將不與任何邏輯節點連結。

第四(c)圖所示之計算需求樹50係將包含硬體數為一之三浮點數相加器(fpSUM3)44、三十二位元三浮點數相加器(32-bit fpSUM3)45、三輸入部分排序邏輯(3in partial sort)47、三輸入二十四位元加法器(3in 24-bit adder)48、三浮點數相加器正規化邏輯(fpSUM3 normalize)49與四浮點數相加器正規化邏輯(fpSUM4 normalize)43；硬體數為四之IEEE754格式化邏輯(IEEE 754 Fomatter)34與比較且交換邏輯(CMP&SWAP)41；硬體數為三之值為零測試器(Is Zero)32與位數與正負對齊邏輯(ALIGN+INV)55及硬體數為二之二浮點數相加器(fpSUM2)45與二十四位元加法器(24-bit adder)39。

三浮點數相加器(fpSUM3)44係連結指向其下一階層之三十二位元三浮點數相加器(32-bit fpSUM3)46、IEEE754格式化邏輯(IEEE 754 Fomatter)34與值為零測試器(Is Zero)32；三十二位元三浮點數相加器(32-bit fpSUM3)46係連結指向其下一階層之三輸入部分排序邏輯(3in partial sort)47、位數與正負對齊邏輯(ALIGN+INV)55、三輸入二十四位元加法器(3in 24-bit adder)48與三浮點數相加器正規化邏輯(fpSUM3 normalize)49；三輸入部分排序邏輯

(3in partial sort)49 連結指向其下一階層之比較且交換邏輯 (CMP&SWAP)41；三輸入二十四位元加法器(3in 24-bit adder)48連結指向其下一階層之二十四位元加法器(24-bit adder)39；浮點數相加器正規化邏輯 (fpSUM3 normalize)49連結指向其下一階層之四浮點數相加器正規化邏輯 (fpSUM4 normalize)43。此外，三浮點數相加器(fpSUM3)44係連結指向與其同階層之二浮點數相加器(fpSUM2)45，係將表示硬體數為一之三浮點數相加器(fpSUM3)44能夠由硬體數為二之二浮點數相加器(fpSUM2)45組成。

第四(d)圖所示之計算需求樹60包含硬體數為一之四浮點數相加器 (fpSUM4)51、三十二位元三浮點數相加器(32-bit fpSUM3)46、四輸入部分排序邏輯(4in partial sort)52、四輸入二十四位元加法器(4in 24-bit adder)53與四浮點數相加器正規化邏輯(fpSUM4 normalize)43；硬體數為四之值為零測試器(Is Zero)32、IEEE754格式化邏輯(IEEE 754 Fomatter)34與比較且交換邏輯(CMP&SWAP)41；硬體數為三之二浮點數相加器(fpSUM2)45、位數與正負對齊邏輯(ALIGN+INV)55與二十四位元加法器(24-bit adder)39。

四浮點數相加器(fpSUM4)51係連結指向其下一階層之三十二位元三浮點數相加器(32-bit fpSUM3)46、值為零測試器(Is Zero)32與IEEE754格式化邏輯(IEEE 754 Fomatter)34；三十二位元三浮點數相加器(32-bit fpSUM3)46係連結指向其下一階層之四輸入部分排序邏輯(4in partial sort)53、四輸入二十四位元加法器(4in 24-bit adder) 53、四浮點數相加器正規化邏輯(fpSUM4 normalize)43與位數與正負對齊邏輯(ALIGN+INV)55；四輸入部分排序邏輯 (4in partial sort)52 連結指向其下一階層之比較且交換邏輯 (CMP&SWAP)41；四輸入二十四位元加法器(4in 24-bit adder)53連結指向其

下一階層之二十四位元加法器(24-bit adder)39。此外，四浮點數相加器(fpSUM4)51係連結指向與其同階層之二浮點數相加器(fpSUM2)45，係將表示硬體數為一之四浮點數相加器(fpSUM4)51能夠由硬體數為二之二浮點數相加器(fpSUM2)45組成。

之後，如第五圖所示，於四個各別獨立之計算需求樹30、40、50與60中選取相同之邏輯節點以組成三個各別獨立之區塊選擇樹70、80與90，且區塊選擇樹70、80與90係將各自視為單獨之集合。其後，如第六圖所示，選取三個各別獨立之區塊選擇樹70、80與90中可共用之邏輯節點，並且如第七圖所示，在可共用之邏輯節點增加一個階層之一多工器邏輯節點54。進而，區塊選擇樹70、80與90將重新被標示，每一邏輯節點係標示出其面積成本，面積成本係以多工器面積為單位，並且上層之邏輯節點與其下一階層邏輯節點之間的連結將標示出下一階層邏輯節點組成上層邏輯節點所需的數量，例如第七圖中之區塊選擇樹70之三十二位元浮點數乘法器(32-bit fpMUL)33邏輯節點，其面積成本為50.7個多工器面積單位，且需二個下一階層八位元加法器(8-bit adder)35邏輯節點方可取代。

最後，如第八圖所示，透過線性規劃模式搜尋區塊選擇樹70、80與90，且將選取可向上合成之邏輯節點與多工器邏輯節點54，被選取的可向上合成邏輯節點其所標記的硬體數量係滿足微處理器實際所需硬體數，並且可向上合成之邏輯節點與多工器邏輯節點54最多可合成之數量亦滿足微處理器實際所需硬體數。因此，被選取之邏輯節點與多工器邏輯節點36係為最大可分享邏輯與最小面積平衡之最佳解，進而所組成之可動態重組異質處理器10係將符合最具成本效益與最佳效能的訴求。

經由實施例說明可知本發明係藉由工作控制邏輯單元16動態配置可動態重組異質處理器10平衡各微處理器的工作量。本發明提出之架構將能夠有效提升60%的處理效能，卻只額外增加5%的硬體需求，使整體硬體的使用率達到30%的提升，並且現今各式積體電路與微處理器的設計將能夠輕易整合本發明提出之技術加強所設計出之硬體電路的效能。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為本發明架構示意圖。

第二圖為本發明應用之圖形處理器架構示意圖。

第三圖為本發明負載平衡之動態配置方法流程圖。

第四(a)圖至第四(d)圖分別為本發明可動態重組異質處理器架構設計之計算需求樹示意圖。

第五圖為本發明可動態重組異質處理器架構設計之區塊選擇樹示意圖。

第六圖為本發明可動態重組異質處理器架構設計之區塊選擇樹選取可共用邏輯節點示意圖。

第七圖為本發明可動態重組異質處理器架構設計之區塊選擇樹增加多工器邏輯節點示意圖。

第八圖為本發明可動態重組異質處理器架構設計之區塊選擇樹選取可向上合成邏輯節點與多工器邏輯節點示意圖。

【主要元件符號說明】

- 10 可動態重組異質處理器
- 12 微處理器 A
- 14 微處理器 B
- 16 工作控制邏輯單元
- 20 圖形處理器
- 22 頂點處理器
- 24 畫素處理器
- 26 匯流排路徑
- 30 計算需求樹
- 31 浮點數乘法器
- 32 值為零測試器
- 33 三十二位元浮點數乘法器
- 34 IEEE754 格式化邏輯
- 35 八位元加法器
- 36 二十四位元乘法器
- 37 浮點數相加器
- 38 三十二位元浮點數加法器
- 39 二十四位元加法器
- 40 計算需求樹
- 41 比較且交換邏輯
- 55 位數與正負對齊邏輯

- 42 二浮點數相加器正規化邏輯
- 43 四浮點數相加器正規化邏輯
- 44 三浮點數相加器
- 45 二浮點數相加器
- 46 三十二位元三浮點數相加器
- 47 三輸入部分排序邏輯 4
- 48 三輸入二十四位元加法器 4
- 49 三浮點數相加器正規化邏輯
- 50 計算需求樹
- 51 四浮點數相加器
- 52 四輸入部分排序邏輯
- 53 四輸入二十四位元加法器
- 54 多工器邏輯節點
- 60 計算需求樹
- 70 區塊選擇樹
- 80 區塊選擇樹
- 90 區塊選擇樹

七、申請專利範圍：

1、一種具有負載平衡的可動態重組異質處理器架構，包括：

複數個微處理器；

至少一可動態重組異質處理器，係與該微處理器相連接，且輔助該微處理器執行指令運算；以及

一工作控制邏輯單元，係與該微處理器及該可動態重組異質處理器相連接，將分析每一該微處理器之工作量比例，並且動態配置該可動態重組異質處理器支援該微處理器執行指令的運算，平衡每一該微處理器之工作量。

2、如申請專利範圍第1項所述之可動態重組異質處理器架構，其中該工作控制邏輯單元係藉由監測每一該微處理器之暫存區的飽和程度以做為分析每一該微處理器工作量比例之依據。

3、如申請專利範圍第1項所述之可動態重組異質處理器架構，其中該工作控制邏輯單元係藉由改變該可動態重組異質處理器與該微處理器連接之匯流排路徑，使該可動態重組異質處理器動態配置支援該微處理器。

4、如申請專利範圍第1項所述之可動態重組異質處理器架構，其中單一該可動態重組異質處理器係可支援二個以上之該微處理器。

5、如申請專利範圍第1項所述之可動態重組異質處理器架構，其中該可動態重組異質處理器係為一多工處理器。

6、如申請專利範圍第1項所述之可動態重組異質處理器架構，其中該微處理器係為一繪圖處理器、一嵌入式處理器、一數位訊號處理器或一多媒體應用處理器。

7、一種具有負載平衡的動態配置方法，係包括下列步驟：

於每一工作週期內，一工作控制邏輯單元偵測複數個微處理器之指令執行量；

該工作控制邏輯單元係計算至少一可動態重組異質處理器之預期使用數量與實際使用數量，並將該預期使用數量與該實際使用數量相減以得知轉換數量；

轉變該轉換數量成為一控制訊號，並藉由該控制訊號決定該可動態重組異質處理器將動態配置支援之該微處理器；

取出工作完成之該可動態重組異質處理器，並產生一工作完成訊號；以及

將該控制訊號與該工作完成訊號做交集產生一轉態訊號，且該轉態訊號係傳送至該可動態重組異質處理器以配置該可動態重組異質處理器至所需支援之該微處理器。

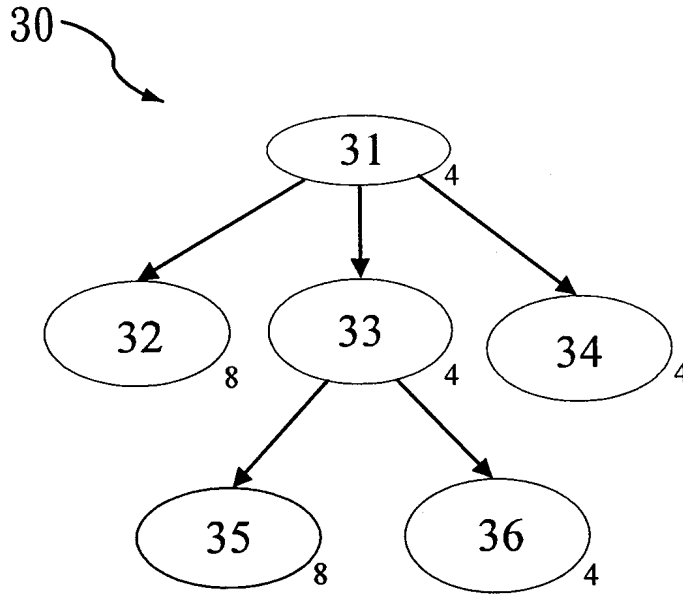
8、如申請專利範圍第7項所述之動態配置方法，其中在該工作控制邏輯單元偵測複數個微處理器之指令執行量的步驟中，係藉由監測每一該微處理器之暫存區的飽和程度以偵測複數個微處理器之指令執行數量。

9、如申請專利範圍第7項所述之動態配置方法，其中該轉換數量係藉由一遮罩轉變成為該控制訊號。

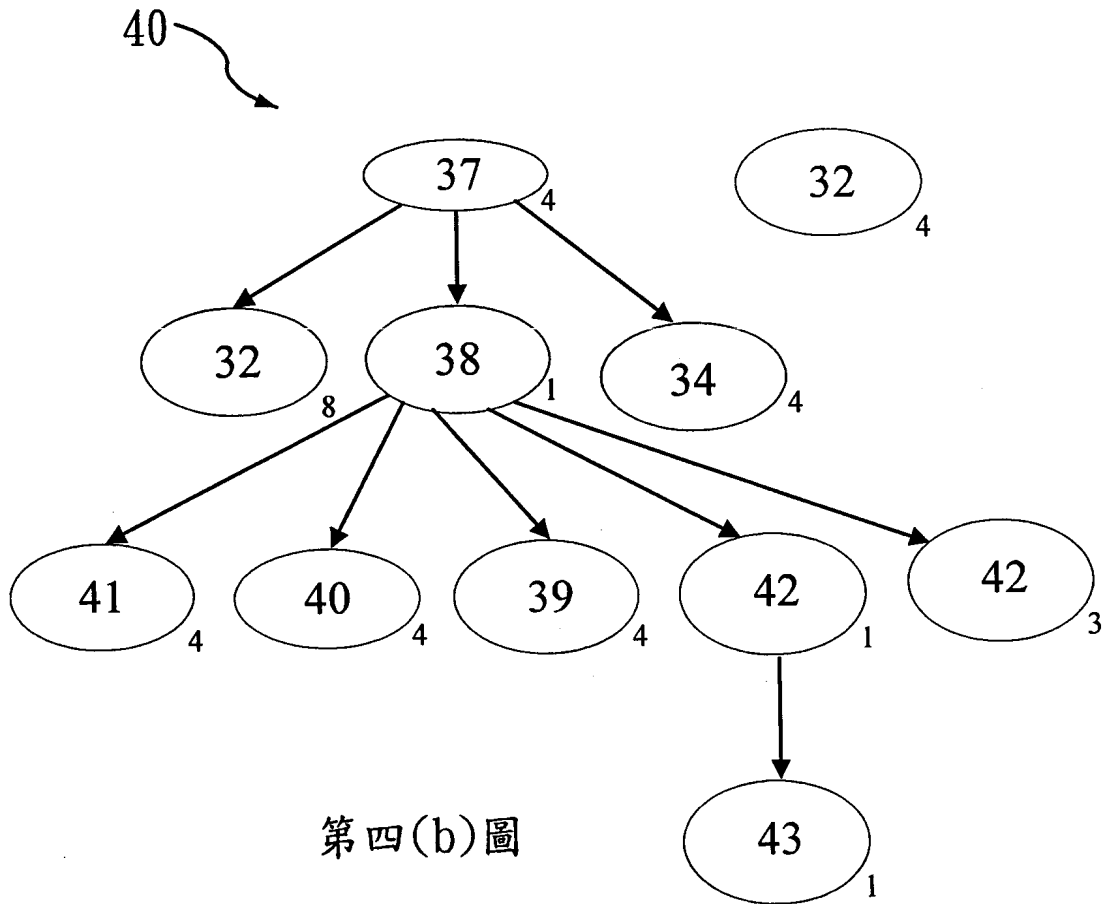
10、如申請專利範圍第7項所述之動態配置方法，其中在配置該可動態重組異質處理器至所需支援之該微處理器的步驟中，該工作控制邏輯單元係藉由改變該可動態重組異質處理器與該微處理器連接之匯流排路徑，使該可動態重組異質處理器動態配置支援所需之該微處理器。

- 11、如申請專利範圍第 7 項所述之動態配置方法，其中該轉態訊號係表示為實際可轉換之該可動態重組異質處理器。
- 12、如申請專利範圍第 7 項所述之動態配置方法，其中該控制訊號係為 0 或 1 的訊號。
- 13、如申請專利範圍第 7 項所述之動態配置方法，其中在該工作控制邏輯單元偵測複數個微處理器之指令執行量的步驟中，更包括以下步驟：
依照該微處理器的運算功能，建立複數個計算需求樹，且每一該計算需求樹係包含複數個邏輯節點；
選取該計算需求樹中相同之該邏輯節點建立成為複數個區塊選擇樹；
選取該區塊選擇樹中可共用之該邏輯節點，並且於可共用之每一該邏輯節點增加一多工器邏輯節點；以及
搜尋每一該區塊選擇樹，且將選取每一該區塊選擇樹中可向上合成之該邏輯節點與該多工器邏輯節點組成該可動態重組異質處理器。
- 14、如申請專利範圍第 13 項所述之動態配置方法，其中在搜尋每一該區塊選擇樹之步驟中係以線性規劃模式進行搜尋。
- 15、如申請專利範圍第 13 項所述之動態配置方法，其中每一該區塊選擇樹中可向上合成之該邏輯節點與該多工器邏輯節點係為最大可分享邏輯與最小面積平衡之最佳解。
- 16、如申請專利範圍第 13 項所述之動態配置方法，其中該邏輯節點係滿足該微處理器實際所需硬體數。
- 17、如申請專利範圍第 13 項所述之動態配置方法，其中該區塊選擇樹中可向上合成之該邏輯節點與該多工器邏輯節點最多可合成之數量係滿足

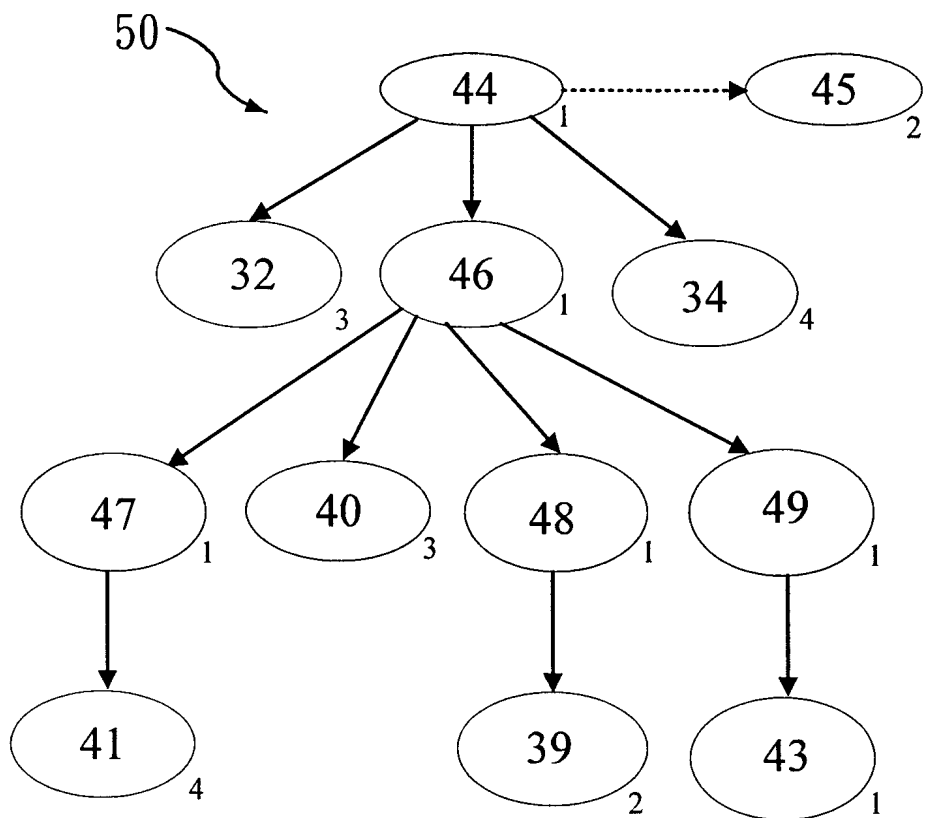
該微處理器實際所需硬體數。



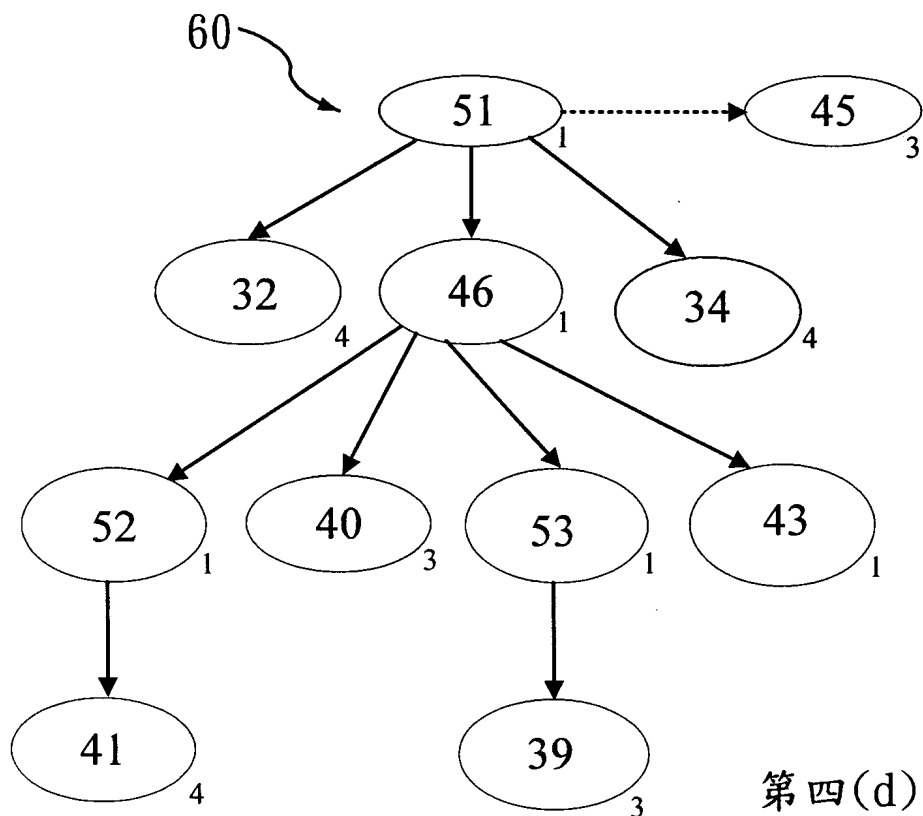
第四(a)圖



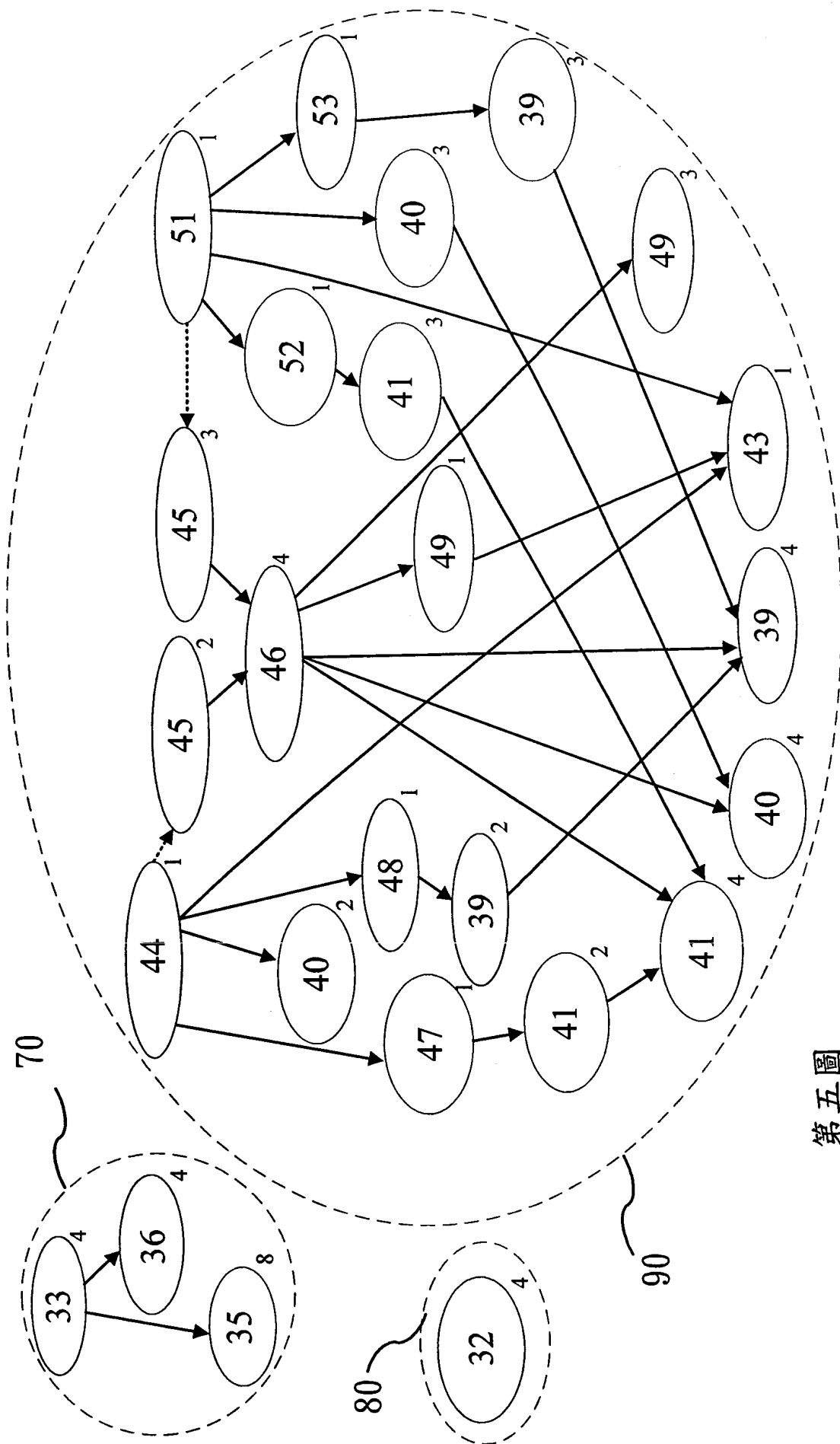
第四(b)圖



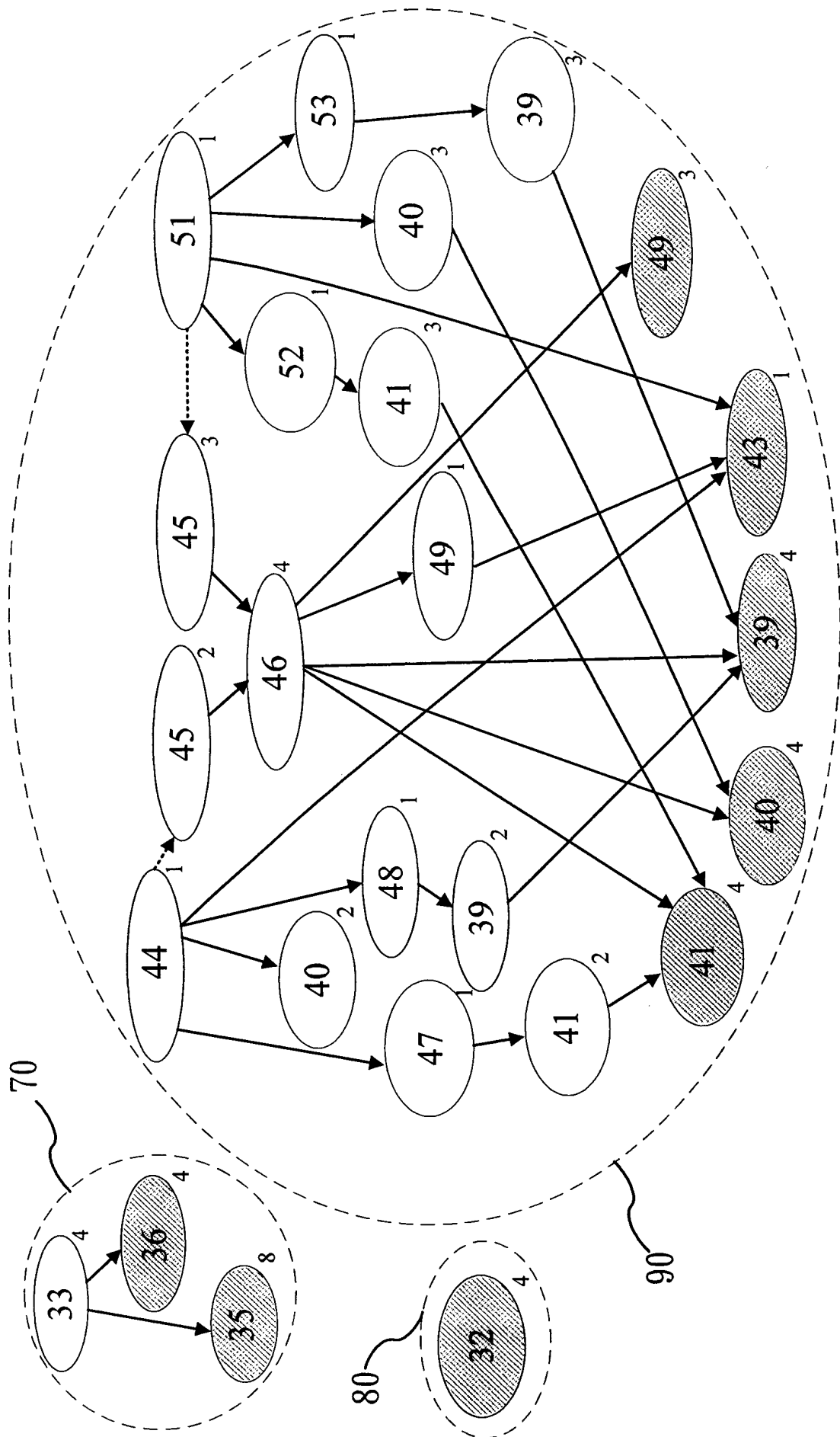
第四(c)圖



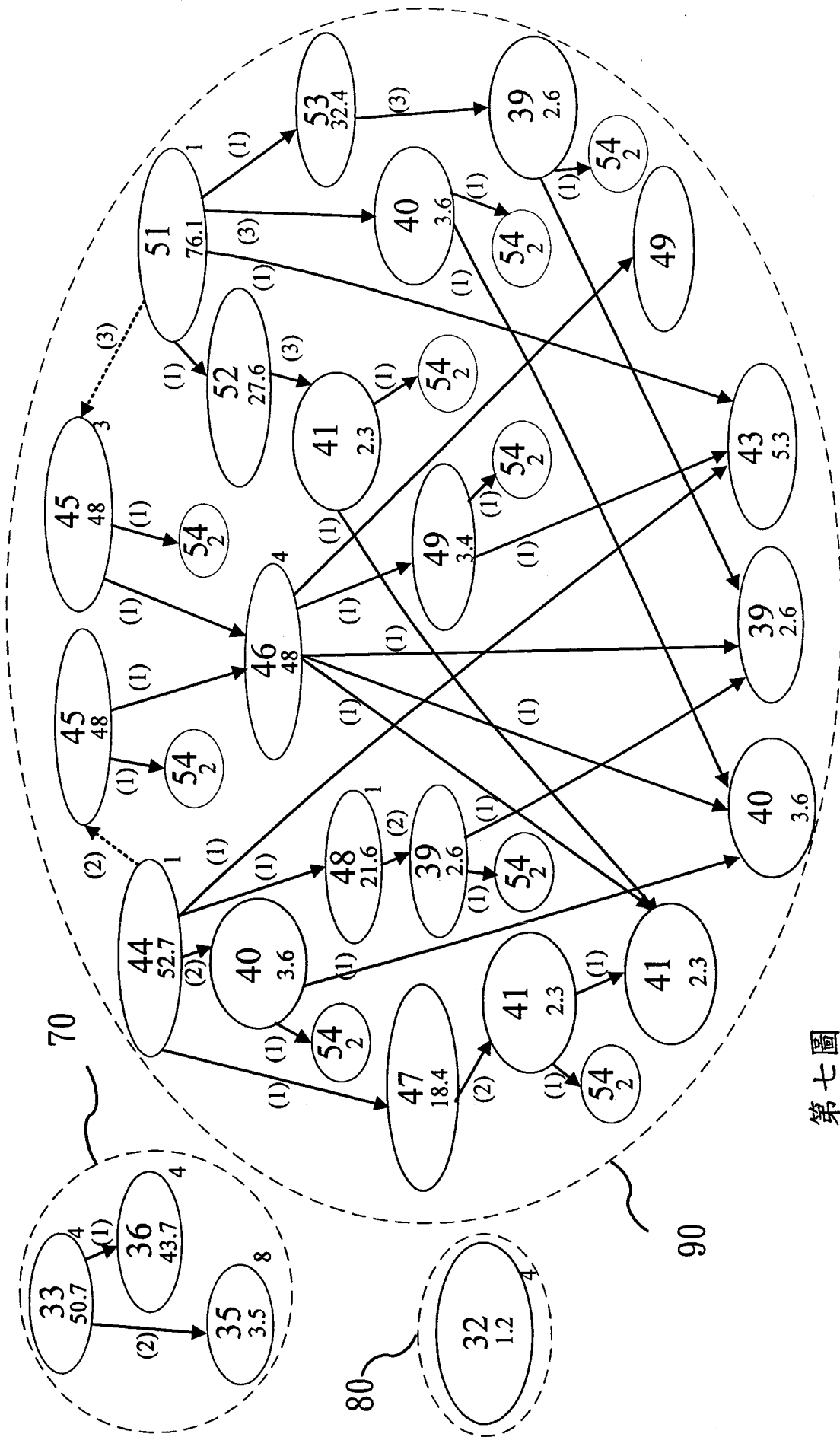
第四(d)圖



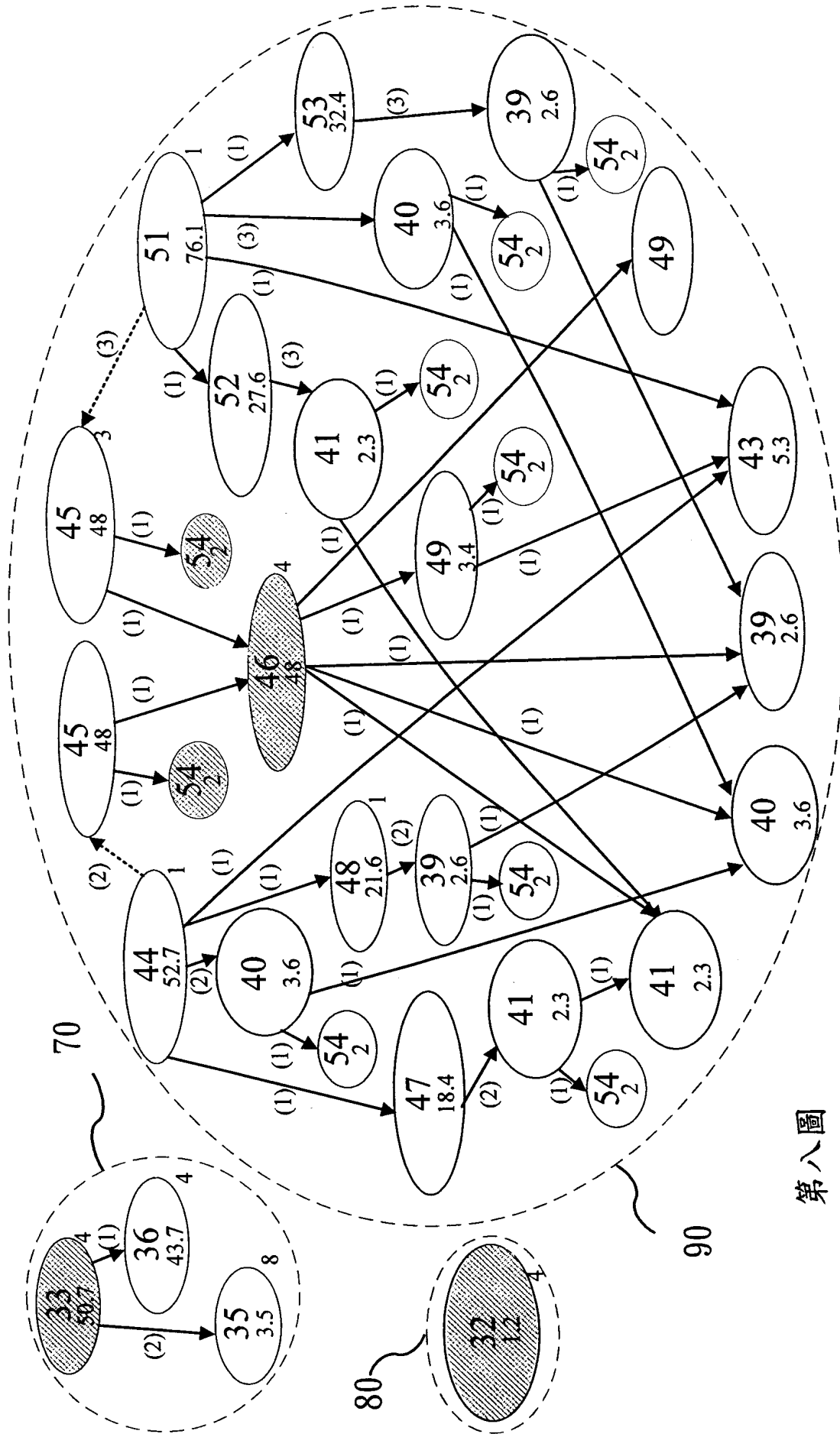
第五圖



第六圖



第七圖



第八圖