



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201126915 A1

(43)公開日：中華民國 100 (2011) 年 08 月 01 日

(21)申請案號：099101290

(22)申請日：中華民國 99 (2010) 年 01 月 18 日

(51)Int. Cl. : *H03M1/66 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：薛文弘 (TW)

(74)代理人：蔡秀玫

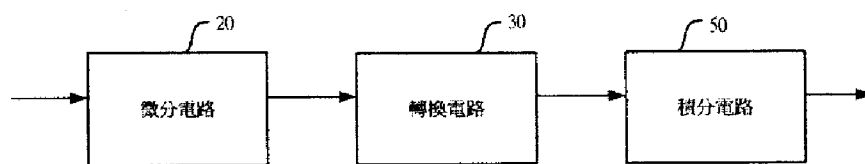
申請實體審查：有 申請專利範圍項數：16 項 圖式數：10 共 23 頁

(54)名稱

數位類比轉換裝置

(57)摘要

本發明係有關於一種數位類比轉換裝置，其包含一微分電路、一轉換電路與一積分電路，微分電路接收數位訊號，並微分數位訊號產生微分訊號，轉換電路耦接微分電路，轉換電路接收微分訊號並依據時脈訊號與微分訊號，而產生轉換訊號，積分電路耦接轉換電路，積分電路接收並積分類比訊號而產生一類比訊號。如此，即可達到降低失真雜訊之目的。



20：微分電路

30：轉換電路

50：積分電路

專利案號：099101290



日期：99年01月18日

發明專利說明書

※申請案號：099101290

※IPC分類：H03M 1/66 (2006.01)

※申請日：99-1-18

一、發明名稱：

數位類比轉換裝置

二、中文發明摘要：

本發明係有關於一種數位類比轉換裝置，其包含一微分電路、一轉換電路與一積分電路，微分電路接收數位訊號，並微分數位訊號產生微分訊號，轉換電路耦接微分電路，轉換電路接收微分訊號並依據時脈訊號與微分訊號，而產生轉換訊號，積分電路耦接轉換電路，積分電路接收並積分類比訊號而產生一類比訊號。如此，即可達到降低失真雜訊之目的。

三、英文發明摘要：

A digital-to-analog transform device is disclosed. The digital-to-analog transform device comprises a differential circuit, a transform circuit, a digital-to-analog transform circuit, and an integral circuit; the differential circuit receives and differentiates a digital signal for producing a differential signal; the transform circuit is coupled to the differential circuit and receives the differential signal for producing a transform signal in accordance with a clock signal and the differential signal; the digital-to-analog transform circuit is coupled to the transform circuit and receives the transform signal and transforms the transform signal for producing an analog signal; the integral circuit is coupled to the digital-to-analog transform circuit and receives and integrates the analog signal for the output. Therefore, the goal of decreasing unreal white noise will be accomplished.

Intellectual
Property
Office

四、指定代表圖：

(一)本案指定代表圖為：第一圖

(二)本代表圖之元件符號簡單說明：

20 微分電路

30 轉換電路

50 積分電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係有關於一種轉換裝置，特別是指一種數位類比轉換裝置。

【先前技術】

[0002] 現今，微電腦系統具備了快速運算、儲存資料的能力，在目前的機電系統中，微電腦所製作而成的控制器(controller)早已取代舊時純機械式或是電機機械式的控制機構。微電腦內部之訊號模式，皆為數位式訊號，即通常所謂的邏輯「0」或「1」，邏輯0代表低電位，通常在微電腦系統中為0伏特，邏輯1代表高電位，通常在微電腦系統中為5伏特。然而在自然界中的物理現象，當予以數量化之後往往是呈現連續的類比訊號，因此若欲將外界物理量的變化量傳入微電腦中進行運算，或是要由微電腦輸出命令驅動裝置時，就需要將訊號進行轉換的處理。

一般所量測之電壓或電流等連續訊號，可稱之為類比訊號。把類比訊號轉換成數位訊號之裝置則稱為類比對數位轉換裝置(analog to digital converter, ADC)。類比對數位轉換裝置依其轉換方式之不同可分為：數位斜波式類比對數位轉換裝置(digital-ramp ADC)，連續漸進式類比對數位轉換裝置(successive approximation ADC)，快閃類比對數位轉換裝置(flash ADC)及追蹤式類比對數位轉換裝置(tracking ADC)，該些類比對數位轉換裝置使能取得這些類比信號加以處理，而進行類比對數位訊號的轉換。

然而，數位類比轉換裝置(digital-to-analog converter, DAC)是各種電子裝置中常見的電路元件，其可依據數位訊號輸入來產生相對應的類比訊號輸出，以供後端的電路使用。再者，由於數位類比轉換裝置上需仰賴單位元件（電阻、電容或電流源）以進行轉換動作，然而因為單位元件彼此必定有所不匹配，特別是在積體電路內，對於高速和高解析度應用的電流操控之數位類比轉換裝置而言，電流源之間的不匹配是一個很嚴重的問題。因此，一般數位類比轉換裝置藉由單位元件而進行數位類比轉換必定受到元件彼此不匹配而產生失真雜訊，現今為了壓抑此失真雜訊，所運用的技術為動態元件匹配(Dynamic Element Matching, DEM)技術，然而，在需要轉換的位元數過大或轉換速度較快的應用中，動態元件匹配技術並無法展現出有效的失真雜訊壓抑。因此，如何降低數位類比轉換電路的失真雜訊為現今最重要的一大課題。

因此，本發明即在針對上述問題而提出一種數位類比轉換裝置，不僅可改善上述習用缺點，又可降低失真雜訊，以解決上述問題。

【發明內容】

[0003] 本發明之目的之一，在於提供一種數位類比轉換裝置，其藉由一微分電路與一積分電路組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。

本發明之目的之一，在於提供一種數位類比轉換裝置，其避免使用一動態元件匹配電路，而達到節省硬體電路的面積，進而降低產品晶片製作之成本。

本發明之目的之一，在於提供一種數位類比轉換裝置，其藉由轉換電路接收微分訊號，並依據時脈訊號與微分訊號產生轉換訊號，數位類比轉換裝置接收轉換訊號後產生類比訊號，如此，可達到降低失真雜訊之功效。

本發明之數位類比轉換裝置包含一微分電路、一轉換電路、一數位類比轉換電路與一積分電路。微分電路係接收一數位訊號，並微分數位訊號產生微分訊號，轉換電路耦接微分電路且接收微分電路所產生的微分訊號，並依據時脈訊號與微分訊號產生轉換訊號，積分電路耦接轉換電路，積分電路接收並積分類比訊號而產生一類比訊號，如此，本發明係藉由微分電路與積分電路組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。並避免使用一動態元件匹配電路，而達到節省硬體電路的面積，進而降低產品晶片製作之成本，且不需使用單位元件而可減少失真雜訊產生之目的。

此外，本發明數位類比轉換裝置，更包含一數位前端電路，耦接微分電路，且產生數位訊號。

【實施方式】

[0004] 茲為使 貴審查委員對本發明之技術特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

首先，請參閱第一圖，係為本發明之數位類比轉換裝置之一較佳實施例之方塊圖。如圖所示，本發明之數位類比轉換裝置包含一微分電路20、一轉換電路30與一積分電路50。微分電路20接收一數位訊號並微分該數位訊號，產生一微分訊號。轉換電路30耦接微分電路20，以

轉換微分電路20所產生的微分訊號，且產生一轉換訊號。積分電路50耦接轉換電路30，且積分電路50接收轉換訊號，並積分轉換訊號，而產生一類比訊號。如此，本發明係藉由微分電路20與積分電路50的組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。

再者，由於本發明之數位類比轉換裝置的微分電路20接收數位訊號後，而產生微分訊號，轉換電路30將微分訊號轉換後產生轉換訊號，並將轉換訊號轉換為類比訊號，再經由積分電路50積分該類比訊號而輸出，如此，本發明之轉換電路30可避免使用一動態元件匹配電路，而達到節省硬體電路的面積，並可降低產生失真雜訊，因此，本發明可以有效降低數位類比轉換裝置之失真雜訊，更可減少位元數降低硬體設備。其中，本發明之數位類比轉換裝置之轉換電路30為一脈衝編碼調變訊號轉量化脈衝寬度調變訊號轉換電路(PCM-to-QPWM converter)，而數位訊號之一較佳實施例為一脈衝編碼調變訊號(Pulse-code modulation, PCM)，轉換訊號之一較佳實施例為一量化脈衝寬度調變訊號(Quantized Pulse Width Modulation, QPWM)。再者，積分電路50之一較佳實施例為一類比積分電路或一電荷幫浦。

請參閱第二圖，係本發明之轉換電路之一較佳實施例之方塊圖。如圖所示，本發明轉換電路30包含一除頻電路32與一邏輯電路34。除頻電路32接收一時脈訊號，並將時脈訊號降頻後產生一除頻訊號，即除頻電路32所接收之時脈訊號可為本發明之數位類比轉換裝置所應用之系統中任一時脈訊號，因此，即可將時脈訊號降頻減低

功率消耗，上述之除頻電路32為本發明所屬技術領域中具有通常知識者所皆知的技術，故，於此不再多加以贅述。邏輯電路34耦接微分電路20與除頻電路32，且邏輯電路34接收時脈訊號與微分訊號產生一轉換訊號，即邏輯電路34係依據微分訊號而控制時脈訊號，以產生轉換訊號，此後將會針對邏輯電路34進行說明，於此不先加以說明。

請參閱第三圖，係本發明之轉換電路之另一較佳實施例之方塊圖。如圖所示，本實施例之轉換電路30與第二圖之實施例不同之處，在於此實施例更增加一轉換器36，轉換器36耦接微分電路20與邏輯電路34，以轉換微分電路20所產生的微分訊號，並將微分訊號輸入至邏輯電路34，即轉換電路34係將微分訊號轉換為不同表示訊號，本實施例之轉換電路36之一較佳實施例為一二位元轉符號轉換器，即二位元轉符號轉換器係將微分訊號由二位元訊號轉換為符號表示之二位元訊號。

請一併參閱第四圖，係本發明之邏輯電路之一較佳實施例之時序圖。如圖所示，本實施例之邏輯電路34所接收之微分訊號為五位數，即0 0001~1 1111，其中，微分訊號之第一位數的0或1分別代表為向上積分或向下積分，除頻電路32係除頻時脈訊號而產生複數除頻訊號，該些除頻訊號之頻率不相同，於此實施例中，為了對應微分訊號之第二~五位數，而除頻電路32產生四個除頻訊號，並彼此除頻訊號相差2倍，即除頻電路32產生一第一除頻訊號、一第二除頻訊號、一第三除頻訊號與一第四除頻訊號，並第一除頻訊號之頻率為第二除頻訊號之

頻率的2倍；第二除頻訊號之頻率為第三除頻訊號之頻率的2倍；第三除頻訊號之頻率為第四除頻訊號之頻率的2倍。如此，邏輯電路34係依據微分訊號而擷取該些除頻訊號，以產生轉換訊號，如第四圖所示，當微分訊號之第二～五位數為1010時，邏輯電路34係擷取第二除頻訊號之一個波形與第四除頻訊號之一個波形，而產生轉換訊號；同理，當微分訊號之第二～五位數為0101時，邏輯電路34係擷取第一除頻訊號之一個波形與第三除頻訊號之一個波形，而產生轉換訊號，如此，邏輯電路34係依據微分訊號的大小(例如0000，0101)而產生不同導通時間之轉換訊號。

請參閱第五圖，係本發明之轉換電路之另一較佳實施例之方塊圖。如圖所示，本實施例與第三圖之實施例不同之處，在於本發明之轉換電路30包含一多重時脈相位(multiple clock phase)產生電路33，以取代除頻電路32，多重時脈相位產生電路33係產生不同相位之時脈訊號。邏輯電路34係耦接微分電路20與多重時脈相位產生電路33，邏輯電路34接收該些參考訊號與微分訊號，而產生轉換訊號。此外，本實施例之轉換電路30更包括轉換器36，轉換器36耦接微分電路20與邏輯電路34，以轉換微分電路20所產生的微分訊號，並將微分訊號輸入至邏輯電路34，以產生轉換訊號。其中，多重時脈相位產生電路33為一延遲鎖定迴路(Delay Locked Loop)。

請參閱第六圖，係本發明之邏輯電路之一較佳實施例之方塊圖。如圖所示，本發明之邏輯電路34包含一第一

選擇單元341、一第一邏輯閘343、一第二邏輯閘345與一第二選擇單元347。第一選擇單元341係接收微分電路20產生的微分訊號與時脈訊號，第一選擇單元341依據微分訊號，而輸出時脈訊號，即第一選擇單元341接收複數時脈訊號與微分訊號，第一選擇單元341係由微分訊號而選擇該些時脈訊號之其中一時脈訊號輸出。第一邏輯閘343具有一第一輸入端、一第二輸入端與一輸出端，第一邏輯閘343之第一輸入端接收時脈訊號，第一邏輯閘343之第二輸入端接收第一選擇單元341所輸出的時脈訊號的反相訊號，且第一邏輯閘343之輸出端輸出時脈訊號與反向的時脈訊號，並產生一第一邏輯訊號。第二邏輯閘345具有一第一輸入端、一第二輸入端與一輸出端，第二邏輯閘345之第一輸入端接收時脈訊號，第二邏輯閘345之第二輸入端接收第一選擇單元341所輸出的時脈訊號，產生一第二邏輯訊號並由第二邏輯閘345之輸出端輸出第二邏輯訊號。第二選擇單元347接收第一邏輯訊號與第二邏輯訊號並依據微分訊號，而輸出轉換訊號，即第二選擇單元347透過微分訊號而選擇第一邏輯訊號或第二邏輯訊號輸出。本發明之第一選擇單元341與第二選擇單元347之一較佳實施例為一多工器，第一邏輯閘343之一較佳實施例為一及閘，第二邏輯閘345之一較佳實施例為一或閘。因此，即可避免高時脈的使用，而適用於高速的類比數位轉換器。

此外，本發明數位類比轉換裝置之邏輯電路34更包含一反相器349，以反相第一選擇單元341所輸出的時脈訊號，並將反相的時脈訊號傳送至第一邏輯閘343。

請一併參閱第七圖，係為本發明之邏輯電路之一較佳實施例之時序圖。如圖所示，本發明之邏輯電路34係接收複數時脈訊號與微分訊號，於此實施例中，邏輯電路34係接收一第一時脈訊號CK0、一第二時脈訊號CK1、一第三時脈訊號CK2與一第四時脈訊號CK3，並且邏輯電路34所接收之微分訊號之位元數為三位元(000~111)，邏輯電路34係依據微分訊號之大小而邏輯運算該些時脈訊號(CK0~CK3)，以產生轉換訊號，即當微分訊號為000時，表示第一時脈訊號CK0*第一時脈訊號CK0之反相訊號，而產生一第一轉換訊號，也就是微分訊號為000時，第一選擇單元341係依據微分訊號之最低二位元的大小而選擇第一時脈訊號CK0、第二時脈訊號CK1、第三時脈訊號CK2與第四時脈訊號CK3之其中之一時脈訊號輸出，由於此實施例之微分訊號之最低二位元為00，第一選擇單元341則輸出第一時脈訊號CK0，第一邏輯閘343則邏輯運算第一時脈訊號CK0*第一時脈訊號CK0之反相訊號產生第一轉換訊號，並透過第二選擇單元347輸出第一轉換訊號。

同理，當微分訊號為001時，表示第一時脈訊號CK0*第二時脈訊號CK1之反相訊號，而產生一第二轉換訊號；當微分訊號為010時，表示第一時脈訊號CK0*第三時脈訊號CK2之反相訊號，而產生一第三轉換訊號；當微分訊號為011時，表示第一時脈訊號CK0*第四時脈訊號CK3之反相訊號，而產生一第四轉換訊號。

當微分訊號為100時，表示第一時脈訊號CK0+第一時脈訊號CK0，而產生一第五轉換訊號，也就是第二邏輯閘

345邏輯運算第一時脈訊號CK0+第一時脈訊號CK0而產生第五轉換訊號，並透過第二選擇單元347輸出第四轉換訊號。同理，當微分訊號為101時，表示第一時脈訊號CK0+第二時脈訊號CK1，而產生一第六轉換訊號；當微分訊號為110時，表示第一時脈訊號CK0+第三時脈訊號CK2，而產生一第七轉換訊號；當微分訊號為111時，表示第一時脈訊號CK0+第四時脈訊號CK3，而產生一第八轉換訊號。

由上述可知，第二選擇單元347係依據微分訊號之最高位元之大小，而選擇第一邏輯閘343或第二邏輯閘345輸出。再者，本發明之邏輯邏輯電路34係依據微分訊號之大小，而產生不同脈波寬度大小的轉換訊號，以供後續電路使用。

請參閱第八圖，係本發明之積分電路之一較佳實施例之電路圖。同時，請一併復參閱第四圖。如圖所示，本發明之積分電路50更包含一第一電流源 I_{Int1} 、一第一開關pos、一第二開關neg、一輸出電容 C_{Int} 與一第二電流源 I_{Int2} 。第一開關pos耦接第一電流源 I_{Int1} ，且第一電流源 I_{Int1} 提供一電流至第一開關pos，第二開關neg耦接第一開關pos，輸出電容 C_{Int} 之一端耦接於第一開關pos與第二開關neg之間，輸出電容 C_{Int} 之另一端耦接於接地端，第二電流源 I_{Int2} 之一端耦接第二開關neg，第二電流源 I_{Int2} 之另一端耦接於接地端，其中，第一開關pos與第二開關neg受控於轉換訊號。轉換訊號包含一正轉換訊號與一負轉換訊號，正轉換訊號用以控制第一開關pos；負轉換訊號用以控制第二開關neg，如第四圖所示，當

微分訊號之第一位數為0時，則禁能負轉換訊號，以截止第二開關neg，並當正轉換訊號之準位為正時，則第一開關pos導通，電流則會經由第一電流源 I_{Int1} 流出，並對輸出電容 C_{Int} 進行充電，而使積分電路50之輸出電壓上升，同理，當微分訊號之第一位數為1時，則禁能正轉換訊號，以截止第一開關pos，並當負轉換訊號之準位為正時，則第二開關neg導通，使輸出電容 C_{Int} 進行放電，而使積分電路50之輸出電壓下降。因此，即可達到低功率效能之目的。

請參閱第九圖，係本發明數位類比轉換裝置之另一較佳實施例之方塊圖。如圖所示，此實施例不同於第一圖之實施例，在於此實施例更包含一數位前端電路10，耦接微分電路20以產生數位訊號，並送至微分電路20。此外，本發明之數位類比轉換裝置之數位前端電路10之一較佳實施例為一脈衝編碼調變電路。

請一併參閱第十圖，係本發明之數位類比轉換裝置之一較佳實施例之時序圖。如圖所示，當轉換訊號為正時，積分電路50之輸出電壓則上升，即數位類比轉換裝置之輸出電壓上升，當轉換訊號為負時，積分電路50之輸出電壓則下降，即數位類比轉換裝置之輸出電壓下降，並且轉換訊號之脈波寬度將決定於積分電路50之輸出電壓之上升或下降的時間。

綜上所述，本發明數位類比轉換裝置包含微分電路、轉換電路與積分器，微分電路接收數位訊號並將數位訊號微分後產生微分訊號，轉換電路轉換微分訊號後並依

據時脈訊號與微分訊號產生轉換訊號，積分電路耦轉換電路，並積分轉換訊號並輸出，如此，本發明係藉由微分電路與積分電路組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。並避免使用一動態元件匹配電路，而達到節省硬體電路的面積，進而降低產品晶片製作之成本，且不需使用單位元件而可降低雜訊失真之問題。

故本發明實為一具有新穎性、進步性及可供產業上利用者，應符合我國專利法專利申請要件無疑，爰依法提出發明專利申請，祈鈞局早日賜准專利，至感為禱。

惟以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

- [0005] 第一圖係本發明之數位類比轉換裝置之一較佳實施例之方塊圖；
- 第二圖係本發明之轉換電路之一較佳實施例之方塊圖；
- 第三圖係本發明之轉換電路之另一較佳實施例之方塊圖；
- ；
- 第四圖係本發明之邏輯電路之一較佳實施例之時序圖；
- 第五圖係本發明之轉換電路之另一較佳實施例之方塊圖；
- ；
- 第六圖係本發明之邏輯電路之一較佳實施例之方塊圖；
- 第七圖係本發明之邏輯電路之一較佳實施例之時序圖；
- 第八圖係本發明之積分電路之一較佳實施例之電路圖；

第九圖係本發明之數位類比轉換裝置之另一較佳實施例之方塊圖；以及

第十圖係本發明數位類比轉換裝置之一較佳實施例之時序圖。

【主要元件符號說明】

[0006]	20	微分電路
	30	轉換電路
	32	除頻電路
	33	多重時脈相位產生電路
	34	邏輯電路
	341	第一選擇單元
	343	第一邏輯閘
	345	第二邏輯閘與
	347	第二選擇單元
	349	反相器
	36	轉換器
	50	積分電路
	C_{Int}	輸出電容
	I_{Int1}	第一電流源
	I_{Int2}	第二電流源
	neg	第二開關
	pos	第一開關



Intellectual
Property
Office

七、申請專利範圍：

- 1 . 一種數位類比轉換裝置，其包含有：

一微分電路，接收一數位訊號，並微分該數位訊號而產生一微分訊號；

一轉換電路，耦接該微分電路，該轉換電路接收該微分訊號並依據一時脈訊號與該微分訊號，而產生一轉換訊號；以及

一積分電路，耦接該轉換電路，該積分電路接收並積分該轉換訊號而產生一類比訊號。

- 2 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該積分電路包含：

一第一電流源，提供一電流；

一第一開關，耦接該第一電流源，並接收該第一電流；

一第二開關，耦接該第一開關；

一輸出電容，其一端耦接於該第一開關與該第二開關之間，另一端耦接於一接地端；以及

一第二電流源，其一端耦接於該第二開關，另一端耦接該接地端；

其中，該第一開關與該第二開關受控於該轉換訊號。

- 3 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該積分電路為一電荷幫浦。

- 4 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該轉換電路更包含：

一除頻電路，接收該時脈訊號，該除頻電路降頻該時脈訊號而產生一除頻訊號；以及

- 一邏輯電路，耦接該微分電路與該除頻電路，該邏輯電路接收該時脈訊號與該微分訊號，而產生該轉換訊號。
5. 如申請專利範圍第4項所述之數位類比轉換裝置，其中該轉換電路更包含：
- 一轉換器，耦接該微分電路與該邏輯電路，該轉換器轉換該微分訊號，並輸出該微分訊號至該邏輯電路。
6. 如申請專利範圍第5項所述之數位類比轉換裝置，其中該轉換器為一二位元轉符號轉換器。
7. 如申請專利範圍第1項所述之數位類比轉換裝置，其中該轉換電路更包含：
- 一多重時脈相位產生電路，接收該時脈訊號，而產生複數參考時脈，該些參考時脈之相位不同；以及
- 一邏輯電路，耦接該微分電路與該多重時脈相位產生電路，該邏輯電路接收該些參考時脈與該微分訊號，而產生該轉換訊號。
8. 如申請專利範圍第7項所述之數位類比轉換裝置，其中該轉換電路更包含：
- 一轉換器，耦接該微分電路與該邏輯電路，該轉換器轉換該微分訊號，並輸出該微分訊號至該邏輯電路。
9. 如申請專利範圍第4項所述之數位類比轉換裝置，其中該邏輯電路更包含：
- 一第一選擇單元，接收該微分訊號與該時脈訊號，該第一選擇單元依據該微分訊號，而輸出該時脈訊號；
- 一第一邏輯閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該時脈訊號，該第二輸入端接收該第一選擇單元輸出之該時脈訊號的反相訊號，該輸出端

則輸出一第一邏輯訊號；

一第二邏輯閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該時脈訊號，該第二輸入端接收該第一選擇單元輸出之該時脈訊號，該輸出端輸出該一第二邏輯訊號；以及

一第二選擇單元，接收該第一邏輯訊號與該第二邏輯訊號，並依據該微分訊號，而輸出該轉換訊號。

10 . 如申請專利範圍第9項所述之數位類比轉換裝置，其中該第一選擇單元與第二選擇單元為一多工器。

11 . 如申請專利範圍第9項所述之數位類比轉換裝置，其更包括：

一反相器，反相該第一選擇單元輸出之該時脈訊號，並傳送該第一選擇單元輸出之該時脈訊號的該反相訊號至該第一邏輯閘。

12 . 如申請專利範圍第9項所述之數位類比轉換裝置，其中該第一邏輯閘為一及閘。

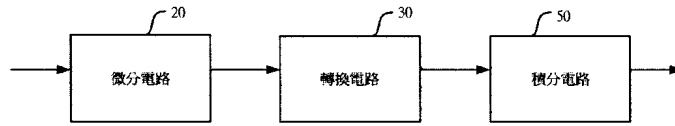
13 . 如申請專利範圍第9項所述之數位類比轉換裝置，其中該第二邏輯閘為一或閘。

14 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該數位訊號為一脈衝編碼調變訊號 (Pulse-code modulation, PCM) 。

15 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該轉換訊號為一量化脈衝寬度調變訊號 (Quantized Pulse Width Modulation, QPWM) 。

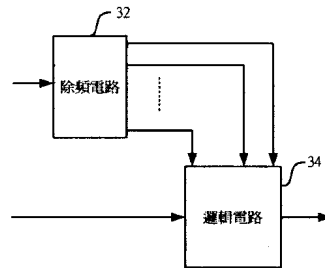
16 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該積分電路為一類比積分電路。

八、圖式：



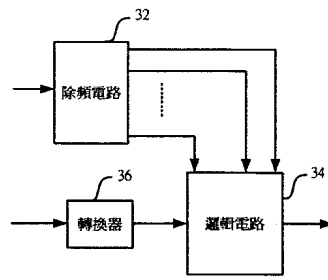
第一圖

30

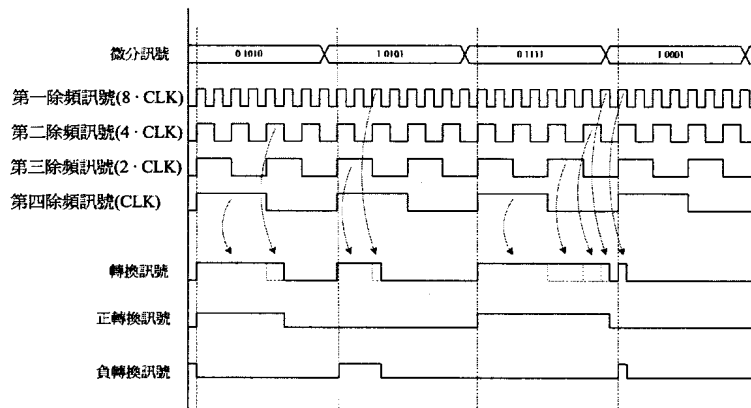


第二圖

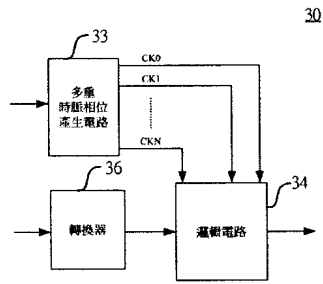
30



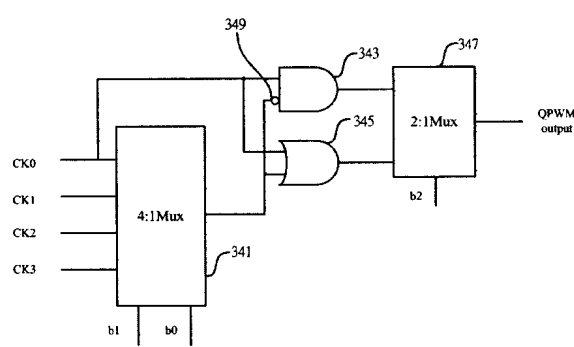
第三圖



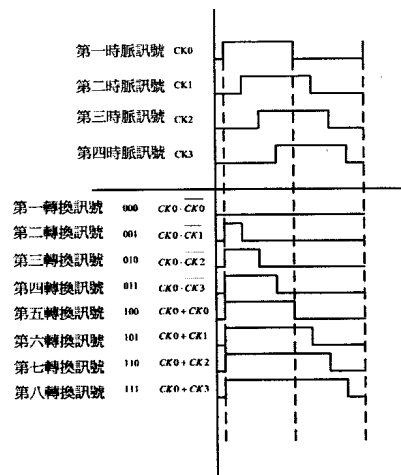
第四圖



第五圖

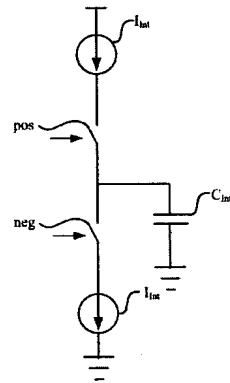


第六圖

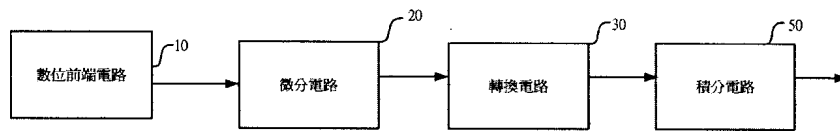


第七圖

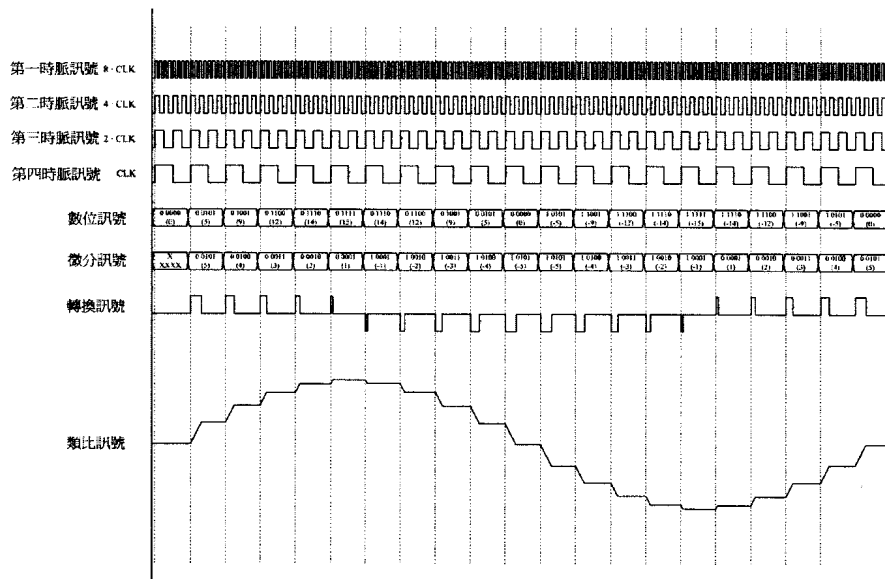
50



第八圖

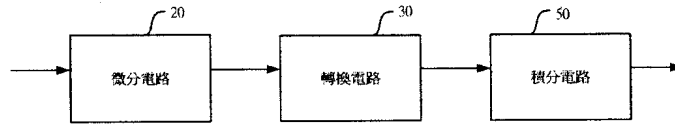


第九圖



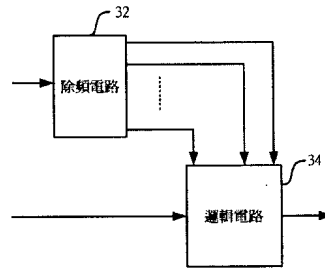
第十圖

八、圖式：



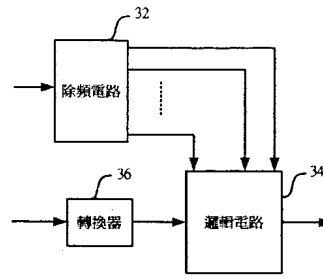
第一圖

30

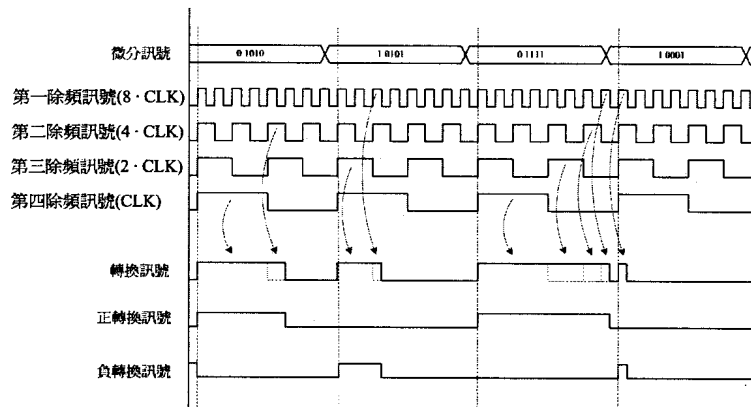


第二圖

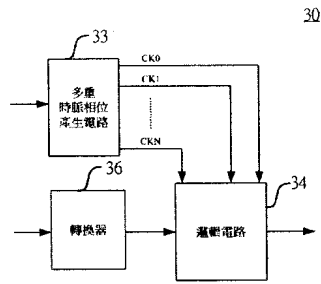
30



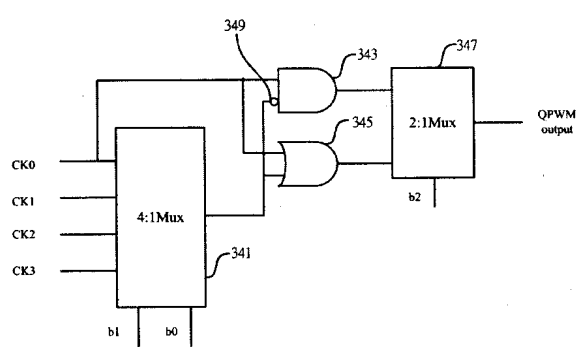
第三圖



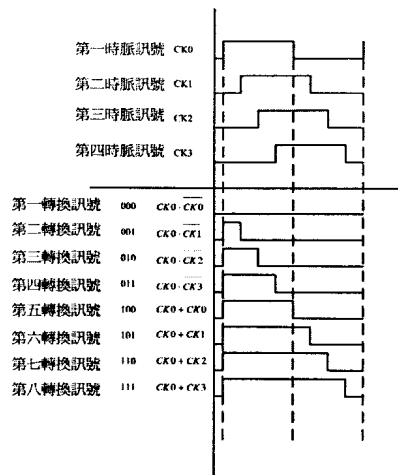
第四圖



第五圖



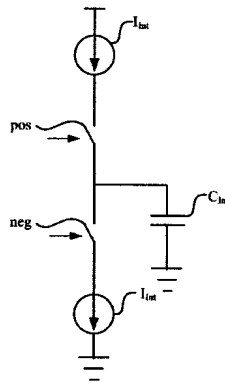
第六圖



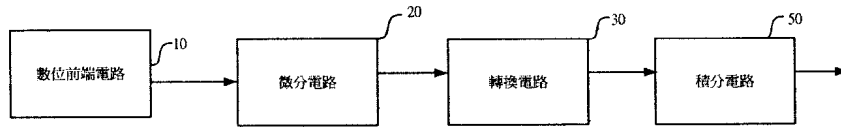
第七圖

大正三輪船株式會社

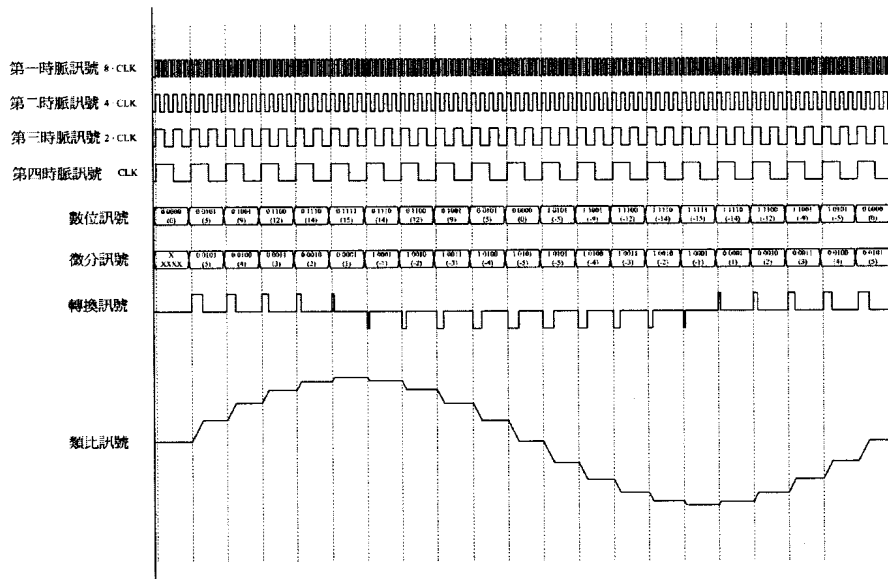
50



第八圖



第九圖



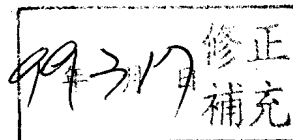
第十圖

專利案號：099101290



日期：99年03月17日

發明專利說明書



※申請案號：099101290

※IPC分類：

※申請日：99-1-18

一、發明名稱：

數位類比轉換裝置

二、中文發明摘要：

本發明係有關於一種數位類比轉換裝置，其包含一微分電路、一轉換電路與一積分電路，微分電路接收數位訊號，並微分數位訊號產生微分訊號，轉換電路耦接微分電路，轉換電路接收微分訊號並依據時脈訊號與微分訊號，而產生轉換訊號，積分電路耦接轉換電路，積分電路接收並積分類比訊號而產生一類比訊號。如此，即可達到降低失真雜訊之目的。

三、英文發明摘要：

A digital-to-analog transform device is disclosed. The digital-to-analog transform device comprises a differential circuit, a transform circuit, a digital-to-analog transform circuit, and an integral circuit; the differential circuit receives and differentiates a digital signal for producing a differential signal; the transform circuit is coupled to the differential circuit and receives the differential signal for producing a transform signal in accordance with a clock signal and the differential signal; the digital-to-analog transform circuit is coupled to the transform circuit and receives the transform signal and transforms the transform signal for producing an analog signal; the integral circuit is coupled to the digital-to-analog transform circuit and receives and integrates the analog signal for the output. Therefore, the goal of decreasing unreal white noise will be accomplished.

Intellectual
Property
Office

四、指定代表圖：

(一)本案指定代表圖為：第一圖

(二)本代表圖之元件符號簡單說明：

20 微分電路

30 轉換電路

50 積分電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



Intellectual
Property
Office

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係有關於一種轉換裝置，特別是指一種數位類比轉換裝置。

【先前技術】

[0002] 現今，微電腦系統具備了快速運算、儲存資料的能力，在目前的機電系統中，微電腦所製作而成的控制器(controller)早已取代舊時純機械式或是電機機械式的控制機構。微電腦內部之訊號模式，皆為數位式訊號，即通常所謂的邏輯「0」或「1」，邏輯0代表低電位，通常在微電腦系統中為0伏特，邏輯1代表高電位，通常在微電腦系統中為5伏特。然而在自然界中的物理現象，當予以數量化之後往往是呈現連續的類比訊號，因此若欲將外界物理量的變化量傳入微電腦中進行運算，或是要由微電腦輸出命令驅動裝置時，就需要將訊號進行轉換的處理。

一般所量測之電壓或電流等連續訊號，可稱之為類比訊號。把類比訊號轉換成數位訊號之裝置則稱為類比對數位轉換裝置(analog to digital converter, ADC)。類比對數位轉換裝置依其轉換方式之不同可分為：數位斜坡式類比對數位轉換裝置(digital-ramp ADC)，連續漸進式類比對數位轉換裝置(successive approximation ADC)，快閃類比對數位轉換裝置(flash ADC)及追蹤式類比對數位轉換裝置(tracking ADC)，該些類比對數位轉換裝置使能取得這些類比信號加以處理，而進行類比對數位訊號的轉換。

然而，數位類比轉換裝置(digital-to-analog converter, DAC)是各種電子裝置中常見的電路元件，其可依據數位訊號輸入來產生相對應的類比訊號輸出，以供後端的電路使用。再者，由於數位類比轉換裝置上需仰賴單位元件（電阻、電容或電流源）以進行轉換動作，然而因為單位元件彼此必定有所不匹配，特別是在積體電路內，對於高速和高解析度應用的電流操控之數位類比轉換裝置而言，電流源之間的不匹配是一個很嚴重的問題。因此，一般數位類比轉換裝置藉由單位元件而進行數位類比轉換必定受到元件彼此不匹配而產生失真雜訊，現今為了壓抑此失真雜訊，所運用的技術為動態元件匹配(Dynamic Element Matching, DEM)技術，然而，在需要轉換的位元數過大或轉換速度較快的應用中，動態元件匹配技術並無法展現出有效的失真雜訊壓抑。因此，如何降低數位類比轉換電路的失真雜訊為現今最重要的一大課題。

因此，本發明即在針對上述問題而提出一種數位類比轉換裝置，不僅可改善上述習用缺點，又可降低失真雜訊，以解決上述問題。

【發明內容】

[0003] 本發明之目的之一，在於提供一種數位類比轉換裝置，其藉由一微分電路與一積分電路組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。

本發明之目的之一，在於提供一種數位類比轉換裝置，其避免使用一動態元件匹配電路，而達到節省硬體電路的面積，進而降低產品晶片製作之成本。

本發明之目的之一，在於提供一種數位類比轉換裝置，其藉由轉換電路接收微分訊號，並依據時脈訊號與微分訊號產生轉換訊號，數位類比轉換裝置接收轉換訊號後產生類比訊號，如此，可達到降低失真雜訊之功效。

本發明之數位類比轉換裝置包含一微分電路、一轉換電路、一數位類比轉換電路與一積分電路。微分電路係接收一數位訊號，並微分數位訊號產生微分訊號，轉換電路耦接微分電路且接收微分電路所產生的微分訊號，並依據時脈訊號與微分訊號產生轉換訊號，積分電路耦接轉換電路，積分電路接收並積分類比訊號而產生一類比訊號，如此，本發明係藉由微分電路與積分電路組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。並避免使用一動態元件匹配電路，而達到節省硬體電路的面積，進而降低產品晶片製作之成本，且不需使用單位元件而可減少失真雜訊產生之目的。

此外，本發明數位類比轉換裝置，更包含一數位前端電路，耦接微分電路，且產生數位訊號。

【實施方式】

[0004] 茲為使 貴審查委員對本發明之技術特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

首先，請參閱第一圖，係為本發明之數位類比轉換裝置之一較佳實施例之方塊圖。如圖所示，本發明之數位類比轉換裝置包含一微分電路20、一轉換電路30與一積分電路50。微分電路20接收一數位訊號並微分該數位訊號，產生一微分訊號。轉換電路30耦接微分電路20，以

轉換微分電路20所產生的微分訊號，且產生一轉換訊號。積分電路50耦接轉換電路30，且積分電路50接收轉換訊號，並積分轉換訊號，而產生一類比訊號。如此，本發明係藉由微分電路20與積分電路50的組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。

再者，由於本發明之數位類比轉換裝置的微分電路20接收數位訊號後，而產生微分訊號，轉換電路30將微分訊號轉換後產生轉換訊號，並將轉換訊號轉換為類比訊號，再經由積分電路50積分該類比訊號而輸出，如此，本發明之轉換電路30可避免使用一動態元件匹配電路，而達到節省硬體電路的面積，並可降低產生失真雜訊，因此，本發明可以有效降低數位類比轉換裝置之失真雜訊，更可減少位元數降低硬體設備。其中，本發明之數位類比轉換裝置之轉換電路30為一脈衝編碼調變訊號轉量化脈衝寬度調變訊號轉換電路(PCM-to-QPWM converter)，而數位訊號之一較佳實施例為一脈衝編碼調變訊號(Pulse-code modulation, PCM)，轉換訊號之一較佳實施例為一量化脈衝寬度調變訊號(Quantized Pulse Width Modulation, QPWM)。再者，積分電路50之一較佳實施例為一類比積分電路或一電荷幫浦。

請參閱第二圖，係本發明之轉換電路之一較佳實施例之方塊圖。如圖所示，本發明轉換電路30包含一除頻電路32與一邏輯電路34。除頻電路32接收一時脈訊號，並將時脈訊號降頻後產生一除頻訊號，即除頻電路32所接收之時脈訊號可為本發明之數位類比轉換裝置所應用之系統中任一時脈訊號，因此，即可將時脈訊號降頻減低

功率消耗，上述之除頻電路32為本發明所屬技術領域中具有通常知識者所皆知的技術，故，於此不再多加以贅述。邏輯電路34耦接微分電路20與除頻電路32，且邏輯電路34接收時脈訊號與微分訊號產生一轉換訊號，即邏輯電路34係依據微分訊號而控制時脈訊號，以產生轉換訊號，此後將會針對邏輯電路34進行說明，於此不先加以說明。

請參閱第三圖，係本發明之轉換電路之另一較佳實施例之方塊圖。如圖所示，本實施例之轉換電路30與第二圖之實施例不同之處，在於此實施例更增加一轉換器36，轉換器36耦接微分電路20與邏輯電路34，以轉換微分電路20所產生的微分訊號，並將微分訊號輸入至邏輯電路34，即轉換電路34係將微分訊號轉換為不同表示訊號，本實施例之轉換電路36之一較佳實施例為一二進制轉符號數值轉換器(Binary to Sign-and-Magnitude)，即二進制轉符號數值轉換器係將微分訊號由二位元訊號轉換為符號表示之二位元訊號，其以第一位元作為正負號表示，其餘位元做為訊號振幅(magnitude)表示。

請一併參閱第四圖，係本發明之邏輯電路之一較佳實施例之時序圖。如圖所示，本實施例之邏輯電路34所接收之微分訊號為五位數，即0 0001~1 1111，其中，微分訊號之第一位數的0或1分別代表為向上積分或向下積分，除頻電路32係除頻時脈訊號而產生複數除頻訊號，該些除頻訊號之頻率不相同，於此實施例中，為了對應微分訊號之第二~五位數，而除頻電路32產生四個除頻訊號，並彼此除頻訊號相差2倍，即除頻電路32產生一第

一除頻訊號、一第二除頻訊號、一第三除頻訊號與一第四除頻訊號，並第一除頻訊號之頻率為第二除頻訊號之頻率的2倍；第二除頻訊號之頻率為第三除頻訊號之頻率的2倍；第三除頻訊號之頻率為第四除頻訊號之頻率的2倍。如此，邏輯電路34係依據微分訊號而擷取該些除頻訊號，以產生轉換訊號，如第四圖所示，當微分訊號之第二～五位數為1010時，邏輯電路34係擷取第二除頻訊號之一個波形與第四除頻訊號之一個波形，而產生轉換訊號；同理，當微分訊號之第二～五位數為0101時，邏輯電路34係擷取第一除頻訊號之一個波形與第三除頻訊號之一個波形，而產生轉換訊號，如此，邏輯電路34係依據微分訊號的大小(例如0000，0101)而產生不同導通時間之轉換訊號。

請參閱第五圖，係本發明之轉換電路之另一較佳實施例之方塊圖。如圖所示，本實施例與第三圖之實施例不同之處，在於本發明之轉換電路30包含一多重時脈相位(multiple clock phase)產生電路33，以取代除頻電路32，多重時脈相位產生電路33係產生不同相位之時脈訊號。邏輯電路34係耦接微分電路20與多重時脈相位產生電路33，邏輯電路34接收該些參考訊號與微分訊號，而產生轉換訊號。此外，本實施例之轉換電路30更包括轉換器36，轉換器36耦接微分電路20與邏輯電路34，以轉換微分電路20所產生的微分訊號，並將微分訊號輸入至邏輯電路34，以產生轉換訊號。其中，多重時脈相位產生電路33為一延遲鎖定迴路(Delay Locked Loop)。

請參閱第六圖，係本發明之邏輯電路之一較佳實施例

之方塊圖。如圖所示，本發明之邏輯電路34包含一第一選擇單元341、一第一邏輯閘343、一第二邏輯閘345與一第二選擇單元347。第一選擇單元341係接收微分電路20產生的微分訊號與時脈訊號，第一選擇單元341依據微分訊號，而輸出時脈訊號，即第一選擇單元341接收複數時脈訊號與微分訊號，第一選擇單元341係由微分訊號而選擇該些時脈訊號之其中一時脈訊號輸出。第一邏輯閘343具有一第一輸入端、一第二輸入端與一輸出端，第一邏輯閘343之第一輸入端接收時脈訊號，第一邏輯閘343之第二輸入端接收第一選擇單元341所輸出的時脈訊號的反相訊號，且第一邏輯閘343之輸出端輸出時脈訊號與反向的時脈訊號，並產生一第一邏輯訊號。第二邏輯閘345具有一第一輸入端、一第二輸入端與一輸出端，第二邏輯閘345之第一輸入端接收時脈訊號，第二邏輯閘345之第二輸入端接收第一選擇單元341所輸出的時脈訊號，產生一第二邏輯訊號並由第二邏輯閘345之輸出端輸出第二邏輯訊號。第二選擇單元347接收第一邏輯訊號與第二邏輯訊號並依據微分訊號，而輸出轉換訊號，即第二選擇單元347透過微分訊號而選擇第一邏輯訊號或第二邏輯訊號輸出。本發明之第一選擇單元341與第二選擇單元347之一較佳實施例為一多工器，第一邏輯閘343之一較佳實施例為一及閘，第二邏輯閘345之一較佳實施例為一或閘。因此，即可避免高時脈的使用，而適用於高速的數位類比轉換器。

此外，本發明數位類比轉換裝置之邏輯電路34更包含一反相器349，以反相第一選擇單元341所輸出的時脈訊

號，並將反相的時脈訊號傳送至第一邏輯閘343。

請一併參閱第七圖，係為本發明之邏輯電路之一較佳實施例之時序圖。如圖所示，本發明之邏輯電路34係接收複數時脈訊號與微分訊號，於此實施例中，邏輯電路34係接收一第一時脈訊號CK0、一第二時脈訊號CK1、一第三時脈訊號CK2與一第四時脈訊號CK3，並且邏輯電路34所接收之微分訊號之位元數為三位元(000~111)，邏輯電路34係依據微分訊號之大小而邏輯運算該些時脈訊號(CK0~CK3)，以產生轉換訊號，即當微分訊號為000時，表示第一時脈訊號CK0*第一時脈訊號CK0之反相訊號，而產生一第一轉換訊號，也就是微分訊號為000時，第一選擇單元341係依據微分訊號之最低二位元的大小而選擇第一時脈訊號CK0、第二時脈訊號CK1、第三時脈訊號CK2與第四時脈訊號CK3之其中之一時脈訊號輸出，由於此實施例之微分訊號之最低二位元為00，第一選擇單元341則輸出第一時脈訊號CK0，第一邏輯閘343則邏輯運算第一時脈訊號CK0*第一時脈訊號CK0之反相訊號產生第一轉換訊號，並透過第二選擇單元347輸出第一轉換訊號。

同理，當微分訊號為001時，表示第一時脈訊號CK0*第二時脈訊號CK1之反相訊號，而產生一第二轉換訊號；當微分訊號為010時，表示第一時脈訊號CK0*第三時脈訊號CK2之反相訊號，而產生一第三轉換訊號；當微分訊號為011時，表示第一時脈訊號CK0*第四時脈訊號CK3之反相訊號，而產生一第四轉換訊號。

當微分訊號為100時，表示第一時脈訊號CK0+第一時

脈訊號CK0，而產生一第五轉換訊號，也就是第二邏輯閘345邏輯運算第一時脈訊號CK0+第一時脈訊號CK0而產生第五轉換訊號，並透過第二選擇單元347輸出第四轉換訊號。同理，當微分訊號為101時，表示第一時脈訊號CK0+第二時脈訊號CK1，而產生一第六轉換訊號；當微分訊號為110時，表示第一時脈訊號CK0+第三時脈訊號CK2，而產生一第七轉換訊號；當微分訊號為111時，表示第一時脈訊號CK0+第四時脈訊號CK3，而產生一第八轉換訊號。

由上述可知，第二選擇單元347係依據微分訊號之最高位元之大小，而選擇第一邏輯閘343或第二邏輯閘345輸出。再者，本發明之邏輯邏輯電路34係依據微分訊號之大小，而產生不同脈波寬度大小的轉換訊號，以供後續電路使用。

請參閱第八圖，係本發明之積分電路之一較佳實施例之電路圖。同時，請一併復參閱第四圖。如圖所示，本發明之積分電路50更包含一第一電流源 I_{Int1} 、一第一開關pos、一第二開關neg、一輸出電容 C_{Int} 與一第二電流源 I_{Int2} 。第一開關pos耦接第一電流源 I_{Int1} ，且第一電流源 I_{Int1} 提供一電流至第一開關pos，第二開關neg耦接第一開關pos，輸出電容 C_{Int} 之一端耦接於第一開關pos與第二開關neg之間，輸出電容 C_{Int} 之另一端耦接於接地端，第二電流源 I_{Int2} 之一端耦接第二開關neg，第二電流源 I_{Int2} 之另一端耦接於接地端，其中，第一開關pos與第二開關neg受控於轉換訊號。轉換訊號包含一正轉換訊號與一負轉換訊號，正轉換訊號用以控制第一開關pos；負轉換訊號用以控制第二開關neg，如第四圖所示，當

微分訊號之第一位數為0時，則禁能負轉換訊號，以截止第二開關neg，並當正轉換訊號之準位為正時，則第一開關pos導通，電流則會經由第一電流源 I_{Int1} 流出，並對輸出電容 C_{Int} 進行充電，而使積分電路50之輸出電壓上升，同理，當微分訊號之第一位數為1時，則禁能正轉換訊號，以截止第一開關pos，並當負轉換訊號之準位為正時，則第二開關neg導通，使輸出電容 C_{Int} 進行放電，而使積分電路50之輸出電壓下降。因此，即可達到低功率效能之目的。

請參閱第九圖，係本發明數位類比轉換裝置之另一較佳實施例之方塊圖。如圖所示，此實施例不同於第一圖之實施例，在於此實施例更包含一數位前端電路10，耦接微分電路20以產生數位訊號，並送至微分電路20。此外，本發明之數位類比轉換裝置之數位前端電路10之一較佳實施例為一脈衝編碼調變電路。

請一併參閱第十圖，係本發明之數位類比轉換裝置之一較佳實施例之時序圖。如圖所示，當轉換訊號為正時，積分電路50之輸出電壓則上升，即數位類比轉換裝置之輸出電壓上升，當轉換訊號為負時，積分電路50之輸出電壓則下降，即數位類比轉換裝置之輸出電壓下降，並且轉換訊號之脈波寬度將決定於積分電路50之輸出電壓之上升或下降的時間。

綜上所述，本發明數位類比轉換裝置包含微分電路、轉換電路與積分器，微分電路接收數位訊號並將數位訊號微分後產生微分訊號，轉換電路轉換微分訊號後並依據時脈訊號與微分訊號產生轉換訊號，積分電路耦轉換

電路，並積分轉換訊號並輸出，如此，本發明係藉由微分電路與積分電路組合，以達到節省硬體電路的面積，進而降低產品晶片製作之成本。並避免使用一動態元件匹配電路，而達到節省硬體電路的面積，進而降低產品晶片製作之成本，且不需使用單位元件而可降低雜訊失真之問題。

故本發明實為一具有新穎性、進步性及可供產業上利用者，應符合我國專利法專利申請要件無疑，爰依法提出發明專利申請，祈鈞局早日賜准專利，至感為禱。

惟以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

[0005] 第一圖係本發明之數位類比轉換裝置之一較佳實施例之方塊圖；

第二圖係本發明之轉換電路之一較佳實施例之方塊圖；

第三圖係本發明之轉換電路之另一較佳實施例之方塊圖

；

第四圖係本發明之邏輯電路之一較佳實施例之時序圖；

第五圖係本發明之轉換電路之另一較佳實施例之方塊圖

；

第六圖係本發明之邏輯電路之一較佳實施例之方塊圖；

第七圖係本發明之邏輯電路之一較佳實施例之時序圖；

第八圖係本發明之積分電路之一較佳實施例之電路圖；

第九圖係本發明之數位類比轉換裝置之另一較佳實施例

之方塊圖；以及

第十圖係本發明數位類比轉換裝置之一較佳實施例之時序圖。

【主要元件符號說明】

[0006]	20	微分電路
	30	轉換電路
	32	除頻電路
	33	多重時脈相位產生電路
	34	邏輯電路
	341	第一選擇單元
	343	第一邏輯閘
	345	第二邏輯閘與
	347	第二選擇單元
	349	反相器
	36	轉換器
	50	積分電路
	C_{Int}	輸出電容
	I_{Int1}	第一電流源
	I_{Int2}	第二電流源
	neg	第二開關
	pos	第一開關

七、申請專利範圍：

1 . 一種數位類比轉換裝置，其包含有：

一微分電路，接收一數位訊號，並微分該數位訊號而產生一微分訊號；

一轉換電路，耦接該微分電路，該轉換電路接收該微分訊號並依據一時脈訊號與該微分訊號，而產生一轉換訊號；以及

一積分電路，耦接該轉換電路，該積分電路接收並積分該轉換訊號而產生一類比訊號。

2 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該積分電路包含：

一第一電流源，提供一電流；

一第一開關，耦接該第一電流源，並接收該第一電流；

一第二開關，耦接該第一開關；

一輸出電容，其一端耦接於該第一開關與該第二開關之間，另一端耦接於一接地端；以及

一第二電流源，其一端耦接於該第二開關，另一端耦接該接地端；

其中，該第一開關與該第二開關受控於該轉換訊號。

3 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該積分電路為一電荷幫浦。

4 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該轉換電路更包含：

一除頻電路，接收該時脈訊號，該除頻電路降頻該時脈訊號而產生一除頻訊號；以及

一邏輯電路，耦接該微分電路與該除頻電路，該邏輯電路接收該時脈訊號與該微分訊號，而產生該轉換訊號。

5. 如申請專利範圍第4項所述之數位類比轉換裝置，其中該轉換電路更包含：

一轉換器，耦接該微分電路與該邏輯電路，該轉換器轉換該微分訊號，並輸出該微分訊號至該邏輯電路。

6. 如申請專利範圍第5項所述之數位類比轉換裝置，其中該轉換器為一二進制轉符號數值轉換器。

7. 如申請專利範圍第1項所述之數位類比轉換裝置，其中該轉換電路更包含：

一多重時脈相位產生電路，接收該時脈訊號，而產生複數參考時脈，該些參考時脈之相位不同；以及

一邏輯電路，耦接該微分電路與該多重時脈相位產生電路，該邏輯電路接收該些參考時脈與該微分訊號，而產生該轉換訊號。

8. 如申請專利範圍第7項所述之數位類比轉換裝置，其中該轉換電路更包含：

一轉換器，耦接該微分電路與該邏輯電路，該轉換器轉換該微分訊號，並輸出該微分訊號至該邏輯電路。

9. 如申請專利範圍第4項所述之數位類比轉換裝置，其中該邏輯電路更包含：

一第一選擇單元，接收該微分訊號與該時脈訊號，該第一選擇單元依據該微分訊號，而輸出該時脈訊號；

一第一邏輯閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該時脈訊號，該第二輸入端接收該第一選擇單元輸出之該時脈訊號的反相訊號，該輸出端

則輸出一第一邏輯訊號；

一第二邏輯閘，具有一第一輸入端、一第二輸入端與一輸出端，該第一輸入端接收該時脈訊號，該第二輸入端接收該第一選擇單元輸出之該時脈訊號，該輸出端輸出該一第二邏輯訊號；以及

一第二選擇單元，接收該第一邏輯訊號與該第二邏輯訊號，並依據該微分訊號，而輸出該轉換訊號。

10 . 如申請專利範圍第9項所述之數位類比轉換裝置，其中該第一選擇單元與第二選擇單元為一多工器。

11 . 如申請專利範圍第9項所述之數位類比轉換裝置，其更包括：

一反相器，反相該第一選擇單元輸出之該時脈訊號，並傳送該第一選擇單元輸出之該時脈訊號的該反相訊號至該第一邏輯閘。

12 . 如申請專利範圍第9項所述之數位類比轉換裝置，其中該第一邏輯閘為一及閘。

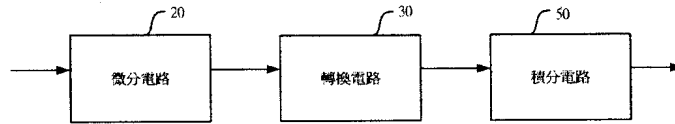
13 . 如申請專利範圍第9項所述之數位類比轉換裝置，其中該第二邏輯閘為一或閘。

14 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該數位訊號為一脈衝編碼調變訊號 (Pulse-code modulation, PCM)。

15 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該轉換訊號為一量化脈衝寬度調變訊號 (Quantized Pulse Width Modulation, QPWM)。

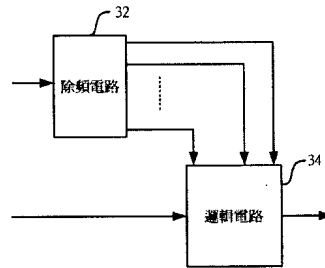
16 . 如申請專利範圍第1項所述之數位類比轉換裝置，其中該積分電路為一類比積分電路。

八、圖式：



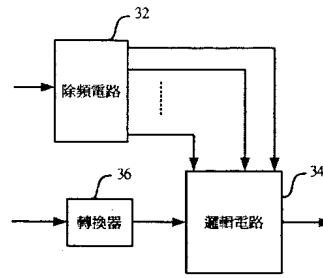
第一圖

30

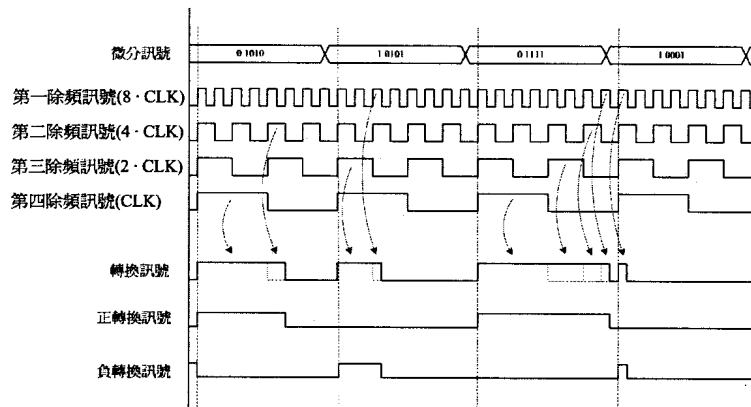


第二圖

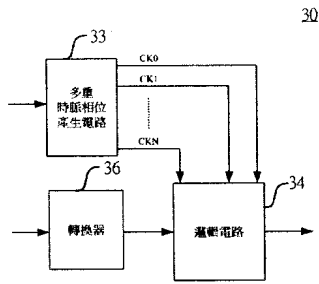
30



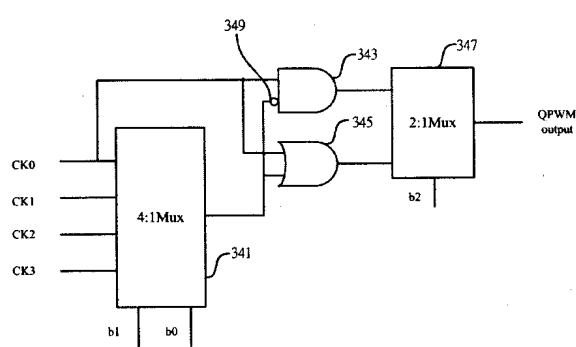
第三圖



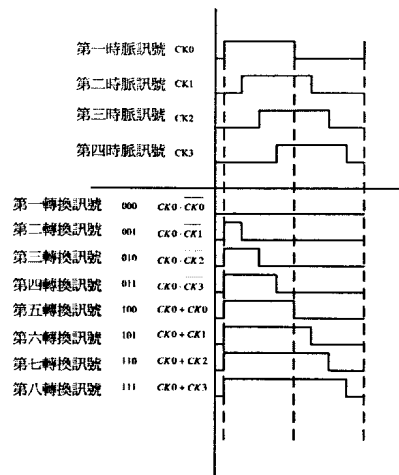
第四圖



第五圖



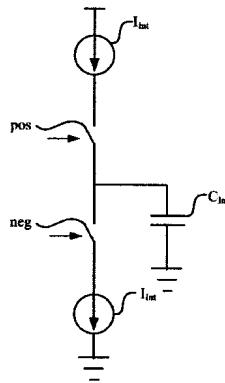
第六圖



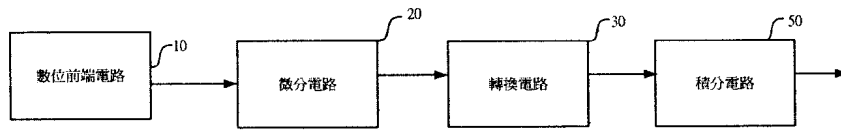
第七圖

大正三輪船株式會社

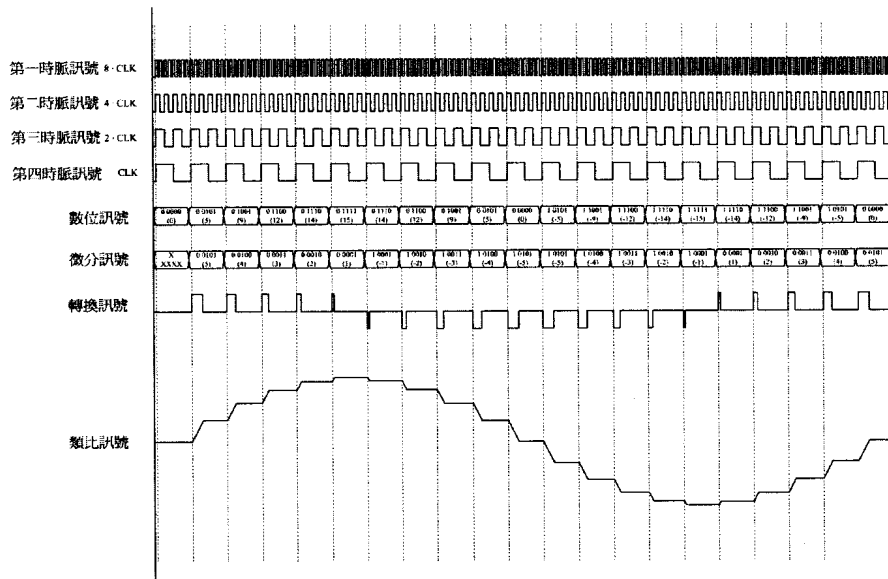
50



第八圖



第九圖



第十圖