

(21) 申請案號：099101442

(22) 申請日：中華民國 99 (2010) 年 01 月 20 日

(51) Int. Cl. : H03L7/08 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
 新竹市大學路 1001 號

(72) 發明人：陳巍仁 CHEN, WEI ZEN (TW) ; 李彥緯 LEE, YEN WEI (TW)

(74) 代理人：陳昭誠

申請實體審查：有 申請專利範圍項數：15 項 圖式數：6 共 39 頁

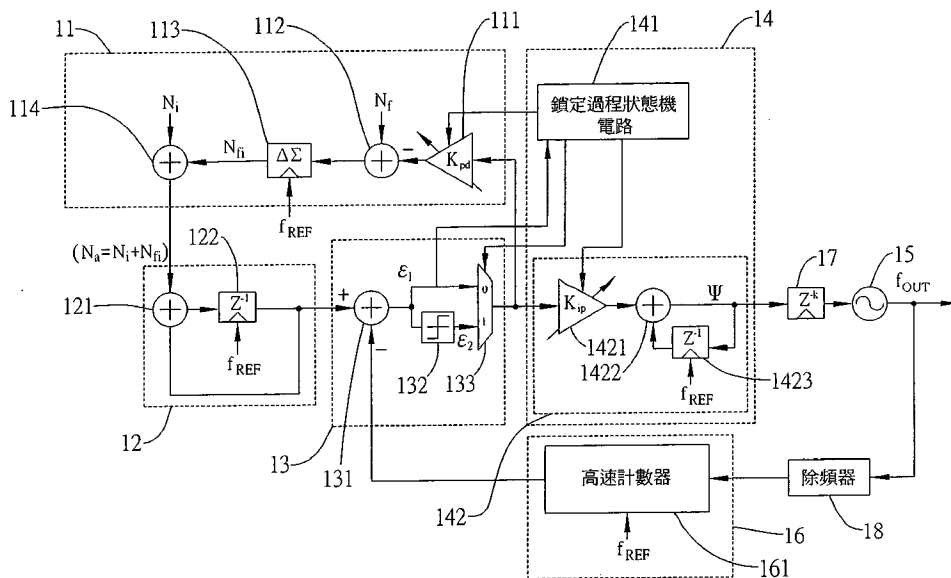
(54) 名稱

鎖相迴路頻率合成器及其迴路鎖定方法

PHASE LOCK FREQUENCY SYNTHESIZER AND CIRCUIT LOCKING METHOD THEREOF

(57) 摘要

一種鎖相迴路頻率合成器及其迴路鎖定方法，該鎖相迴路頻率合成器包括參考路徑和差調變器回授電路、耦接於該參考路徑和差調變器回授電路的輸出端之參考相位積分電路、耦接於該參考相位積分電路的輸出端之相位/頻率偵測器、耦接於該相位/頻率偵測器的輸出端及該參考路徑和差調變器回授電路的輸入端之迴路濾波器、耦接於該迴路濾波器輸出端之振盪器、以及耦接於該振盪器的輸出端及該相位/頻率偵測器的輸入端之回授相位積分電路。藉由本發明鎖相迴路頻率合成器，使振盪器能產生對應參考訊號之頻率訊號，並具有抗雜訊、提高解析度及易於整合之功效。



- 11：參考路徑和差調變器回授電路
- 12：參考相位積分電路
- 13：相位/頻率偵測器
- 14：迴路濾波器
- 15：數位控制振盪器
- 16：回授相位積分電路
- 17：暫存器
- 18：除頻器
- 111：路徑倍率裝置
- 112：加法器
- 113：和差調變器
- 114：加法器
- 121：加法器
- 122：暫存器
- 131：加法器

- 132：二位元相位偵測器
- 133：多工器
- 141：鎖定過程狀態機電路
- 142：迴路濾波器電路
- 161：高速計數器
- 1421：迴路倍率裝置
- 1422：加法器
- 1423：暫存器
- $\varepsilon_1$ ：相位差資訊
- $\varepsilon_2$ ：相位差極值
- $\Psi$ ：控制調整信號
- $f_{OUT}$ ：輸出訊號
- $f_{REF}$ ：參考訊號
- $N_a$ ：頻率控制碼
- $N_f$ ：小數頻率控制碼
- $N_{fi}$ ：小數控制碼
- $N_i$ ：整數頻率控制碼

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99101442

※申請日： 99.1.20 ※IPC分類：H03L7/08(2006.01)

## 一、發明名稱：(中文/英文)

鎖相迴路頻率合成器及其迴路鎖定方法

PHASE LOCK FREQUENCY SYNTHESIZER AND CIRCUIT  
LOCKING METHOD THEREOF

## 二、中文發明摘要：

一種鎖相迴路頻率合成器及其迴路鎖定方法，該鎖相迴路頻率合成器包括參考路徑和差調變器回授電路、耦接於該參考路徑和差調變器回授電路的輸出端之參考相位積分電路、耦接於該參考相位積分電路的輸出端之相位/頻率偵測器、耦接於該相位/頻率偵測器的輸出端及該參考路徑和差調變器回授電路的輸入端之迴路濾波器、耦接於該迴路濾波器輸出端之振盪器、以及耦接於該振盪器的輸出端及該相位/頻率偵測器的輸入端之回授相位積分電路。藉由本發明鎖相迴路頻率合成器，使振盪器能產生對應參考訊號之頻率訊號，並具有抗雜訊、提高解析度及易於整合之功效。

### 三、英文發明摘要：

The invention provides a phase lock frequency synthesizer and a circuit locking method thereof, the phase lock frequency synthesizer comprising a reference route/attuning feedback circuit, a reference phase integrated circuit coupled to the output end of the reference route/attuning feedback circuit, a phase/frequency detector coupled to the output of the reference phase integrated circuit, a circuit wave filter coupled to the output of the phase/frequency detector and the input of the reference route/attuning feedback circuit, an oscillator coupled to the output of the circuit wave filter, and a feedback phase integrated circuit coupled to the output of the oscillator and the input of the phase/frequency detector. The invention employs the phase lock frequency synthesizer to enable the oscillator to generate corresponding frequency signals which yields the advantages of resisting noise signals, increasing degrees of resolution and ease in integration.

## 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

- |                      |               |
|----------------------|---------------|
| 11                   | 參考路徑和差調變器回授電路 |
| 111                  | 路徑倍率裝置        |
| 112、114、121、131、1422 | 加法器           |
| 113                  | 和差調變器         |
| 12                   | 參考相位積分電路      |
| 122、1423、17          | 暫存器           |
| 13                   | 相位/頻率偵測器      |
| 132                  | 二位元相位偵測器      |
| 133                  | 多工器           |
| 14                   | 迴路濾波器         |
| 141                  | 鎖定過程狀態機電路     |
| 142                  | 迴路濾波器電路       |
| 1421                 | 迴路倍率裝置        |
| 15                   | 數位控制振盪器       |
| 16                   | 回授相位積分電路      |
| 161                  | 高速計數器         |
| 18                   | 除頻器           |
| $\varepsilon_1$      | 相位差資訊         |
| $\varepsilon_2$      | 相位差極值         |
| $\Psi$               | 控制調整信號        |
| $f_{REF}$            | 參考訊號          |

$f_{OUT}$	輸出訊號
$N_i$	整數頻率控制碼
$N_f$	小數頻率控制碼
$N_a$	頻率控制碼
$N_{fi}$	小數控制碼

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種鎖相迴路頻率合成器及其迴路鎖定方法，詳而言之，係有關於一種非整數數位式鎖相迴路頻率合成器及其迴路鎖定方法。

### 【先前技術】

鎖相迴路(phase-locked loop, PLL)係為一種用以產生與參考訊號的相位有一固定比例的訊號之電子控制系統，其利用反饋原理使得參考訊號與輸出訊號的頻率/相位得以同步。當鎖相迴路偵測到參考訊號之頻率/相位有變化時，會通過內部的反饋系統以調整輸出訊號(即調整振盪器的頻率)，直到鎖相迴路所輸出的訊號與參考訊號在頻率/相位上同步為止，故輸出訊號的頻率/相位可以趕上參考訊號的頻率/相位，亦即，輸出訊號的頻率/相位可被參考訊號的頻率/相位所鎖定，此稱之為「鎖相」。

鎖相迴路電路可進行資料與時脈的恢復、頻率與相位的調變與解調變、以及產生穩定且可倍頻的時脈，因此可被廣泛地應用在許多數位電子儀器、消費性產品及通訊裝置中，例如頻率合成器(frequency synthesizer)。習知技術中，鎖相迴路多以類比技術來實現，然而在深次微米製程下，傳統類比鎖相迴路由於工作電壓低，使其工作範圍變小因而較難設計且不易隨著製程而縮小面積，因此較難同時達成快速鎖相及低雜訊的特性。

近年來隨著電子元件製程的演進，數位電路在性能上

及面積上的優勢逐漸增加，針對以往類比鎖相迴路提出了利用數位振盪器的概念，藉由數位訊號來控制振盪器的頻率以達到高震盪率及高解析度，因而使得應用於 RF 頻帶之全數位式鎖相迴路的架構得以實現。中華民國第 400672 號專利案係提出一種數位頻率合成器及其頻率合成方法，其中數位頻率合成器係包括頻率追蹤單位、一對可變延遲迴路振盪器及時脈控制單元，而兩組振盪器分別作為時脈信號輸出及提供回饋信號予頻率追蹤單元，然由於採用兩組頻率產生器因而不易產生較高頻率，且若兩組頻率產生器沒有良好匹配則會使輸出之頻率產生誤差。又中華民國第 200919976 專利公開案係提出一種全數位鎖相迴路，其中全數位鎖相迴路係包括數位迴路濾波器及跨越數位迴路濾波器之調變器，而調變器係包含累加器、累加放大器及路徑倍率裝置，且於迴路中係利用時間至數位轉換器偵測相位的小數部份，然而時間至數位轉換器在設計上有其複雜性且轉換器的解析度亦會受製程偏移所影響。

此外，值得一提的是，對傳統鎖相迴路頻率合成器技術而言，在設計中為了顧及系統穩定度，大多將迴路濾波器電路 22 以直饋路徑加上以一積分器(由加法器 255 及暫存器 223 組成)所實現之積分路徑的架構實現，如第 1 圖所示，其係習知技術之鎖相迴路頻率合成器。在迴路最終鎖定過程之中，相位/頻率偵測器 21 的輸出係直接送入迴路濾波器電路 22 中進行濾波，再送入振盪器 23 調整輸出訊號  $f_{OUT}$ ，然而，此技術雖解決了習知系統穩定度的問題，



卻同時在輸出訊號  $f_{OUT}$  上產生極大的突波(spur)，此種現象尤在數位鎖相迴路頻率合成器更為明顯。

因此，數位電路相較於類比電路而言仍有如量化造成的雜訊、量化誤差等缺失，此外，於習知非整數數位鎖相迴路中，多模除法器在不同的製程下皆須重新設計，不僅費時費工也會消耗較多功率，再者，為了同時兼顧頻率解析倍率和鎖相範圍，必須利用高位元數的累加器其係浪費硬體空間。

是以，如何能提出一種非整數數位式鎖相迴路頻率合成器及其迴路鎖定方法，能具有可程式化、抗雜訊、提高解析度及易於整合之功效，且不易受環境、溫度與電壓偏移等因素干擾，進而可隨著製程演進減少其使用面積，遂成為目前亟待解決的課題。

#### 【發明內容】

鑑於上述習知技術之缺點，本發明提供一種鎖相迴路頻率合成器及其鎖定方法，可提高解析度且降低雜訊及複雜度，並具有快速鎖定的特性。

本發明之鎖相迴路頻率合成器，係包括：參考路徑和差調變器回授電路，係用以供輸入小數頻率控制碼及整數頻率控制碼以產生一頻率控制碼；參考相位積分電路，係耦接於該參考路徑和差調變器回授電路的輸出端，用以依據該參考路徑和差調變器回授電路所輸出之該頻率控制碼產生並輸出一參考相位資訊；相位/頻率偵測器，係耦接於該參考相位積分電路的輸出端，用以偵測該參考相位資訊

及一回授相位資訊，以輸出相位差資訊；迴路濾波器，係耦接該相位/頻率偵測器的輸出端及該參考路徑和差調變器回授電路的輸入端，包括鎖定過程狀態機電路及具有迴路參數之迴路濾波器電路，該鎖定過程狀態機電路依據該相位差資訊調整該迴路參數以輸出一控制信號；振盪器，係耦接於該迴路濾波器電路的輸出端，用以依據該迴路濾波器電路所輸出之控制信號產生一頻率輸出訊號；以及回授相位積分電路，係耦接於該振盪器的輸出端及該相位/頻率偵測器的輸入端，用以依據該振盪器所提供之頻率輸出訊號產生該回授相位資訊並將該回授相位資訊輸入至該相位/頻率偵測器，其中，該參考路徑和差調變器回授電路係從該相位/頻率偵測器拉回一負回授至該參考相位積分電路，俾使該振盪器產生對應該參考訊號之頻率訊號。

本發明之鎖相迴路頻率合成器之參考路徑和差調變器回授電路包含路徑倍率裝置，該路徑倍率裝置具有路徑參數，其中，該參考路徑和差調變器回授電路透過該路徑參數之設定以調整該相位/頻率偵測器所回授輸入之相位差資訊。此外，本發明之鎖相迴路頻率合成器之迴路濾波器電路包括迴路倍率裝置，該迴路倍率裝置具有該迴路參數，係透過該鎖定過程狀態機電路進行設定以調整該迴路濾波器輸出之控制訊號。

此外，該參考路徑和差調變器回授電路包括和差調變器和兩個加法器，該參考相位積分電路可為一累加器，而該和差調變器將所接收之該小數頻率控制碼轉換為小數控

制碼並輸出該小數控制碼與該整數頻率控制碼相加，得到頻率控制碼之後再由該累加器對頻率控制碼進行累加以產生該參考相位資訊。

再者，該相位/頻率偵測器具有多工器，係操作於鎖頻狀態或鎖相狀態，於鎖頻狀態時，該相位/頻率偵測器直接輸出該相位差資訊，而於鎖相狀態時，該相位/頻率偵測器利用一二位元相位偵測器將該相位差資訊轉換為相位差資訊極值。

本發明之一種應用於鎖相迴路頻率合成器之迴路鎖定方法，係包括：(1)令該參考路徑和差調變器回授電路切斷來自該相位/頻率偵測器之回授輸入、令該相位/頻率偵測器操作於鎖頻狀態、以及令該迴路濾波器電路關閉暫存器；(2)提供該小數頻率控制碼及該整數頻率控制碼予該參考路徑和差調變器回授電路以產生該頻率控制碼，並提供一參考訊號予該參考相位積分電路以依據該頻率控制碼輸出該參考相位資訊至該相位/頻率偵測器，同時，令該回授相位積分電路依據該振盪器之輸出訊號產生回授相位資訊；(3)令該相位/頻率偵測器計算該參考相位資訊與該回授相位資訊之差值以輸出相位差資訊；(4)該鎖定過程狀態機電路依據該相位差資訊調整該迴路濾波器電路之迴路參數，俾使該迴路濾波器電路依據經調整之該迴路參數以輸出一控制信號，使該振盪器依據該控制信號產生輸出訊號；(5)將該輸出訊號透過該回授相位積分電路產生回授相位資訊並輸入至該相位/頻率偵測器，並重複執行步驟(3)

至(5)直到該迴路參數減少至第一預設值時，進至步驟(6)；以及(6)該鎖定過程狀態機電路開啟該迴路濾波器電路的暫存器、將該迴路參數固定於該第一預設值、以及使該相位/頻率偵測器操作於鎖相狀態，且將該參考路徑和差調變器回授電路之路徑參數設定為第二預設值，以使該相位/頻率偵測器至該參考路徑和差調變器回授電路形成一負回授電路，俾使該振盪器之輸出訊號為對應該參考訊號之頻率訊號。

相較於習知技術，本發明之鎖相迴路頻率合成器將傳統迴路濾波器技術中，連至振盪器的直饋路徑拉回至參考相位積分電路，以調整鎖相迴路頻率合成器的參考相位，即為本發明中從該相位/頻率偵測器經該參考路徑和差調變器回授電路拉回至該參考相位積分電路之負回授；而送入振盪器之迴路濾波器則變為僅用一以積分器(由加法器 1422 及暫存器 1423 組成)實現之積分路徑所構成。因此，藉由本發明之迴路鎖定方法之實現，不僅解決以往系統穩定度的問題，同時有效的降低輸出訊號  $f_{OUT}$  上的突波問題，大大提升鎖相迴路頻率合成器的輸出效能。

同時，本發明之鎖相迴路頻率合成器及其迴路鎖定方法，透過在參考路徑和差調變器回授電路中加入和差調變器，不僅可降低鎖相迴路頻率合成器中累加器(即參考相位積分電路)之負荷，並可降低迴路中的雜訊，此外，迴路濾波器中的鎖定過程狀態機電路可依據該相位/頻率偵測器所輸出之相位差訊號調整該迴路參數的值，以使該數位控

制振盪器所產生之輸出訊號會逐漸追上所提供之參考訊號，最後當該迴路參數的值被調整至第一預設值時，則將該參考路徑和差調變器回授電路的路徑參數設定為第二預設值以使該相位/頻率偵測器至該參考路徑和差調變器回授電路形成負回授電路，俾使該振盪器之輸出訊號為對應該參考訊號之頻率訊號。

### 【實施方式】

以下係藉由較佳的具體實施例說明本發明之實施方式，熟悉此技術之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。以下之實施例係進一步詳細說明本發明之觀點，但並非以任何觀點限制本發明之範疇。

請參閱第 2 圖，係本發明之鎖相迴路頻率合成器之基本架構之實施例示意圖，本發明之鎖相迴路頻率合成器包括參考路徑和差調變器回授電路 11、參考相位積分電路 (reference phase accumulator, reference PAC) 12、相位/頻率偵測器 (dual-mode phase frequency detector, DPD) 13、迴路濾波器 (loop filter) 14、數位控制振盪器 (digital controlled oscillator, DCO) 15 及回授相位積分電路 (feedback phase accumulator, feedback PAC) 16。需說明於本實施例中，如第 2 圖所示，僅繪示本發明之鎖相迴路頻率合成器之基本主要架構，於其他實施例中可包括其他次要之構件。

參考路徑和差調變器回授電路 11 包括路徑倍率裝置 111、加法器 112 及 114、和差調變器 (delta-sigma modulator, 或三角積分調變器) 113。參考路徑和差調變器回授電路 11 藉由輸入小數頻率控制碼  $N_f$  (fractional number) 及整數頻率控制碼  $N_i$  (Integer number) 以產生一頻率控制碼  $N_a$ 。

路徑倍率裝置 111 用以調整相位/頻率偵測器 13 的回授輸入。於本實施例中，路徑倍率裝置 111 具有路徑參數  $K_{pd}$  (programmable gain)，路徑參數  $K_{pd}$  的初始值  $K_{pd,0}$  之較佳態樣為實質上的零，當路徑參數  $K_{pd}$  被設定為零時，相位/頻率偵測器 13 所回授之回授路徑等效上是打斷的，意即輸入之相位差資訊為零。

加法器 112 耦接於路徑倍率裝置 111 的輸出端，用以接收路徑倍率裝置 111 的輸出。提供一小數頻率控制碼  $N_f$  予加法器 112，而加法器 112 執行小數頻率控制碼  $N_f$  與路徑倍率裝置 111 的輸出之相減程序以產生相減值，換言之，於從相位/頻率偵測器 13 拉回負回授的情形下，路徑倍率裝置 111 與加法器 112 之組成為一負回授迴路。

和差調變器 113 耦接於加法器 112 的輸出端，用以接收加法器 112 的輸出以轉換為一小數控制碼  $N_{fi}$  並輸出小數控制碼  $N_{fi}$  予加法器 114。詳言之，和差調變器 113 可對小數頻率控制碼  $N_f$  執行降階以降低參考相位積分電路 12 的負載，例如，小數頻率控制碼  $N_f$  為 8 位元，和差調變器 113 可將其降階為 2 位元。

加法器 114 耦接於和差調變器 113 的輸出端，用以接收和差調變器 113 所輸出之小數控制碼  $N_{fi}$ 。提供一整數頻率控制碼  $N_i$  予加法器 114，而加法器 114 執行該整數頻率控制碼  $N_i$  與小數控制碼  $N_{fi}$  之相加程序以輸出頻率控制碼  $N_a$  ( $N_a=N_i+N_{fi}$ ) 予參考相位積分電路 12。

參考相位積分電路 12 耦接於加法器 114 的輸出端，包括加法器 121 及暫存器 122。參考相位積分電路 12 用以依據參考路徑和差調變器回授電路 11 所輸出之頻率控制碼  $N_a$  ( $N_a=N_i+N_{fi}$ ) 產生並輸出一參考相位資訊。具體而言，參考相位積分電路 12 為一累加器。參考相位積分電路 12 對頻率控制碼  $N_a$  ( $N_a=N_i+N_{fi}$ ) 執行累加程序，長時間而言，累加頻率控制碼  $N_a$  等同於累加總頻率控制碼  $N$  ( $N=N_i+N_f$ )，故此累加器所累加之相位可視為參考相位，並將參考相位資訊送予相位/頻率偵測器 13。

具體實施時，在每個參考訊號(如圖中所示之提供予和差調變器 113、暫存器 122、1423 及高速計數器 161 之 reference frequency,  $f_{REF}$ ) 上升邊緣來臨時，和差調變器 113 隨著時間的累積在各時間點會產生不同的整數輸出(即小數控制碼  $N_{fi}$ )，此隨時間改變的整數組合使得和差調變器 113 在長時間的累積下其輸出的值可作為小數的表示，即所提供的小數頻率控制碼  $N_f$ 。換言之，雖然每次參考相位積分電路 12 所累加的輸入頻率控制碼 ( $N_a=N_i+N_{fi}$ ) 皆為整數，但透過使用和差調變器 13 輸出小數控制碼  $N_{fi}$  致使參考相位積分電路 12 在長時間運作下，在每個參考訊號  $f_{REF}$

上升邊緣來臨時所累積的相位實際上為所提供的總頻率控制碼  $N$  ( $N=N_i+N_f$ )。

相位/頻率偵測器 13 耦接於參考相位積分電路 12 的輸出端，包括加法器 131、二元式相位偵測器(bang-bang)132 及多工器 133。相位/頻率偵測器 13 用以偵測參考相位資訊及回授相位資訊，以當本發明之頻率合成器工作於鎖頻狀態時產生相位差資訊  $\varepsilon_1$ ，於鎖相狀態時產生相位差資訊極值  $\varepsilon_2$ 。所謂鎖頻狀態係指相位/頻率偵測器 13 的輸出直接饋入下一級的迴路濾波器電路 142，鎖相狀態係指相位/頻率偵測器 13 的輸出會回授輸入至參考路徑和差調變器回授電路 11，而鎖頻狀態與鎖相狀態的切換機制將詳述於下。

加法器 131 耦接於暫存器 122 的輸出端及回授相位積分電路 16 的輸出端，用以將從參考相位積分電路 12 所輸出之參考相位資訊與從回授相位積分電路 16 所輸出之回授相位資訊相減，以產生相位差資訊  $\varepsilon_1$ 。

二元式相位偵測器(bang-bang)132 耦接於加法器 131 的輸出端，用以於鎖相狀態時將加法器 131 所產生之相位差資訊  $\varepsilon_1$  轉換為相位差資訊極值  $\varepsilon_2$ 。具體而言，相位差資訊極值  $\varepsilon_2$  為二進制數值，當  $\varepsilon_1$  大於等於 0 時， $\varepsilon_2$  為 1，當  $\varepsilon_1$  小於 0 時， $\varepsilon_2$  為 -1。詳言之，相位差資訊  $\varepsilon_1$  的意義為頻率差，相位差資訊極值  $\varepsilon_2$  的意義為相位差。而多工器 133 則會依據鎖定過程狀態機電路 141 的命令選擇輸出相位差資訊  $\varepsilon_1$  或相位差資訊極值  $\varepsilon_2$ 。



多工器 133 耦接於加法器 131 及二元式相位偵測器 132 的輸出端、迴路濾波器電路 142 及參考路徑和差調變器 11 的輸入端。多工器 133 之鎖頻狀態或鎖相狀態係依據鎖定過程狀態機電路 141 的命令而決定。具體而言，於本實施例中，當迴路參數  $K_{ip}$  需到達第一預設值  $K_{ip,min}$  時進入鎖相狀態，鎖定過程狀態機電路 141 才會開啟二元式相位偵測器 132 以令多工器 133 輸出相位差資訊極值  $\varepsilon_2$  予迴路濾波器電路 142 及參考路徑和差調變器回授電路 11，否則於鎖頻狀態時，相位/頻率偵測器 13 僅輸出相位差資訊  $\varepsilon_1$  且僅傳予迴路濾波器電路 142。

此外，於鎖相狀態時，參考路徑和差調變器回授電路 11 透過路徑參數  $K_{pd}$  之設定以調整輸入相位/頻率偵測器 13 所拉回的負回授並將此負回授送入和差調變器 113 之中。需說明的是，於一般設計之中，小數頻率控制碼  $N_f$  直接輸入和差調變器 113 並使和差調變器 113 輸出一固定的進位訊號去逼近小數頻率控制碼  $N_f$ ，例如當沒有進位時輸出“0”而有進位時輸出“1”，但此 0 和 1 的固定進位訊號造成之量化誤差會在輸出訊號  $f_{out}$  上產生明顯的小數突波 (fractional spur)。因此，於本發明中，藉由將和差調變器 113 輸入改為小數頻率控制碼  $N_f$  減去負回授的路徑參數  $K_{pd}$  之後，可有效打亂和差調變器 113 所輸出的進位訊號的模式，等效上即為打散和差調變器 113 輸出之量化誤差，故可有效降低  $f_{OUT}$  的小數突波。

迴路濾波器 14 耦接相位/頻率偵測器 13 的輸出端及參

考路徑和差調變器回授電路 11 的輸入端，包括鎖定過程狀態機電路 141 及具有迴路參數  $K_{ip}$  之迴路濾波器電路 142，鎖定過程狀態機電路 141 依據相位差資訊  $\varepsilon_1$  以調整迴路參數  $K_{ip}$ ，俾使迴路濾波器電路 142 依據經調整之迴路參數  $K_{ip}$  以輸出一控制信號。迴路濾波器電路 142 包括迴路倍率裝置 1421、加法器 1422 及暫存器 1423。

路徑倍率裝置 1421 具有迴路參數  $K_{ip}$ ，迴路參數  $K_{ip}$  透過鎖定過程狀態機電路 141 進行設定以調整迴路濾波器 14 輸出之控制信號。

暫存器 1423 係於迴路參數  $K_{ip}$  被鎖定過程狀態機電路 141 設定為第一預設值  $K_{ip,min}$  時，使迴路濾波器電路 142 進行鎖相，而於進行鎖相時，加法器 1422 與暫存器 1423 構成積分電路。

具體而言，於一開始進行鎖頻時，鎖定過程狀態機電路 141 用以偵測相位差資訊  $\varepsilon_1$  以調整迴路參數  $K_{ip}$ ，而迴路濾波器電路 142 的暫存器 1423 係用以儲存預設的控制調整信號  $\Psi$ 。當第一次鎖頻成功時，鎖定過程狀態機電路 141 會將此時的控制調整信號  $\Psi$  存入暫存器 1423 中，並同時降低迴路參數  $K_{ip}$ ，迴路濾波器電路 142 依據經降低之迴路參數  $K_{ip}$  產生一迴路控制信號，再將迴路控制信號與先前暫存器 1423 所儲存之控制調整信號  $\Psi$  相加以產生控制數位控制振盪器 15 的控制信號，接著重複偵測相位差資訊  $\varepsilon_1$  以調整迴路參數  $K_{ip}$  以輸出控制數位控制振盪器 15 的控制信號，直到將迴路參數  $K_{ip}$  調整到第一預設值  $K_{ip,min}$  時，

才開啟暫存器 1423 以進行鎖相。換言之，於進行鎖頻時，迴路濾波器電路 142 為一直饋電路，在每次調整迴路參數  $K_{ip}$  時，暫存器 1423 會先暫存此次迴路濾波器電路 142 所產生之控制調整信號  $\Psi$ ，以待與下次經降低之迴路參數  $K_{ip}$  所產生之迴路控制信號相加，因此於進行鎖頻時，迴路濾波器電路 142 所產生之輸出不會隨著參考訊號  $f_{REF}$  的時脈存入暫存器 1423。然而進行鎖相時，迴路濾波器電路 142 作為一積分電路，而暫存器 1423 會於每個參考訊號  $f_{REF}$  上升邊緣來臨時與加法器 1422 共同執行累加程序。

數位控制振盪器 15 耦接於迴路濾波器電路 142 的輸出端及回授相位積分電路 16 的輸入端，用以依據迴路濾波器電路 14 所輸出之控制信號產生一輸出訊號 (output frequency,  $f_{OUT}$ )。需說明者，於本實施例中係使用數位控制振盪器以強化本發明所達成之功效，然而，於其他實施例中使用類比控制振盪器或其他震盪器再加上一數位類比轉換器 (digital to analog converter, DAC) 亦可達到本案之功效。

回授相位積分電路 16 耦接於數位控制振盪器 15 的輸出端及相位/頻率偵測器 13 的輸入端，包括高速計數器 161 (high speed counter)。回授相位積分電路 16 用以依據數位控制振盪器 15 所提供之頻率輸出訊號產生該回授相位資訊並將該回授相位資訊輸出至相位/頻率偵測器 13。

具體實施時，隨著鎖定過程狀態機電路 141 依據相位/頻率偵測器 13 所輸出之相位差資訊  $\varepsilon_1$ ，調整迴路濾波器

電路 142 的迴路參數  $K_{ip}$ ，該迴路參數  $K_{ip}$  會越調越小直到第一預設值  $K_{ip,min}$  為止，則鎖定過程狀態機電路 141 便將原本於調整過程中僅用以暫存控制調整信號之暫存器 1423 開啟以進行鎖相，並控制多工器 133 輸出相位差資訊極值  $\varepsilon_2$  以使相位/頻率偵測器 13 操作於鎖相狀態，將參考路徑和差調變器回授電路 11 之路徑參數  $K_{pd}$  設為第二預設值  $K_{pd,PT}$ ，以使相位/頻率偵測器 13 至參考路徑和差調變器回授電路 11 形成回授電路，導致回授相位積分電路 16 所輸出之回授相位資訊符合參考相位積分電路 12 所輸出之參考相位資訊，俾使數位控制振盪器 15 之輸出訊號  $f_{OUT}$  為對應參考訊號  $f_{REF}$  乘以總頻率控制碼  $N$  的頻率訊號 ( $f_{OUT}=f_{REF} \times N$ )。

另外，本發明之鎖相迴路頻率合成器復包括暫存器 17 及除頻器 18。

暫存器 17 耦接於迴路濾波器 142 的輸出端及數位控制振盪器 15 的輸入端，用以延遲並同步從迴路濾波器 142 所輸出之資訊以於迴路濾波器 142 內所有信號都完備時再同時對數位控制振盪器 15 輸出控制信號。

除頻器 18 耦接於數位控制振盪器 15 的輸出端及回授相位積分電路 16 的輸入端，用以對由數位控制振盪器 15 所產生之輸出訊號進行除頻以產生較低頻之訊號至回授相位積分電路 16。

需說明者，本發明之鎖相迴路頻率合成器的迴路鎖定過程係分為兩階段。於第一階段時，二元式相位偵測器 132

為關閉，多工器 133 選擇上方路徑以及路徑參數  $K_{pd}$  設定為初始值  $K_{pd,0}$  (實質上為零)，代表參考路徑和差調變器回授電路 11 沒有從相位/頻率偵測器 13 拉回一負回授，因此鎖相迴路頻率合成器為一鎖定頻率 (frequency acquisition, FA) 階段，即為如第 3 圖所示，其係本發明鎖相迴路頻率合成器之鎖頻迴路之基本架構之實施例示意圖；於第二階段時，啟用二元式相位偵測器 132 以及路徑參數  $K_{pd}$  為第二預設值  $K_{pd,PT}$ ，迴路濾波器電路 142 的暫存器 1423 完全開啟以及迴路參數  $K_{ip}$  設定為第一預設值  $K_{ip,min}$ ，且參考路徑和差調變器回授電路 11 從相位/頻率偵測器 13 拉回一負回授，因此鎖相迴路頻率合成器為一鎖定相位 (phase tracking, PT) 階段，即為如第 2 圖所示。

再者，請參閱第 4 圖，其係本發明鎖相迴路頻率合成器之鎖頻迴路之迴路鎖定方法之流程圖，並請配合參閱第 3 圖及第 2 圖以瞭解本發明鎖相迴路頻率合成器於第一階段及第二階段的鎖定過程。

於步驟 S101 中，令參考路徑和差調變器回授電路 11 切斷來自相位/頻率偵測器 13 之回授輸入，亦即路徑倍率裝置 111 的路徑參數  $K_{pd}$  為初始值  $K_{pd,0}$  (實質上為零)、令相位/頻率偵測器 13 操作於鎖頻狀態，亦即關閉相位/頻率偵測器 13 的二元式相位偵測器 132 且多工器 133 選擇上方路徑，以及令迴路濾波器電路 142 關閉暫存器 1423，此時迴路為鎖頻狀態。接著進至 S102。

於步驟 S102 中，提供小數頻率控制碼  $N_f$  及整數頻率

控制碼  $N_i$  予參考路徑和差調變器回授電路 11，和差調變器 13 將所接收之小數頻率控制碼  $N_f$  轉換為小數控制碼  $N_{fi}$ ，再將小數控制碼  $N_{fi}$  與整數頻率控制碼  $N_i$  相加以產生頻率控制碼  $N_a=N_i+N_{fi}$ ，並提供一參考訊號  $f_{REF}$  予參考相位積分電路 12 以依據頻率控制碼  $N_a=N_i+N_{fi}$  執行累加程序以輸出一參考相位資訊至相位/頻率偵測器 13。需說明的是，由於和差調變器 113 的數學特性，參考相位積分電路 12 以依據頻率控制碼  $N_a=N_i+N_{fi}$  執行累加程序的累積值在長時間的觀察下等同於參考相位積分電路 12 以依據總頻率控制碼  $N=N_i+N_f$  執行累加程序的累積值。同時，回授相位積分電路 16 依據數位控制振盪器 15 所產生之輸出訊號  $f_{REF}$  產生回授相位資訊並傳輸予相位/頻率偵測器 13。接著進至 S103。

於步驟 S103 中，相位/頻率偵測器 13 接收參考相位積分電路 12 所輸出的參考相位資訊及回授相位積分電路 16 所輸出的回授相位資訊，將該參考相位資訊與該回授相位資訊相減以產生相位差資訊  $\varepsilon_1$  以輸出至迴路濾波器電路 142。接著進至 S104。

於步驟 S104 中，鎖定過程狀態機電路 141 依據相位差資訊  $\varepsilon_1$  調整迴路參數  $K_{ip}$ ，令該迴路濾波器電路 142 中的暫存器 1423 儲存一控制調整信號  $\Psi$ ，再降低迴路參數  $K_{ip}$ ，接著令迴路濾波器電路 142 依據經降低之迴路參數  $K_{ip}$  產生一迴路控制信號，再將該迴路控制信號與該控制調整信號相加以產生控制該控制數位控制振盪器 15 的控制

信號，使數位控制振盪器 15 依據該控制信號產生輸出信號  $f_{OUT}$ 。接著進至 S105。

於步驟 S105 中，將輸出訊號  $f_{OUT}$  透過回授相位積分電路 16 產生回授相位資訊並輸入至相位/頻率偵測器 13，並重複執行步驟 S103 至 S105 直到迴路參數  $K_{ip}$  減少至第一預設值  $K_{ip,min}$  時，進至步驟 S106。

需注意的是，於步驟 S104 中所述之鎖定過程狀態機電路依據相位差資訊  $\varepsilon_1$  調整迴路參數  $K_{ip}$  的機制，其具體實施例如第 5 圖所示，其係顯示本發明鎖相迴路頻率合成器的迴路鎖定方法之調整迴路濾波器電路的迴路參數  $K_{ip}$  之示意圖。需注意的是，本實施例僅提出調整迴路參數  $K_{ip}$  之例示性範例，於其他實施例中另可有他種調整  $K_{ip}$  之方式。

請參閱第 5 圖，首先，相位/頻率偵測器 13 輸出相位差資訊  $\varepsilon_1$  予鎖定過程狀態機電路 141，鎖定過程狀態機 141 中的  $\varepsilon_1$  峰值擷取電路 1411 擷取  $n$  個相位差資訊  $\varepsilon_1$  至  $n$  個暫存器 1412 中，接著除法器 1413 再將其平均以取得平均值  $\Phi_{n,avg}$ ，於兩相鄰平均值相差小於或等於一預設值時(於本實施例中設定該預設值為 1，在其他實施例可為其他數值)，啟動下一偵測機制。擷取  $m$  個  $\Phi_n$  訊號至  $m$  個暫存器 1416 中，接著除法器 1417 再取平均以取得平均值  $\Phi_{nm,avg}$ ，於兩相鄰平均值相差小於或等於一預設值時(於本實施例中設定該預設值為 1，在其他實施例可為其他數值)，發出調整迴路參數  $K_{ip}$  的訊號，使迴路濾波器中迴路

濾波器電路的迴路倍率裝置的迴路參數  $K_{ip}$  減少。

於步驟 S106 中，鎖定過程狀態機電路 141 開啟相位/頻率偵測器 13 中的二元式相位偵測器 132，並開啟迴路濾波器電路 142 中的暫存器 1423 並設定迴路倍率裝置 1421 為第一預設值  $K_{ip,min}$ ，以及使相位/頻率偵測器 13 至參考路徑和差調變器回授電路 11 形成一負回授電路，且設定路徑參數  $K_{pd}$  為第二預設值  $K_{pd,PT}$ ，使整個迴路進入鎖相狀態。接著進至 S107。

於步驟 S107 中，於鎖相狀態時，相位/頻率偵測器 13 中的二元式相位偵測器 132 會產生並輸出相位差資訊極值  $\varepsilon_2$ ，第二預設值  $K_{pd,PT}$  會調整從相位/頻率偵測器 13 輸出至參考路徑和差調變器回授電路 11 的相位差資訊極值  $\varepsilon_2$ ，而第一預設值  $K_{ip,min}$  會調整從相位/頻率偵測器 13 輸出至迴路濾波器電路 142 的相位差資訊極值  $\varepsilon_2$ ，以輸出控制控制該數位控制振盪器的控制信號，導致該數位控制振盪器依據該控制信號產生輸出訊號  $f_{OUT}$ 。因此，輸出訊號  $f_{OUT}$  會在已於第一階段所進行的鎖頻狀態的準位上，上下移動以逐漸接近預設的目標頻率，即參考訊號  $f_{REF}$  的  $N$  倍值。

換言之，本發明之鎖相迴率頻率合成器的迴路鎖定方法係於第一階段先執行鎖頻，而於鎖頻過程中，參考路徑和差調變器回授電路的路徑參數  $K_{pd}$  為零，迴路濾波器電路的迴路參數  $K_{ip}$  會越調越小直到第一預設值  $K_{ip,min}$ ，即開啟迴路濾波器電路中的暫存器以進入第二階段執行鎖相。請參閱第 6 圖，其係本發明鎖相迴路頻率合成器的迴路鎖



定方法之鎖頻及鎖相之過程，在約  $6 \times 10^{-5}$  秒之前為鎖頻階段，此為較大範圍的鎖定，而在  $6 \times 10^{-5}$  秒之後為鎖相階段，從第 6 圖得以瞭解鎖相階段係在先前鎖頻階段的準位上小範圍地上下移動，以使輸出訊號為參考訊號之  $N$  倍頻。

由上述之實施例得以瞭解，在回授相位積分電路中的高速數器無法偵測數位控制振盪器所輸出之小數部份時，概念上和差調變器所輸出之小數控制碼  $N_{fi}$  平均為零，所以在鎖相迴路頻率合成器中的參考相位積分電路(累加器)輸入頻率控制碼  $N_a = N_{fi} + N_i$  所得到的平均數值亦僅是設定的整數頻率控制碼  $N_i$ ；換言之，在參考訊號  $f_{REF}$  上升邊緣來臨時，若回授相位積分電路中的高速計數器偵測到數位控制振盪器所輸出之小數相位進位成整數的部份時，和差調變器所輸出之小數控制碼  $N_{fi}$  在同一參考訊號  $f_{REF}$  上升邊緣來臨時轉成 1，所以長時間看來，參考相位積分電路(累加器)輸入  $N_a = N_{fi} + N_i$  所得到的平均數值會是設定的總頻率控制碼  $N(N = N_i + N_f)$ 。因此，藉由本發明之鎖相迴路頻率合成器之迴路鎖定方法的實施，參考相位積分電路可同步進位，降低且減少相位/頻率偵測器的相位差，同時還可加快迴路鎖定的速度，致使本發明之鎖相迴路頻率合成器可僅使用一個簡易的相位/頻率偵測器即作出非整數頻率倍數的鎖定，而不需浪費多餘的硬體空間和複雜的運算單元。

再者，本發明將迴路鎖定方法分為先進行鎖頻再進行鎖相作最後的鎖定，不僅可讓迴路有極大的鎖定範圍，更可同時達成快速鎖定及低雜訊的特性。

綜上所述，本發明之鎖相迴路頻率合成器及其迴路鎖定方式，於參考路徑和差調變器回授電路中增設和差調變器，可減少小數突波、降低由相位/頻率偵測器所傳予之資訊的雜訊、以及將相位資訊降階以降低參考相位積分電路的負載。此外，藉由本發明先鎖頻再鎖相之實施，可加快鎖相迴路頻率合成器的鎖定速度；使用數位電路實現一頻率合成器亦具有抗雜訊、提高解析度及易於整合之功效，進而不受環境、溫度與電壓偏移等因素干擾。

上述實施例僅例示性說明本發明之原理及功效，而非用於限制本發明。任何熟習此項技術之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

#### 【圖式簡單說明】

第1圖係習知技術鎖相迴路頻率合成器之基本架構之實施例示意圖；

第2圖係本發明鎖相迴路頻率合成器之基本架構之實施例示意圖；

第3圖係本發明鎖相迴路頻率合成器之鎖頻狀態之基本架構之實施例示意圖；

第4圖係本發明鎖相迴路頻率合成器之迴路鎖定方法之實施例之流程示意圖；

第5圖係本發明鎖相迴路頻率合成器之鎖定過程狀態機電路之調整迴路參數之實施例示意圖；以及

第 6 圖係本發明鎖相迴路頻率合成器之迴路鎖定方法之鎖頻狀態與鎖相狀態之實施例示意圖。

【主要元件符號說明】

- 11            參考路徑和差調變器回授電路
- 111           路徑倍率裝置
- 112、114、121、131、255、1422   加法器
- 113           和差調變器
- 12           參考相位積分電路
- 122、1423、17   暫存器
- 13           相位/頻率偵測器
- 132           二元式相位偵測器
- 133           多工器
- 14           迴路濾波器
- 141           鎖定過程狀態機電路
- 1411            $\epsilon_1$  峰值擷取電路
- 1412、1414、1416、1418、223   暫存器
- 1413、1417   除法器
- 1415、1419、224、225   加法器
- 142           迴路濾波器電路
- 1421           迴路倍率裝置
- 15           數位控制振盪器
- 16           回授相位積分電路
- 161           高速計數器
- 18           除頻器

21	相位/頻率偵測器
22	迴路濾波器電路
221、222	倍率裝置
23	振盪器
24	除頻器
$f_{REF}$	參考訊號
$f_{OUT}$	輸出訊號
$N_i$	整數頻率控制碼
$N_f$	小數頻率控制碼
$N_a$	頻率控制碼
$N_{fi}$	小數控制碼
$\varepsilon_1$	相位差資訊
$\varepsilon_2$	相位差資訊極值
$\Psi$	控制調整信號
$\Phi_n$	$\varepsilon_1$ 的 $n$ 次平均值
$\Phi_{nm}$	$\Phi_n$ 的 $m$ 次平均值
S102~S107	步驟

## 七、申請專利範圍：

### 1. 一種鎖相迴路頻率合成器，係包括：

參考路徑和差調變器回授電路，係依據輸入之小數頻率控制碼及整數頻率控制碼而產生一頻率控制碼；

參考相位積分電路，用以依據該參考路徑和差調變器回授電路所輸出之該頻率控制碼產生並輸出一參考相位資訊；

相位/頻率偵測器，用以偵測該參考相位資訊及一回授相位資訊，以輸出相位差資訊；

迴路濾波器，係包括鎖定過程狀態機電路及具有迴路參數之迴路濾波器電路，該鎖定過程狀態機電路依據該相位差資訊以調整該迴路參數，俾使該迴路濾波器電路依據經調整之該迴路參數以輸出一控制信號；

振盪器，用以依據該迴路濾波器電路所輸出之控制信號產生一頻率輸出訊號；以及

回授相位積分電路，用以依據該振盪器所提供之頻率輸出訊號產生該回授相位資訊並將該回授相位資訊輸出至該相位/頻率偵測器，

其中，該參考路徑和差調變器回授電路係從該相位/頻率偵測器拉回一負回授至該參考相位積分電路，使該振盪器產生對應該參考訊號之頻率訊號。

### 2. 如申請專利範圍第 1 項之鎖相迴路頻率合成器，其中，該參考路徑和差調變器回授電路包含路徑倍率裝置，該路徑倍率裝置具有路徑參數，其中，該參考路徑和差調

變器回授電路透過該路徑參數之設定以調整該相位/頻率偵測器所回授輸入之相位差資訊。

3. 如申請專利範圍第 2 項之鎖相迴路頻率合成器，其中，該路徑參數的初始值為零，且該相位/頻率偵測器所回授輸入之相位差資訊為零。
4. 如申請專利範圍第 1 項之鎖相迴路頻率合成器，其中，該參考路徑和差調變器回授電路包括和差調變器，且該參考相位積分電路為累加器，而該和差調變器將所接收之該小數頻率控制碼轉換為小數控制碼並輸出該小數控制碼與該整數頻率控制碼相加，再由該累加器對該小數控制碼與該整數頻率控制碼所相加之數值進行累加以產生該參考相位資訊。
5. 如申請專利範圍第 1 項之鎖相迴路頻率合成器，其中，該相位/頻率偵測器具有多工器，係操作於鎖頻狀態或鎖相狀態，於鎖頻狀態時，該相位/頻率偵測器直接輸出該相位差資訊，而於鎖相狀態時，該相位/頻率偵測器利用二元式相位偵測器將該相位差資訊轉換為相位差資訊極值。
6. 如申請專利範圍第 5 項之鎖相迴路頻率合成器，其中，該相位/頻率偵測器之多工器係耦接於該二元式相位偵測器的輸出端、該迴路濾波器電路及該參考路徑和差調變器回授電路的輸入端，且該多工器之鎖頻狀態或鎖相狀態係依據該鎖定過程狀態機電路的命令而決定。
7. 如申請專利範圍第 5 項之鎖相迴路頻率合成器，其中，

該鎖定過程狀態機依據該相位差資訊將該路徑參數設定為第二預設值以調整從該相位/頻率偵測器回授輸入至該參考路徑和差調變器回授電路的相位差資訊。

8. 如申請專利範圍第 1 項之鎖相迴路頻率合成器，其中，該迴路濾波器電路包括迴路倍率裝置，該迴路倍率裝置具有該迴路參數，係透過該鎖定過程狀態機電路進行設定以調整該迴路濾波器輸出之控制訊號。
9. 如申請專利範圍第 8 項之鎖相迴路頻率合成器，其中，該迴路濾波器電路包括暫存器，係於該迴路參數被該鎖定過程狀態機電路設定為第一預設值時使該迴路濾波器電路進行鎖相。
10. 如申請專利範圍第 1 項之鎖相迴路頻率合成器，復包括除頻器，用以對由該振盪器所輸出之輸出訊號進行除頻以產生較低頻之訊號至該回授相位積分電路。
11. 一種應用申請專利範圍第 1 項之鎖相迴路頻率合成器之迴路鎖定方法，係包括：

(1) 令該參考路徑和差調變器回授電路切斷來自該相位/頻率偵測器之回授輸入、令該相位/頻率偵測器操作於鎖頻狀態、以及令該迴路濾波器電路關閉暫存器；

(2) 提供該小數頻率控制碼及該整數頻率控制碼予該參考路徑和差調變器回授電路以產生該頻率控制碼，並提供一參考訊號予該參考相位積分電路以依據該頻率控制碼輸出該參考相位資訊至該相位/頻率偵測器，同時，令該回授相位積分電路依據該振盪器之輸出

訊號產生回授相位資訊；

(3)令該相位/頻率偵測器計算該參考相位資訊與該回授相位資訊之差值以輸出相位差資訊；

(4)該鎖定過程狀態機電路依據該相位差資訊調整該迴路濾波器電路之迴路參數，俾使該迴路濾波器電路依據經調整之該迴路參數以輸出一控制信號，使該振盪器依據該控制信號產生輸出訊號；

(5)將該輸出訊號透過該回授相位積分電路產生回授相位資訊並輸入至該相位/頻率偵測器，並重複執行步驟(3)至(5)直到該迴路參數減少至第一預設值時，進至步驟(6)；以及

(6)該鎖定過程狀態機電路開啟該迴路濾波器電路的暫存器、將該迴路參數固定於該第一預設值、以及使該相位/頻率偵測器操作於鎖相狀態，且將該參考路徑和差調變器回授電路之路徑參數設定為第二預設值，以使該相位/頻率偵測器至該參考路徑和差調變器回授電路形成一負回授電路，俾使該振盪器之輸出訊號為對應該參考訊號之頻率訊號。

12.如申請專利範圍第 11 項之鎖相迴路頻率合成器之迴路鎖定方法，其中，步驟(2)復包括：

(2-1)令該參考路徑和差調變器回授電路之和差調變器將所接收之該小數頻率控制碼轉換為小數控制碼；以及

(2-2)將該小數控制碼與該整數控制碼相加以產生



該頻率控制碼。

13. 如申請專利範圍第 11 項之鎖相迴路頻率合成器之迴路鎖定方法，其中，步驟(2)復包括該參考相位積分電路為累加器，令該累加器依據該參考訊號對該頻率控制碼執行累加程序以輸出該參考相位資訊至該相位/頻率偵測器。

14. 如申請專利範圍第 11 項之鎖相迴路頻率合成器之迴路鎖定方法，其中，步驟(4)復包括：

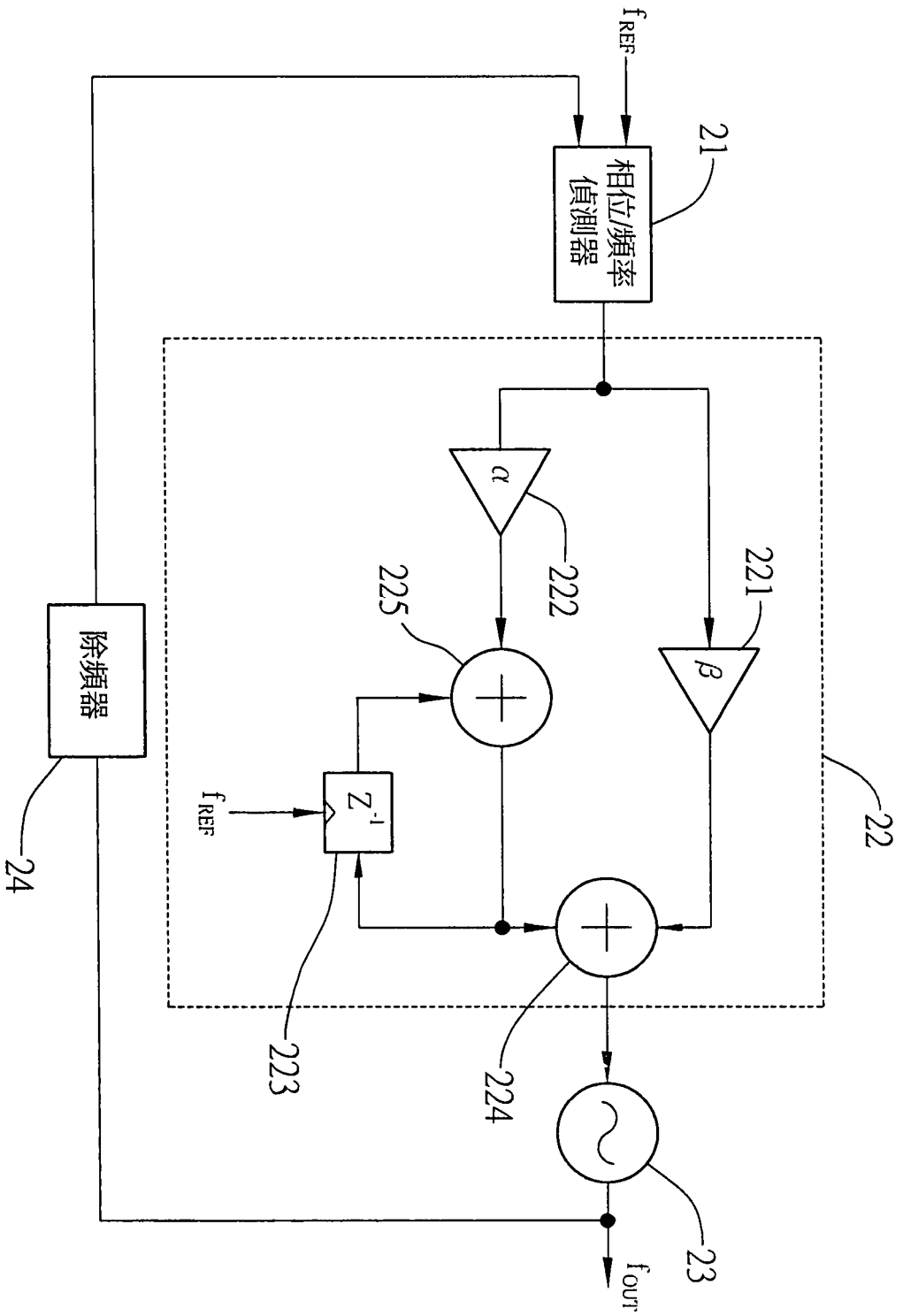
(4-1) 令該迴路濾波器電路中的暫存器儲存一控制調整信號，再降低該迴路參數；以及

(4-2) 令該迴路濾波器電路依據經降低之該迴路參數產生一迴路控制信號，再將該迴路控制信號與該控制調整信號相加以產生該控制信號。

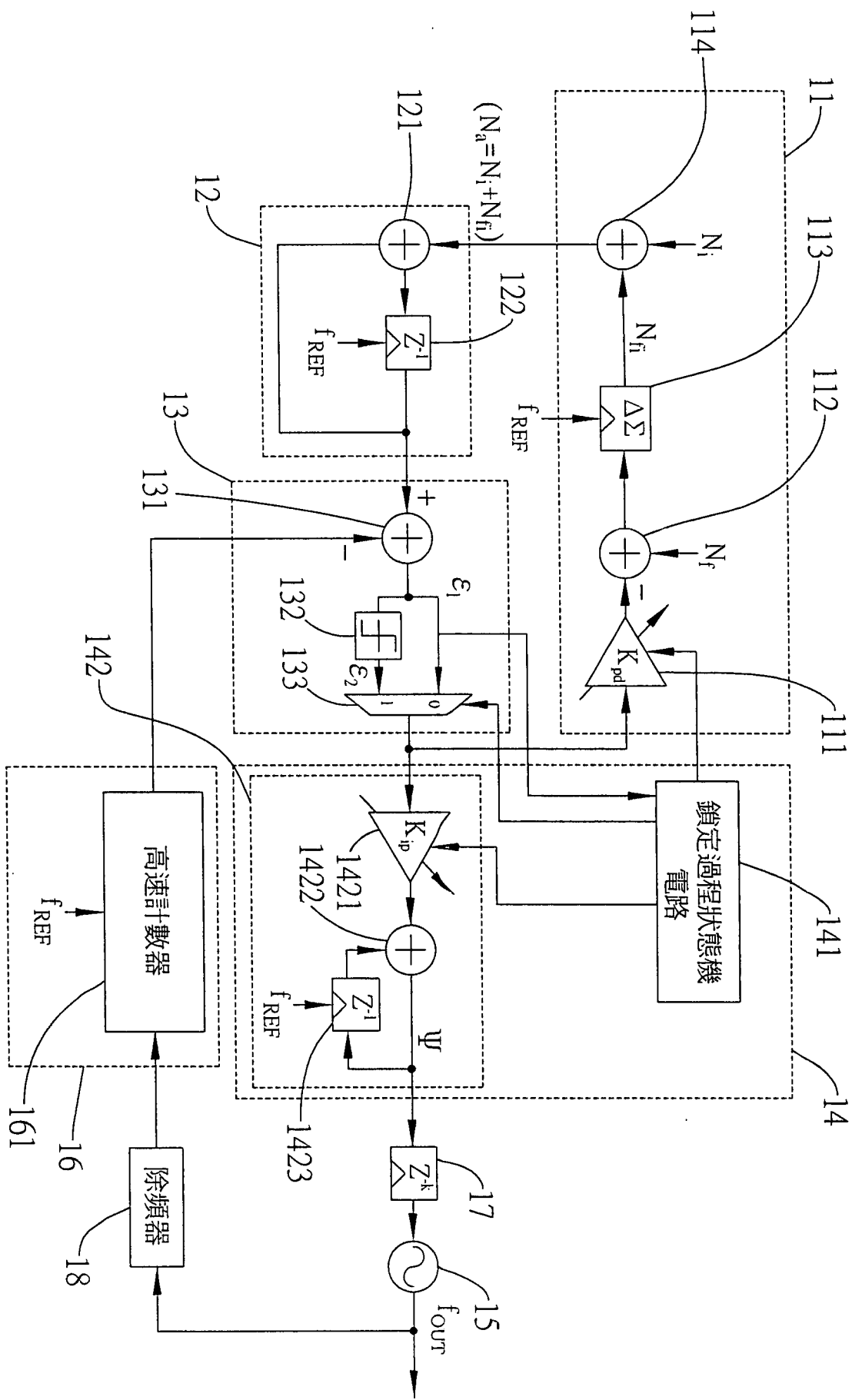
15. 如申請專利範圍第 11 項之鎖相迴路頻率合成器之迴路鎖定方法，其中，步驟(6)復包括：

(6-1) 令該相位/頻率偵測器中的二元式相位偵測器產生並輸出該相位差資訊極值；以及

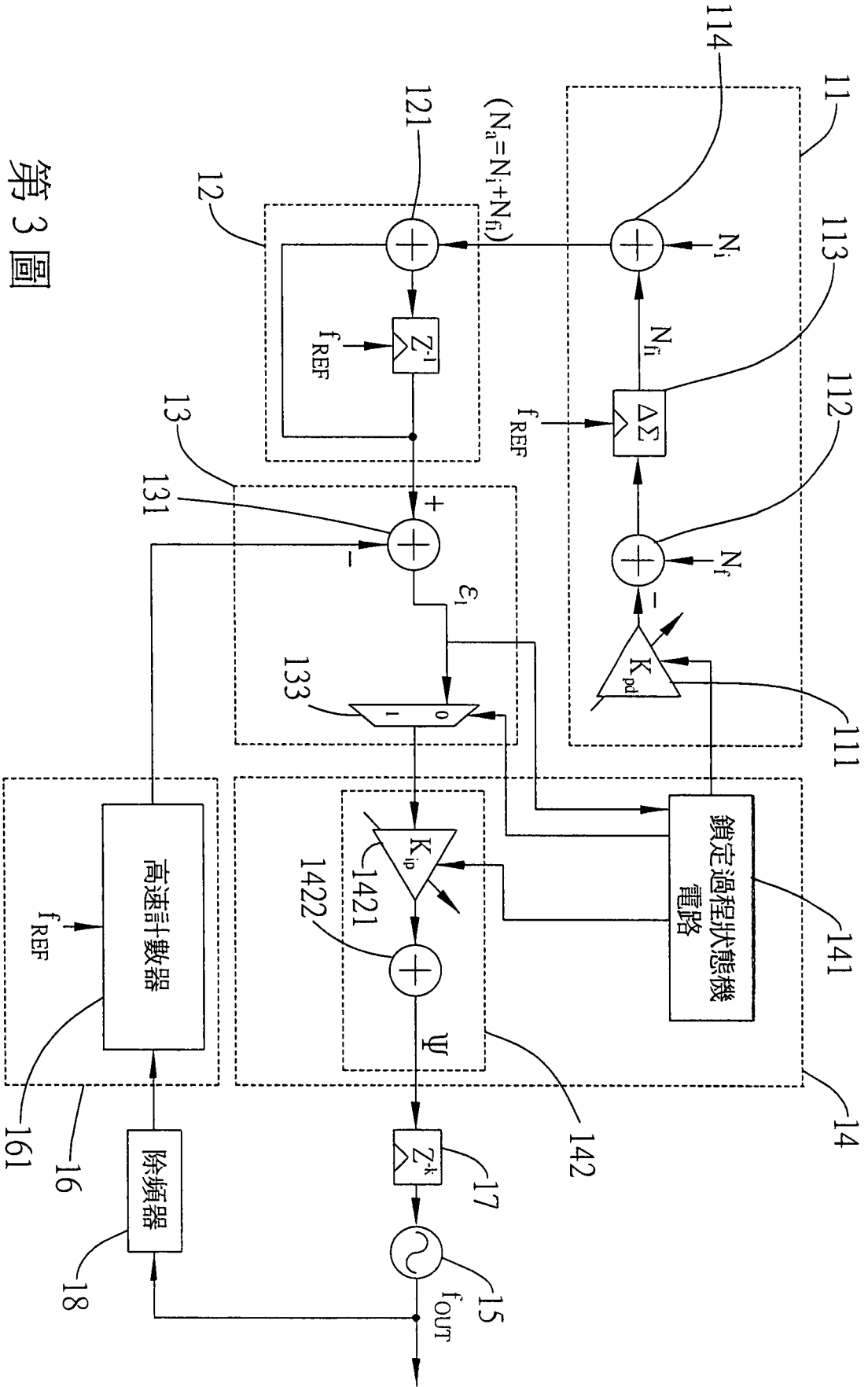
(6-2) 利用該第二預設值調整從該相位/頻率偵測器輸出至參考路徑和差調變器回授電路的相位差資訊極值，且利用該第一預設值調整從該相位/頻率偵測器輸出至迴路濾波器電路的相位差資訊極值，俾透過回授方式使該振盪器之輸出訊號形成對應該參考訊號之頻率訊號。



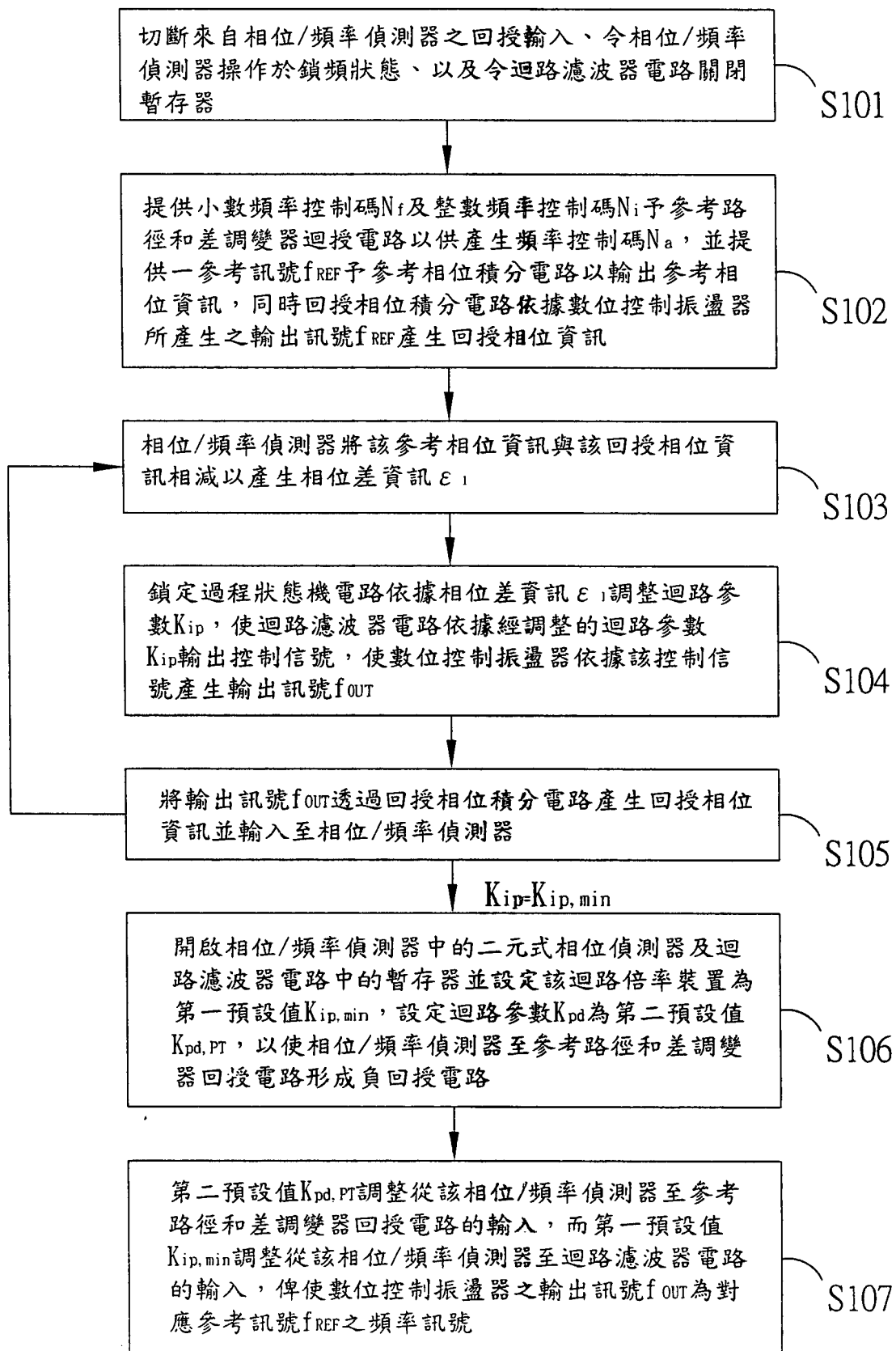
第 1 圖



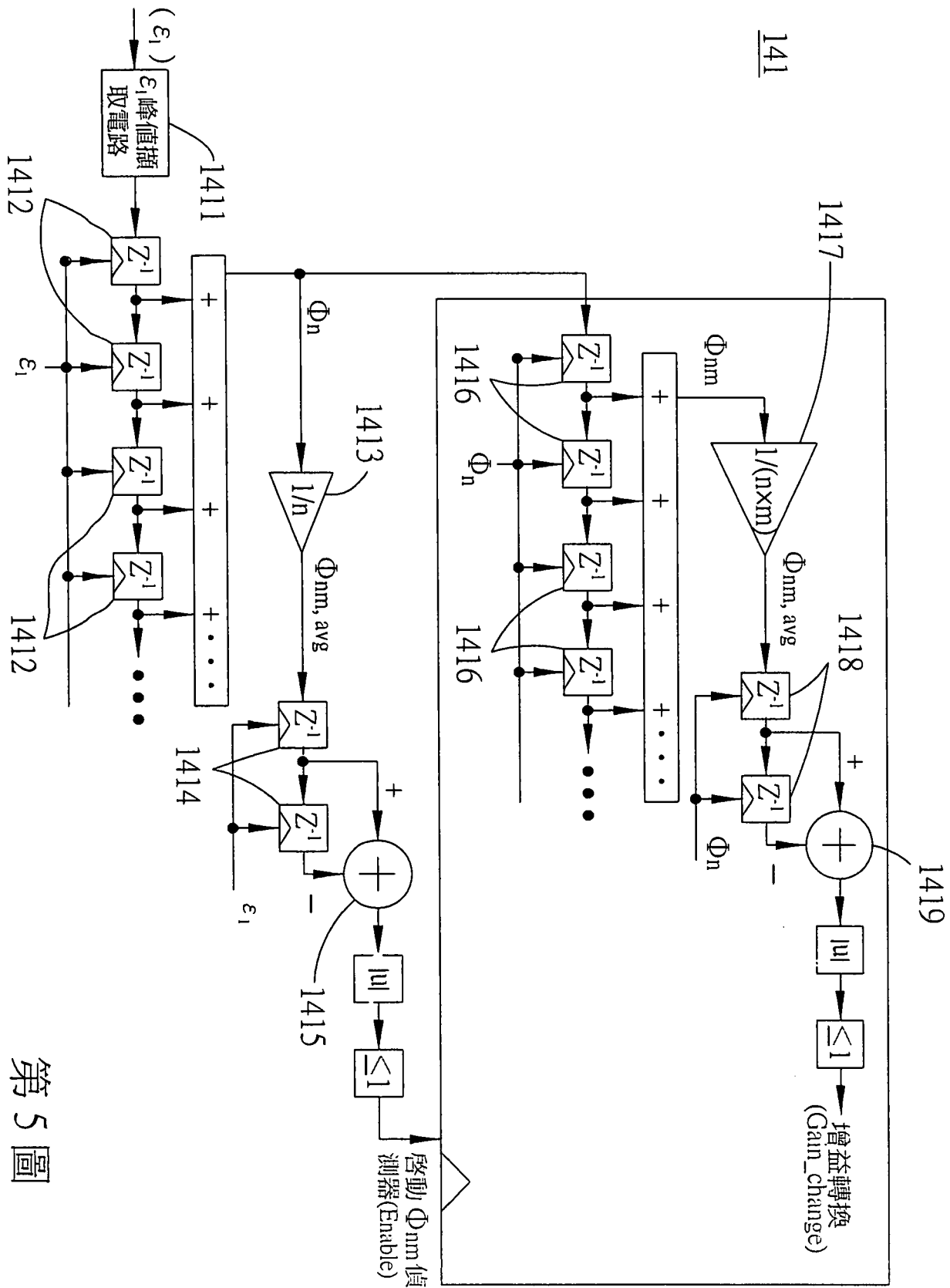
第 2 圖



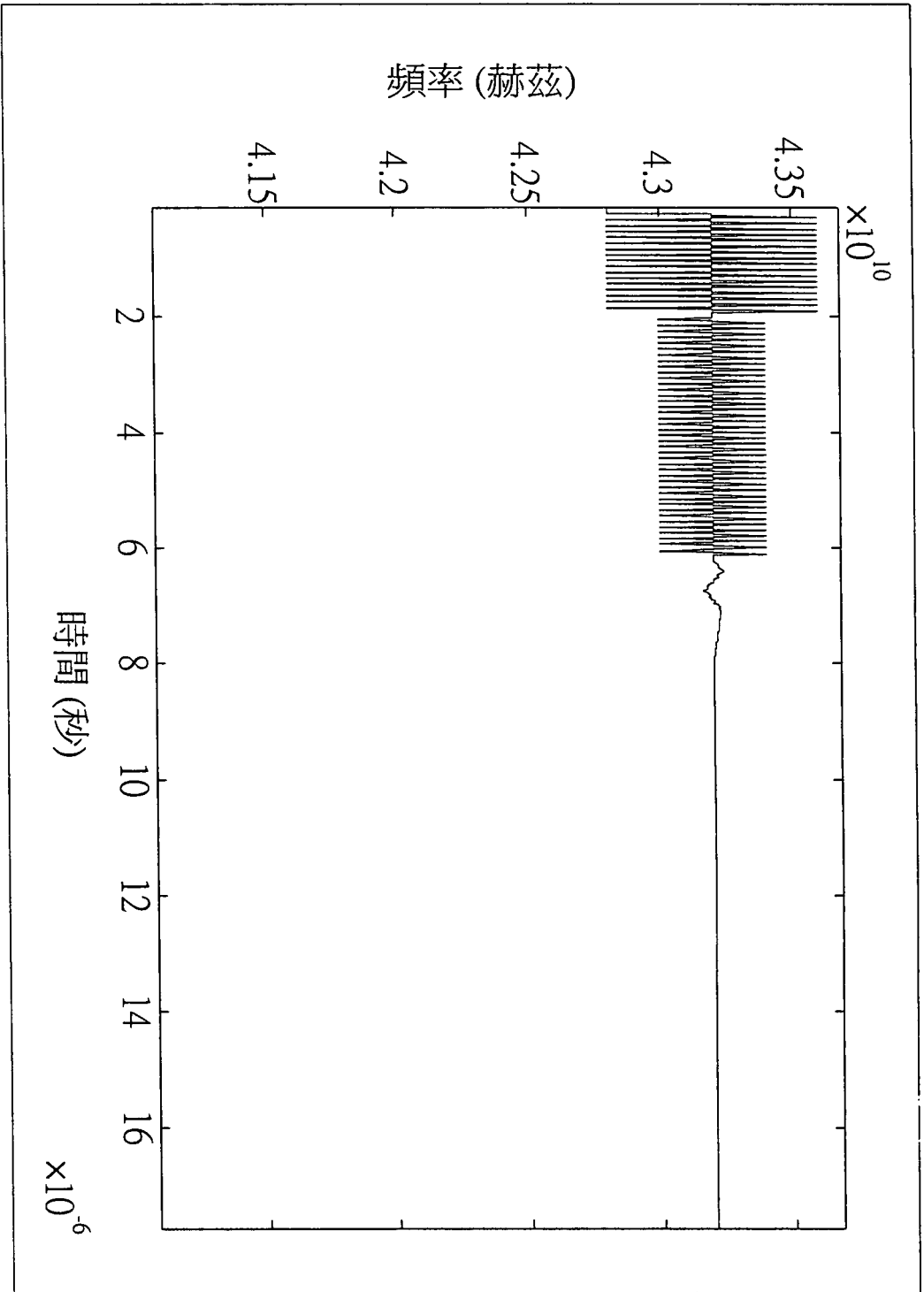
第 3 圖



第 4 圖



第 5 圖



第 6 圖