



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201125114 A1

(43)公開日：中華民國 100 (2011) 年 07 月 16 日

(21)申請案號：099100900

(22)申請日：中華民國 99 (2010) 年 01 月 14 日

(51)Int. Cl.：

*H01L27/24 (2006.01)*

*H01L45/00 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：曾俊元 TSENG, TSEUNG YUEN (TW)；王聖裕 WANG, SHENG YU (TW)；蔡承翰 TSAI, CHEN HAN (TW)

(74)代理人：高玉駿；楊祺雄

申請實體審查：有 申請專利範圍項數：4 項 圖式數：3 共 15 頁

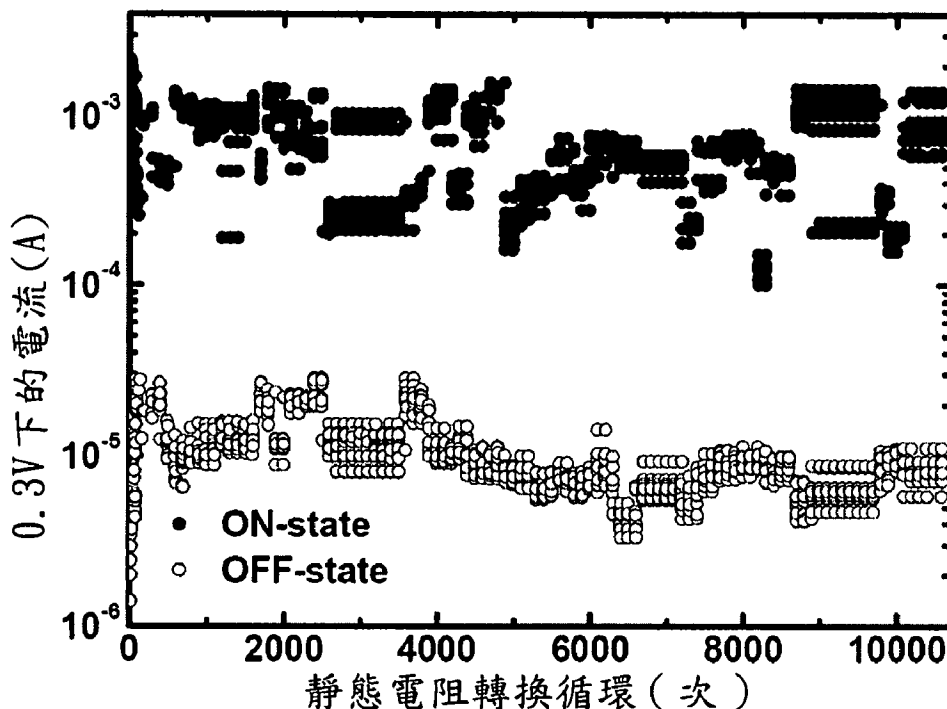
(54)名稱

電阻式隨存記憶體之製作方法

METHOD FOR MAKING A RESISTIVE RANDOM ACCESS MEMORY

(57)摘要

本發明提供一種電阻式隨存記憶體之製作方法，包含：(a)於一基材上形成一第一電極；(b)於該第一電極上以一  $-175^{\circ}\text{C}$  至  $225^{\circ}\text{C}$  的製程溫度形成一氧化鋅之可變電阻層；及(c)於該可變電阻層上形成一 Ti 的第二電極。



# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99100900 H01L 27/24 (2006.01)

※申請日： 99.1.14 ※IPC 分類： H01L 45/00 (2006.01)

## 一、發明名稱：(中文/英文)

電阻式隨存記憶體之製作方法 / Method for making a resistive random access memory

## 二、中文發明摘要：

本發明提供一種電阻式隨存記憶體之製作方法，包含：(a)於一基材上形成一第一電極；(b)於該第一電極上以一 175°C 至 225°C 的製程溫度形成一氧化鋯之可變電阻層；及(c)於該可變電阻層上形成一 Ti 的第二電極。

## 三、英文發明摘要：

This invention provides a method for making a resistive random access memory, which comprises (a) forming a bottom electrode on a substrate; (b) forming a variable resistance layer of zirconium oxide on the first electrode under a process temperature ranging from 175°C to 225°C; and (c) forming a second electrode of Ti on the variable resistance layer.

四、指定代表圖：

(一)本案指定代表圖為：圖(1)。

(二)本代表圖之元件符號簡單說明：

無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種非揮發性記憶體 (nonvolatile memory, 簡稱 NVM) 的製作方法, 特別是指一種電阻式隨存記憶體 (resistive random access memory, 簡稱 RRAM) 的製作方法。

### 【先前技術】

電阻式隨存記憶體的記憶包 (memory cell), 基本上是由一個電晶體 (transistor) 及一個電阻器 (resistor) 所組成之 1T1R 的整合結構, 或是由一個二極體 (diode) 及一個電阻器 (resistor) 所組成之 1D1R 的整合結構。此電阻器主要是一上電極/絕緣層/下電極的三明治結構。

前述絕緣層一般是使用具有可變電阻特性之氧化物, 如, NiO、CuO、ZrO<sub>2</sub>、TiO<sub>2</sub>、HfO<sub>2</sub> 等。當一脈衝偏壓訊號被施加於此可變電阻特性之絕緣層時, 此絕緣層則產生立即性的電阻值的改變, 即, 所謂的電阻轉換效應 (resistive switching effect)。因此, 電阻式隨存記憶體主要是利用前述電阻轉換效應來達到寫入 (write) 與抹除 (erase) 的功能, 致使其成為用來取代下一世代之 NVM 的快閃記憶體 (flash memory) 的選擇。

一般於讀取 (read) 資料時, 主要是給予一小偏壓來讀取其電流值。當電阻式隨存記憶體處於低阻態 (low resistance state, 簡稱 LRS) 時, 則低阻態的電流值便成為寫入的記憶訊號。當電阻式隨存記憶體處於高電阻狀態 (high resistance

state，簡稱 HRS)時，則高阻態的電流值便成為抹除的記憶訊號。因此，當高電阻狀態(HRS)之電流對低電阻狀態(LRS)之電流的比值越高時，便表示記憶體的辨識度越高。

本案發明人曾揭示出一種電阻式隨存記憶體之傳統的製作方法，其相關說明是節錄自 Chih-Yang Lin, Chen-Yu Wu, Chung-Yi Wu, Tzyh-Cheang Lee, Fu-Liang Yang, Chenming Hu, and Tseung-Yuen Tseng, “Effect of Top Electrode Material on Resistive Switching Properties of ZrO<sub>2</sub> Film Memory Devices”, IEEE ELECTRON DEVICE LETTERS, VOL. 28, NO. 5, PP. 366~368, MAY 2007.。該傳統的製作方法，包括以下步驟：

- (A) 在一矽(Si)基材上形成一 SiO<sub>2</sub> 層；
- (B) 於該 SiO<sub>2</sub> 層上依序形成一 Ti 層與一 Pt 層以做為該傳統製作方法之 RRAM 的一下電極；
- (C) 將所完成的下電極放置於一射頻磁控濺鍍系統 (radio-frequency magnetron sputtering system) 中以於其上方形成一厚度約 70 nm 的 ZrO<sub>2</sub> 層；及
- (D) 使用該射頻磁控濺鍍系統在該 ZrO<sub>2</sub> 層上形成一 Ti 層以做為前述 RRAM 的一上電極。

該 ZrO<sub>2</sub> 層之製程條件說明如後：O<sub>2</sub> 與 Ar 所構成之混合氣體的比例為 6：12(O<sub>2</sub>：Ar)；製程溫度為 250°C；工作壓力為 10 mTorr。

在該 1T1R 之整合結構或 1D1R 之整合結構的製程中，一般是在實施完電晶體或二極體的製程後，再進一步地完

成電阻器(即，RRAM)。然而，使用 250°C 的製程溫度來製作該  $ZrO_2$  層，對於前段已完成的電晶體或二極體之元件性能而言，皆有不利的影響。

經上述說明可知，降低電阻式隨存記憶體的製程溫度以利於將電阻式隨存記憶體整合至積體電路製程中，是此技術領域者所需改進的課題。

### 【發明內容】

因此，本發明之目的，即在提供一種電阻式隨存記憶體之製作方法。

於是，本發明之電阻式隨存記憶體之製作方法，包含：

- (a) 於一基材上形成一第一電極；
- (b) 於該第一電極上以一 175°C 至 225°C 的製程溫度形成一氧化鋯之可變電阻層；及
- (c) 於該可變電阻層上形成一 Ti 的第二電極。

本發明之功效在於：降低電阻式隨存記憶體的製程溫度以利於將電阻式隨存記憶體整合至積體電路中。

### 【實施方式】

#### <發明詳細說明>

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一個較佳實施例、三個具體例與兩個比較例的詳細說明中，將可清楚的呈現。

本發明電阻式隨存記憶體之製作方法之一較佳實施例，包含：

- (a) 於一基材上形成一第一電極；
- (b) 於該第一電極上以一  $175^{\circ}\text{C}$  至  $225^{\circ}\text{C}$  的製程溫度形成一氧化鋯之可變電阻層；及
- (c) 於該可變電阻層上形成一 Ti 的第二電極。

較佳地，該步驟(b)之可變電阻層的形成是經由濺鍍技術來完成。

較佳地，該步驟(a)、(c)之第一、二電極的形成是經由蒸鍍(evaporation)技術來實施。

較佳地，該步驟(a)的第一電極具有一形成於該基材上的 Ti 層及一形成於該 Ti 層上的 Pt 層。

#### <具體例 1>

本發明之電阻式隨存記憶體之製作方法的一具體例 1，是先利用濕氧化法(wet oxidation)在一 Si 基材上形成一厚度約 200 nm 的  $\text{SiO}_2$  層。進一步地，在  $2 \times 10^{-6}$  Torr 的工作壓力(working pressure)下利用電子束蒸鍍法(electron beam evaporation)於該  $\text{SiO}_2$  層上依序形成一厚度約 20 nm 的 Ti 層及一厚度約 80 nm 的 Pt 層以做為一下電極。接著，將前述完成有該下電極的 Si 基材放置於一射頻磁控濺鍍系統中(radio-frequency magnetron sputtering system)，以  $175^{\circ}\text{C}$  的製程溫度、10 mTorr 的工作壓力以及 150W 之靶材濺鍍功率等濺鍍參數在該下電極上形成一厚度約 40 nm 的氧化鋯之可變電阻層；其中， $\text{O}_2$  與 Ar 所構成之混合氣體的比例為 6 : 12( $\text{O}_2$  : Ar)。最後，在  $2 \times 10^{-6}$  Torr 的工作壓力下利用電子束蒸鍍法於該氧化鋯層上形成一厚度約 150 nm 的 Ti 之上

電極。

<具體例 2>

本發明之電阻式隨存記憶體之製作方法的一具體例 2，大致上是相同於該具體例 1，其不同處是在於，該氧化鋅之可變電阻層的製程溫度為 200°C。

<具體例 3>

本發明之電阻式隨存記憶體之製作方法的一具體例 3，大致上是相同於該具體例 1，其不同處是在於，該氧化鋅之可變電阻層的製程溫度為 225°C。

<比較例 1>

用來與本發明該等具體例相比較的一比較例 1，大致上是相同於該具體例 1，其不同處是在於，濺鍍該氧化鋅之可變電阻層的製程溫度為 150°C。

<比較例 2>

用來與本發明該等具體例相比較的一比較例 2，大致上是相同於該具體例 1，其不同處是在於，濺鍍該氧化鋅之可變電阻層的製程溫度為 250°C。

<電性測試>

圖 1 顯示有本發明該具體例 2 之電阻式隨存記憶體的耐久性測試(endurance test)結果。本發明該具體例 2 之測試結果是在 +1.5V 至 -2.5 V 之直流電壓的測試條件下，利用數據收集器(Agilent 4155C)以 10 次/V 的收集頻率(scanning rate)與 0.3V 的電壓來讀取寫入態(on-state)與抹除態(off-state)的電流值；其中，該具體例 2 所量測取得的靜態電阻



轉換循環(switching cycle)可達 10599 次。此外，該具體例 1、3 在相同的測試條件下所量測取得之靜態電阻轉換循環亦分別可達 6800 次與 7300 次；然而，該等比較例之隨存記憶體在相同的測試條件下所量測取得的靜態電阻轉換循環分別僅為 4000 次與 6100 次(見表 1.)。

圖 2 顯示有本發明該具體例 2 之電阻式隨存記憶體的電流對電壓曲線圖(I-V curve)，圖 2 中的 I-V 曲線是取自圖 1 之第 1、100、1000 與 10000 次的數據。由圖 2 顯示可知，圖 2 中之第 1、100、1000 與 10000 次的 I-V 曲線重疊性高；因此，本發明該具體例 2 之靜態電阻轉換循環穩定性高。

圖 3 顯示有本發明該具體例 2 之電阻式隨存記憶體的動態電阻轉換循環測試(write/erase cycle test)結果。其動態電阻轉換循環測試是以 Agilent 81110A 交替地對該具體例 2 之電阻式隨存記憶體提供一寫入態的電壓脈衝(switch-on voltage pulse)與一抹除態的電壓脈衝(switch-off voltage pulse)來做為測試條件；其中，寫入態與抹除態的電壓分別為 +6V 與 -3V，且脈衝寬度為 50 ns。測試結果是利用 Agilent 4155C 以 0.3 V 的電壓來讀取寫入態(on-state)與抹除態(off-state)的電流值；其中，所量測取得的動態電阻轉換循環可達 1000 次。

表 1.<sup>a</sup>

實施例	ZrO <sub>2</sub> 製程溫度(°C)	比值 <sup>b</sup>	耐久性(次)
比較例 1	150	66	4000
具體例 1	175	80	6800
具體例 2	200	114	10599
具體例 3	225	96	7300
比較例 2	250	96	6100

<sup>a</sup> 測試電壓是介於 +1.5 V 至 -2.5 V；讀取電壓為 0.3 V。

<sup>b</sup> 高阻態(HRS)之平均電流對低阻態(LRS)之平均電流的比值。

經前述各電性測試結果顯示可知，本發明以 175°C 至 225°C 之製程溫度所製備的氧化鋯之可變電阻層，其靜態電阻轉換循環(耐久性測試)可趨近 7000 次至 10000 次。此外，該等具體例之電阻式隨存記憶體的 HRS/LRS 之比值高；因此，具有優異的記憶辨識度。又，由本發明該具體例 2 的動態電阻轉換循環顯示可知，其電阻式隨存記憶體的切換速度快，達到 50 ns。

綜上所述，本發明之電阻式隨存記憶體之製作方法可在較低的製程溫度下完成來得到較佳性能的記憶元件並有利於被整合至積體電路中，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例與具體例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

### 【圖式簡單說明】

圖 1 是一電流對靜態電阻轉換循環關係圖，說明本發明一具體例 2 之耐久性測試結果；

圖 2 是一 I-V 曲線圖，說明本發明該具體例 2 之靜態電

阻轉換循環的穩定性；及

圖 3 是一電流對動態電阻轉換循環關係圖，說明本發明該具體例 2 之動態電阻轉換循環的測試結果。

**【主要元件符號說明】**

無

七、申請專利範圍：

1. 一種電阻式隨存記憶體之製作方法，包含：
  - (a) 於一基材上形成一第一電極；
  - (b) 於該第一電極上以一  $175^{\circ}\text{C}$  至  $225^{\circ}\text{C}$  的製程溫度形成一氧化鋯之可變電阻層；及
  - (c) 於該可變電阻層上形成一 Ti 的第二電極。
2. 依據申請專利範圍第 1 項所述之電阻式隨存記憶體之製作方法，其中，該步驟 (b) 之可變電阻層的形成是經由濺鍍技術來完成。
3. 依據申請專利範圍第 1 項所述之電阻式隨存記憶體之製作方法，其中，該步驟 (a)、(c) 之第一、二電極的形成是經由蒸鍍技術來實施。
4. 依據申請專利範圍第 3 項所述之電阻式隨存記憶體之製作方法，其中，該步驟 (a) 的第一電極具有一形成於該基材上的 Ti 層及一形成於該 Ti 層上的 Pt 層。

八、圖式

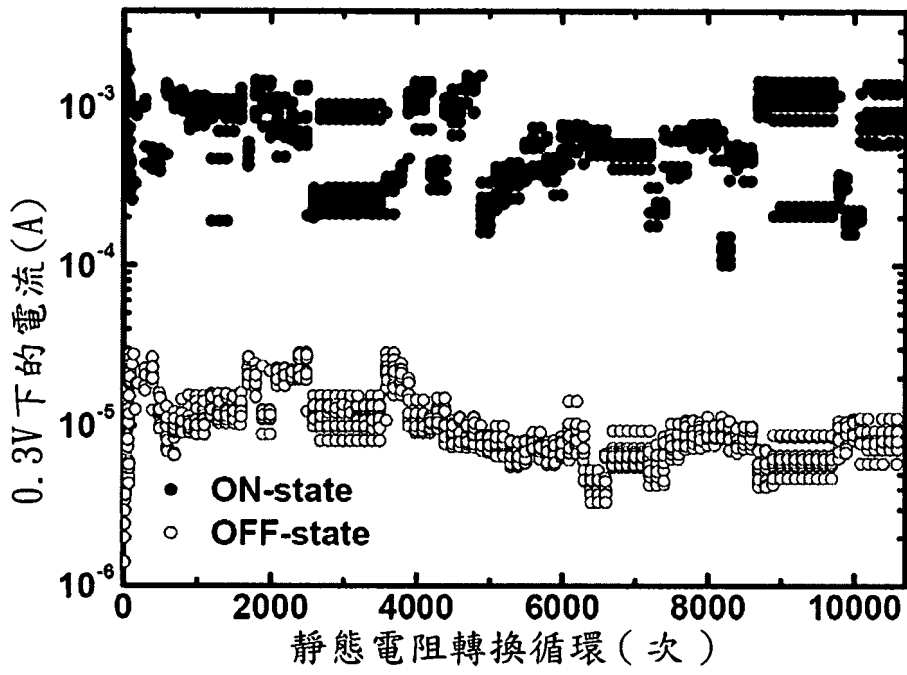


圖 1

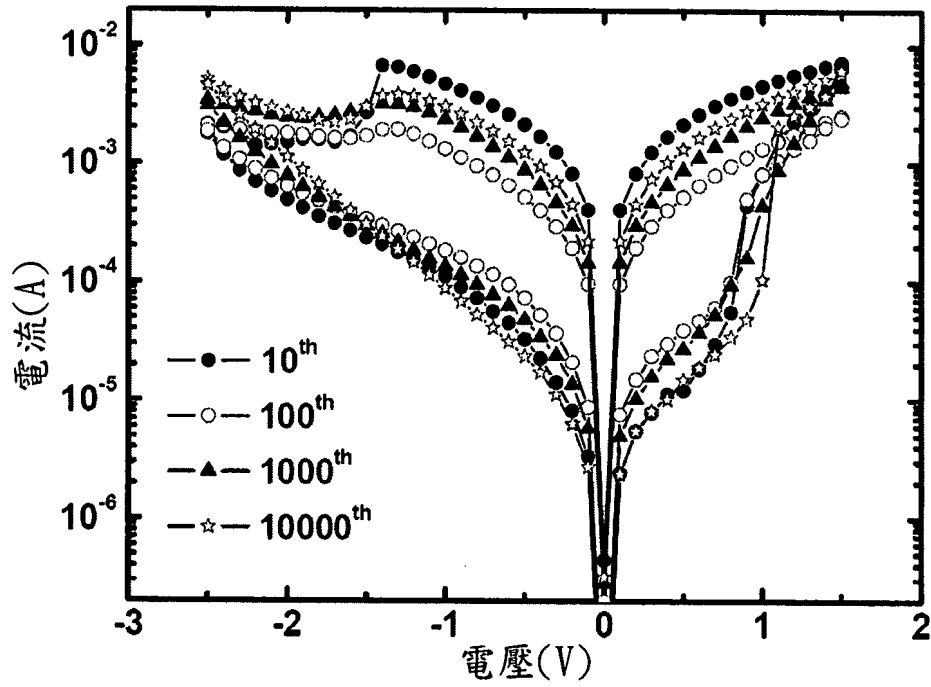


圖2

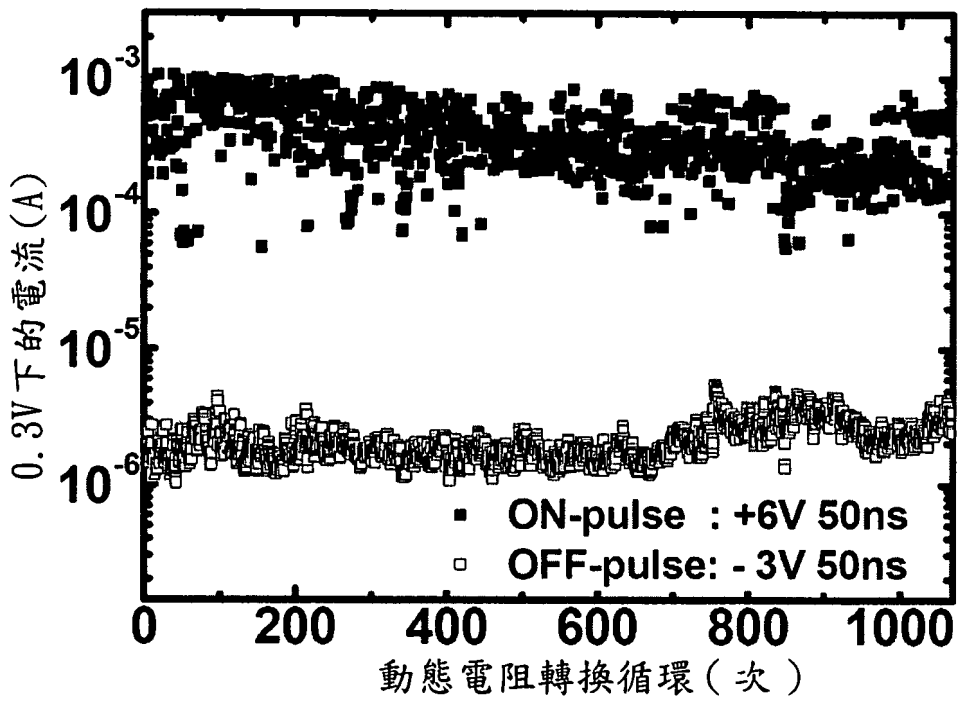


圖3