



(21)申請案號：099100407

(22)申請日：中華民國 99 (2010) 年 01 月 08 日

(51)Int. Cl. : G06F17/14 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：黃俊達 HUANG, JUINN DAR (TW)；王毓翔 WANG, YU HSIANG (TW)；林步青 LIN, BU CHING (TW)；周景揚 JOU, JING YANG (TW)

(74)代理人：楊敏玲

申請實體審查：有 申請專利範圍項數：3 項 圖式數：6 共 11 頁

(54)名稱

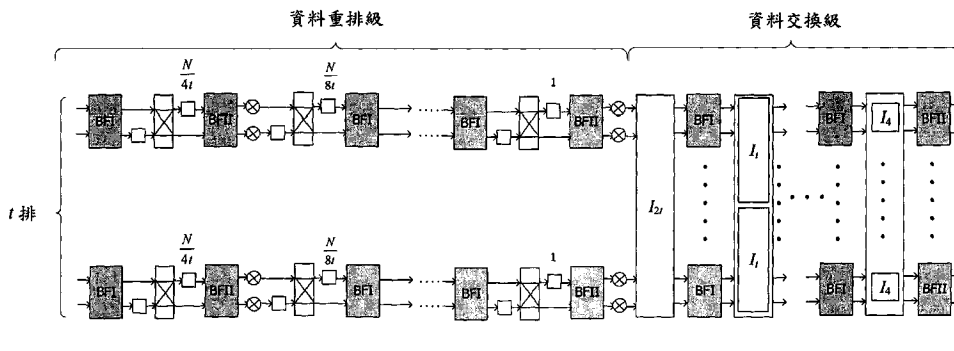
可參數化管線式快速傅利葉轉換硬體產生器

(57)摘要

一種可參數化管線式快速傅利葉轉換硬體產生器，包括複數個包含第一蝶型運算的第一蝶型裝置，複數個包含該第一蝶型運算及一乘-i的複數乘法運算的第二蝶型裝置，複數個暫存器以及複數

個連線陣列，其中，該連線陣列 I_n 之定義為 $i < \frac{n}{2}, i \mapsto i + (i \bmod 2) \times (\frac{N}{2} - 1)$ 、

$i \geq \frac{n}{2}, i \mapsto i + (i \bmod 2) \times (\frac{N}{2} - 1) - (\frac{N}{2} - 1)$



- BF1：第一蝶型裝置
- BFII：第二蝶型裝置
- I_{2t} ：連線陣列
- I_4 ：連線陣列
- I_8 ：連線陣列
- I_n ：連線陣列
- I_t ：連線陣列

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99100407

※申請日：99 / 1 / 8

※IPC 分類：

G06F 17/4

(2006.01)

一、發明名稱：(中文/英文)

可參數化管線式快速傅利葉轉換硬體產生器

二、中文發明摘要：

一種可參數化管線式快速傅利葉轉換硬體產生器，包括複數個包含第一蝶型運算的第一蝶型裝置，複數個包含該第一蝶型運算及一乘 $-i$ 的複數乘法運算的第二蝶型裝置，複數個暫存器以及複數個連線陣列，其中，該連線陣列 I_n

之定義為 $i < \frac{n}{2}, i \mapsto i + (i \bmod 2) \times (\frac{N}{2} - 1)$ 、

$i \geq \frac{n}{2}, i \mapsto i + (i \bmod 2) \times (\frac{N}{2} - 1) - (\frac{N}{2} - 1)$ 。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種快速傅利葉轉換產生器，特別是關於一種管線式的快速傅利葉轉換產生器。

【先前技術】

快速傅立葉變換(Fast Fourier Transform; FFT)是一種很重要的運算函數，自從 1965 年由 Cooley-Tukey 首先提出 FFT 演算法之後，促進了數位通訊領域的發展，其被廣泛的應用於多頻帶正交分頻多工超寬頻系統(MB-OFDM UWB)傳輸和影像壓縮，尤其是運用在快速成長的無線和手持接收機。

在習知技術中，快速傅利葉轉換處理器主要有兩種實現方式，一種是以記憶體為基礎(memory-based)之 FFT 處理器，另一種則是管線式(Pipelined)FFT 處理器。記憶體架構之 FFT 具有一個或多個記憶體，蝶型裝置會從記憶體中抓取需要的資料，並在運算完後的資料都會存回記憶體中；管線式 FFT 則有多套蝶型裝置，多筆資料同時讀入後被切成多級不斷運算。雖然以記憶體為基礎之 FFT 處理器具有低電路面積的優點，但是處理速度較慢，在通量效能提升上存在著限制；管線式 FFT 處理器雖然能滿足多媒體通訊所需的龐大頻寬，但需要的電路面積大，且其架構的多樣性亦增加了設計上的複雜度。相關技術可參照美國專利公開號 US 2002/0156822、US 2006/0282764、US 2005/0182806，或台灣專利 I313824、I224263、I298448 以及 I307227。

本發明針對管線化的 FFT 處理器提出了一種可參數化的

管線式快速傅利葉轉換硬體產生器，對面積與通量採取折衷的辦法，根據輸入參數自動地產生對應的硬體架構。

【發明內容】

本發明的目的，在於提出一種可參數化的管線式快速傅利葉轉換硬體產生器。

根據本發明，一種可參數化的管線式快速傅利葉轉換架構硬體產生器，包括複數個第一蝶型裝置，包含第一蝶型運算，複數個第二蝶型裝置，包含該第一蝶型運算及一乘 $-i$ 的複數乘法運算，複數個先進先出暫存器，以及複數個連線陣列，其中，該連線陣列 I_n 的定義為

$$i < \frac{n}{2}, i \mapsto i + (i \bmod 2) \times \left(\frac{N}{2} - 1\right) \text{ 以及 } i \geq \frac{n}{2}, i \mapsto i + (i \bmod 2) \times \left(\frac{N}{2} - 1\right) - \left(\frac{N}{2} - 1\right)。$$

較佳者，其中該些先進先出暫存器的深度隨級數增加而遞減。

【實施方式】

第一圖係根據本發明之管線式 FFT 架構一實施例的示意圖，該管線式 FFT 架構包括複數個第一蝶型裝置 BFI 以及複數個第二蝶型裝置 BFII、複數個先進先出暫存器以及複數個連線陣列 (interconnection permutation matrix)。

第二圖係第一圖之實施例中，第一蝶型裝置 BFI 與第二蝶型裝置 BFII 的示意圖，其中，第一蝶型裝置 BFI 係習知的蝶型運算，第二蝶型裝置 BFII 則還包含一乘 $-i$ 的複數乘法。

第一圖之實施例的連線陣列 I_n 為管線式快速傅利葉轉換中的資料交換方式，其正規的定義如下：

$$I_n: i < \frac{n}{2}, i \mapsto i + (i \bmod 2) \times \left(\frac{N}{2} - 1\right)$$

$$i \geq \frac{n}{2}, i \mapsto i + (i \bmod 2) \times \left(\frac{N}{2} - 1\right) - \left(\frac{N}{2} - 1\right)$$

根據前述定義，在 $n=4$ 時，產生如第三圖左側所示之連線陣列 I_4 ，當 $n=8$ 時，產生則如第三圖右側所示之連線陣列 I_8 。

根據第一圖之架構，本發明針對 16 點快速傅利葉轉換所產生之三種不同的管線式快速傅利葉轉換架構，在 $t=1$ 時，可以產生如第四圖所示之架構，此架構亦為最基本的快速傅利葉轉換器；在 $t=2$ 時，可以產生如第四圖所示之架構，相較於基本的架構，能提供兩倍的通量效能；在 $t=4$ 時，可以產生如第四圖所示之架構，可以看到在這個架構中具有四條路徑，能提供四倍的通量效能。如申請專利範圍第 1 項之硬體產生器，如圖所示，該些先進先出暫存器的深度會隨級數增加而遞減。在通量需求不高的應用環境中，所產生之管線式快速傅利葉轉換架構能最大化硬體使用效率，提供足夠的通量。

本發明提出之可參數化管線式快速傅利葉轉換硬體產生器，能從多種管線式快速傅利葉轉換架構中挑選最合適的架構，不但可以增加產品的生產力，同時也可以縮短整個系統設計的開發時程。由實驗結果顯示，本發明提出之可參數化管線式快速傅利葉轉換硬體產生器在相同通量的條件下，可以比習知要小的硬體面積實現。

本發明雖以較佳實施例說明如前，然前述之實施例並非用以限定本發明，任何熟習此項技藝者，在不脫離本發

之精神和範圍內做各種變動、修改及潤飾是可預期的，因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第一圖係根據本發明之管線式快速傅利葉轉換架構一實施例的示意圖；

第二圖係第一圖之實施例中，第一蝶型裝置與第二蝶型裝置的示意圖；

第三圖繪示連線陣列 I_4 及 I_8 ；

第四圖係根據本發明針對 16 點，一倍平行度的快速傅利葉轉換所產生之一種管線式快速傅利葉轉換架構；

第五圖係根據本發明針對 16 點，二倍平行度的快速傅利葉轉換所產生之另一種管線式快速傅利葉轉換架構；以及

第六圖係根據本發明針對 16 點，四倍平行度的快速傅利葉轉換所產生之又一種管線式快速傅利葉轉換架構。

【主要元件符號說明】

七、申請專利範圍：

1. 一種可參數化的管線式快速傅利葉轉換架構硬體產生器，包括：
 - 複數個第一蝶型裝置，包含第一蝶型運算；
 - 複數個第二蝶型裝置，包含該第一蝶型運算及一乘 $-i$ 的複數乘法運算；
 - 複數個暫存器；以及
 - 複數個連線陣列；

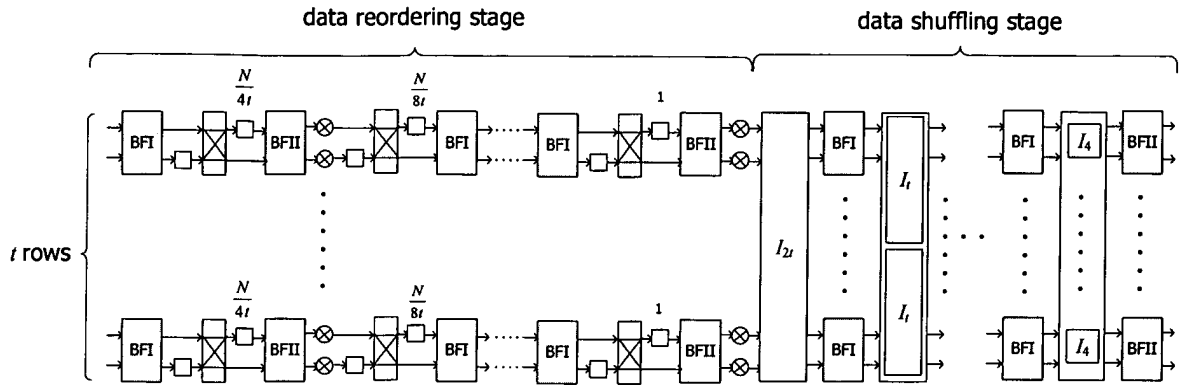
其中，該連線陣列 I_n 定義為：

$$i < \frac{n}{2}, i \mapsto i + (i \bmod 2) \times \left(\frac{N}{2} - 1\right)$$

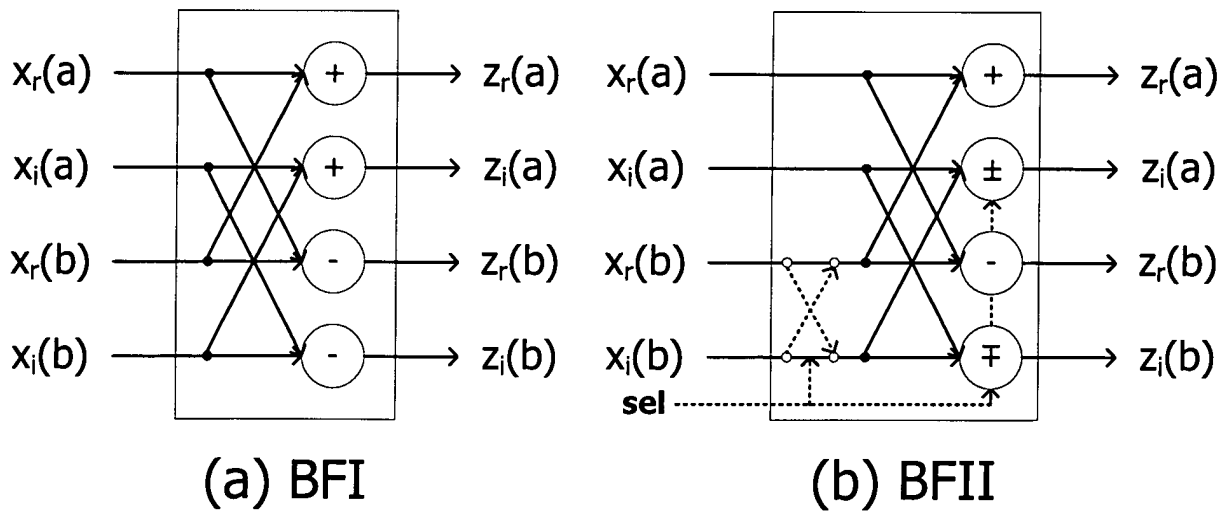
$$i \geq \frac{n}{2}, i \mapsto i + (i \bmod 2) \times \left(\frac{N}{2} - 1\right) - \left(\frac{N}{2} - 1\right)。$$

2. 如申請專利範圍第 1 項之硬體產生器，其中該些暫存器係先進先出暫存器。
3. 如申請專利範圍第 2 項之硬體產生器，其中該些先進先出暫存器的深度隨級數增加而遞減。

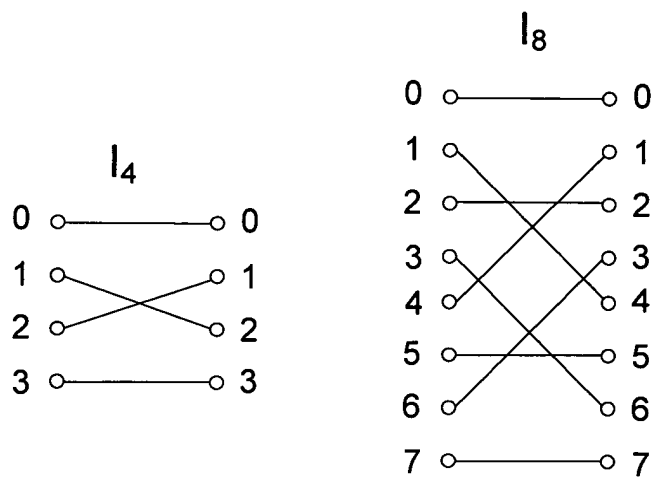
八、圖式：



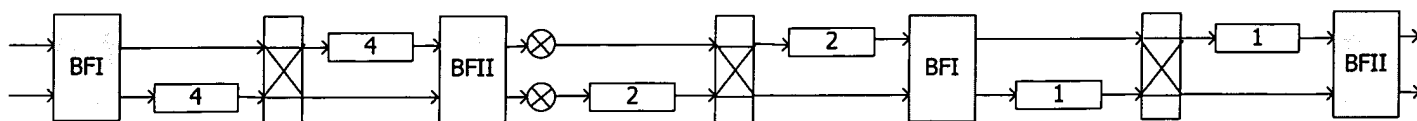
第一圖



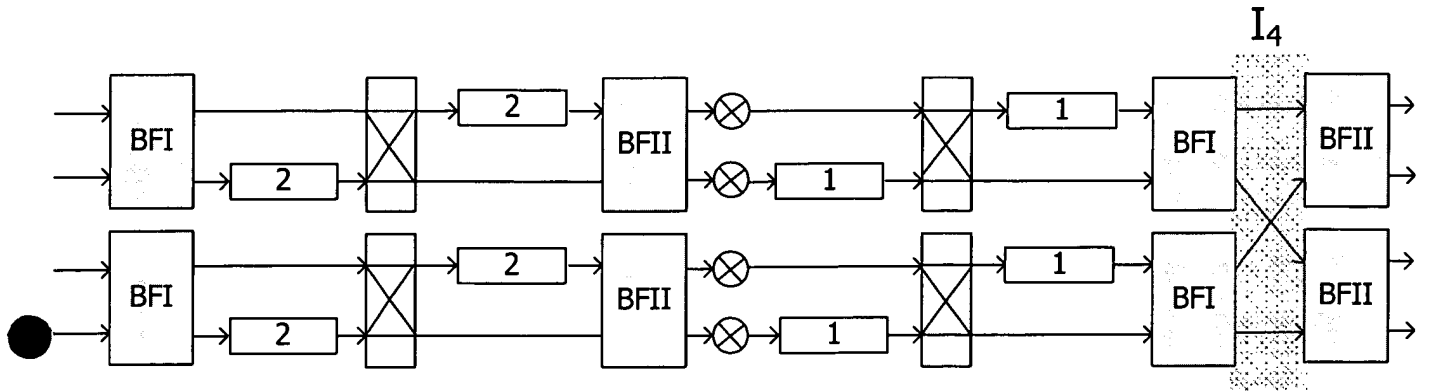
第二圖



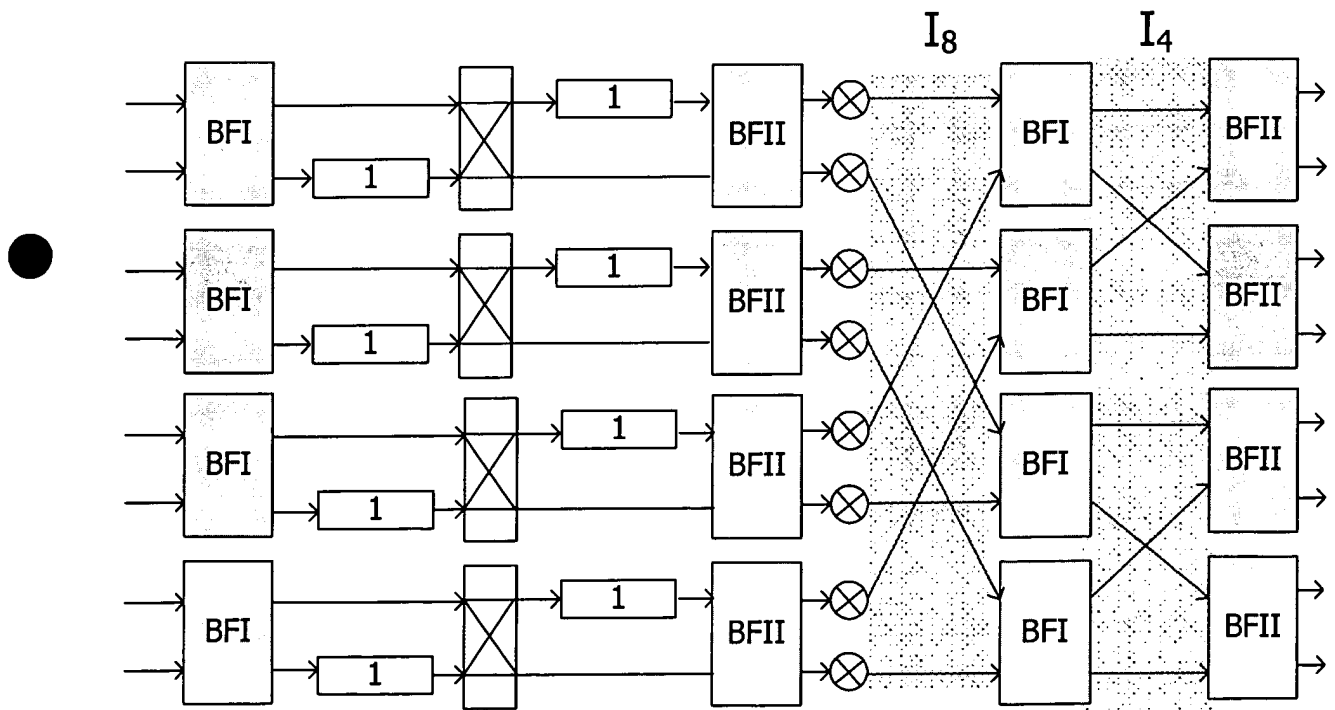
第三圖



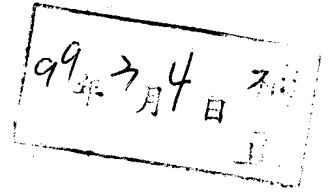
第四圖



第五圖



第六圖



四、指定代表圖：

- (一)本案指定代表圖為：第(1)圖。
- (二)本代表圖之元件符號簡單說明：

BFI 第一蝶型裝置

BFII 第二蝶型裝置

I_n 、 I_4 、 I_8 、 I_t 、 I_{2t} 連線陣列

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

之精神和範圍內做各種變動、修改及潤飾是可預期的，因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第一圖係根據本發明之管線式快速傅利葉轉換架構一實施例的示意圖；

第二圖係第一圖之實施例中，第一蝶型裝置與第二蝶型裝置的示意圖；

第三圖繪示連線陣列 I_4 及 I_8 ；

第四圖係根據本發明針對 16 點，一倍平行度的快速傅利葉轉換所產生之一種管線式快速傅利葉轉換架構；

第五圖係根據本發明針對 16 點，二倍平行度的快速傅利葉轉換所產生之另一種管線式快速傅利葉轉換架構；以及

第六圖係根據本發明針對 16 點，四倍平行度的快速傅利葉轉換所產生之又一種管線式快速傅利葉轉換架構。

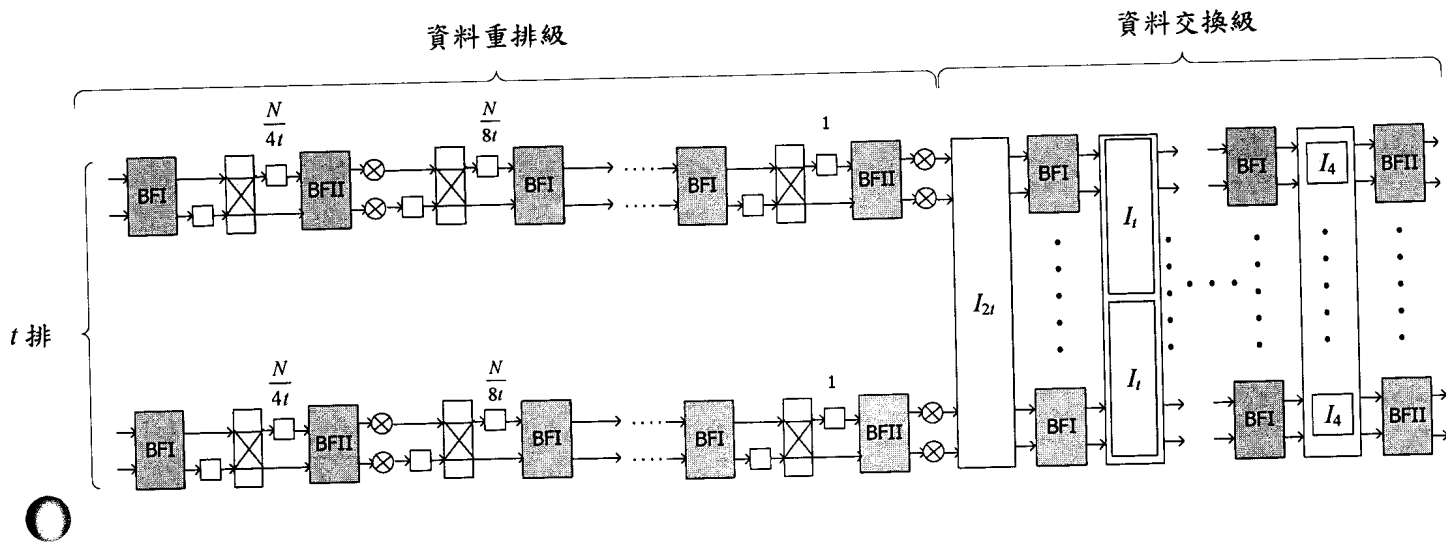
【主要元件符號說明】

BFI 第一蝶型裝置

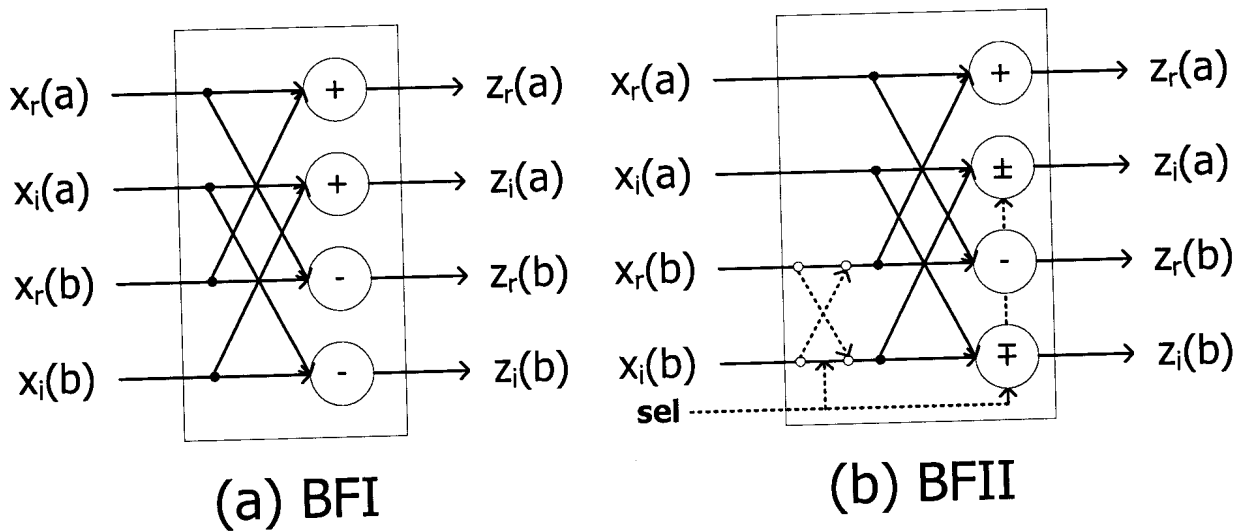
BFII 第二蝶型裝置

I_n 、 I_4 、 I_8 、 I_t 、 I_{2t} 連線陣列

八、圖式：



第一圖



第二圖