



(21)申請案號：098144372

(22)申請日：中華民國 98 (2009) 年 12 月 23 日

(51)Int. Cl. : G06F17/30 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：黃俊達 HUANG, JUINN DAR (TW)；呂智宏 LU, JHIH HONG (TW)；林步青 LIN, BU CHING (TW)；周景揚 JOU, JING YANG (TW)

(74)代理人：楊敏玲

申請實體審查：有 申請專利範圍項數：4 項 圖式數：3 共 14 頁

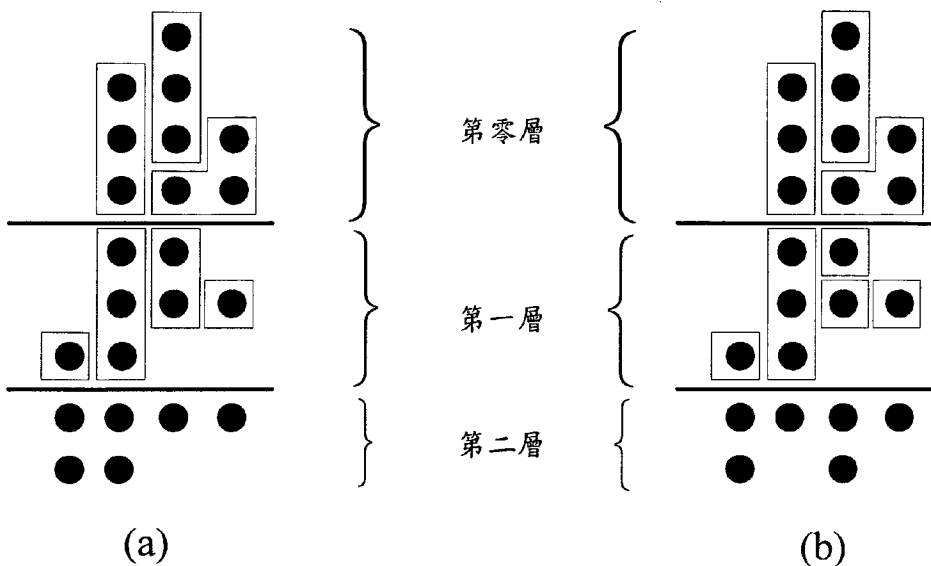
(54)名稱

應用於查找表式 F P G A 的壓縮樹延遲最佳化成演算法

DELAY OPTIMAL COMPRESSOR TREE SYNTHESIS FOR LUT-BASED FPGAS

(57)摘要

一種應用於查找表式 FPGA 的壓縮樹延遲最佳化之合成演算法，在不同的查找表式 FPGA 架構中，均可得到不同的定查找表的輸入限制，依據該輸入限制找出該查找表的元素樣本，據以產生該查找表的元素樣本集合，再根據該些元素樣本進行壓縮演算。較佳者，以整數線性規劃法合成延遲最佳化的壓縮樹，以降低壓縮樹所需的面積並提升效能。



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98144372

※申請日：98.12.23

※IPC 分類：G06F 17/30 (2006.01)

一、發明名稱：(中文/英文)

應用於查找表式 FPGA 的壓縮樹延遲最佳化成演算法

Delay Optimal Compressor Tree Synthesis for LUT-Based FPGAs

二、中文發明摘要：

一種應用於查找表式 FPGA 的壓縮樹延遲最佳化之合成演算法，在不同的查找表式 FPGA 架構中，均可得到不同的定查找表的輸入限制，依據該輸入限制找出該查找表的元素樣本，據以產生該查找表的元素樣本集合，再根據這些元素樣本進行壓縮演算。較佳者，以整數線性規劃法合成延遲最佳化的壓縮樹，以降低壓縮樹所需的面積並提升效能。

三、英文發明摘要：

A compressor tree synthesis algorithm, named DOCT, which guarantees the delay optimal implementation in lookup-table (LUT) based FPGAs. Given a targeted K-input LUT architecture, DOCT firstly derives a finite set of prime patterns as essential building blocks. Then, it shows that a delay optimal compressor tree can always be constructed by those derived prime patterns via integer linear programming (ILP). Without loss of delay optimality, a post-processing procedure is invoked to reduce the number of demanded LUTs

201122857

tree and the number of LUTs based on the modern 6-input LUT-based FPGA architecture.

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種壓縮樹合成演算法，特別是關於一種應用於查找表式 FPGA 的壓縮樹延遲最佳化之合成演算法。

【先前技術】

習知的壓縮樹合成可以分成兩大類，一類是在原有的查找表(Look Up Table; LUT)式場域可程式化閘陣列(field-programmable gate array, FPGA)下發展演算法，以有效利用查找表合成壓縮樹。第二類是於原來的架構下內嵌運算單元以加速壓縮樹。其中，內嵌運算單元的方法必須改變原本的架構，因此無法直接應用於現今的查找表式 FPGA。

圖一係習知在特定應用積體電路(application specific integrated circuit, ASIC)上的壓縮樹運算的示意圖，其使用到的樣本(pattern)為半加器(half adder)及全加器(full adder)。如圖一所示，第零層所需要加總的運算元高度為 3，這並不能送給進位通過加法器(carry propagation adder, CPA)，因此需先以全加器或半加器進行壓縮，將需要加總的運算元高度降為 2，產生第一層的輸出結果層，然後才能把第一層的運算元直接透過進位通過加法器計算得到加總結果，完成此壓縮樹之建構。相關技術可參照美國專利第 US 5343416 號、第 US 6701339 號、第 US 6567834 號以及美國專利申請第 US 2007/0192398 號。

有別於特定應用積體電路，查找表式 FPGA 所能應用的樣本可以有更多變化，不受限於半加器及全加器。因此，本發明提出一種根據查找表定義出有限數量的元素樣本，應用於 FPGA 之延遲最佳化之壓縮樹合成演算法，提高查找表式 FPGA 的壓縮樹效能。加速各種實現於查找表式場域可程式化閘陣列下的數位訊號處理應用電路。

【發明內容】

本發明的目的，在於提出一種應用於查找表式 FPGA 的壓縮樹延遲最佳化合成演算法。

根據本發明，一種應用於查找表式 FPGA 的壓縮樹延遲最佳化合成演算法，該查找表的輸入限制為 n ，該演算法包括定義出輸入限制為 n 的樣本；根據該樣本定義出該輸入限制為 n 的樣本組；根據該樣本組定義出輸入限制小於或等於 n 的樣本組集合；自該樣本組集合中定義出無法被其他樣本拆解的元素樣本；以及根據該元素樣本定義出輸入限制為 n 時的元素樣本集合；其中，該樣本組包含該樣本，該樣本組集合包含該樣本組，該元素樣本集合係供該壓縮樹運算。

較佳者，配合整數線性規劃法，從元素樣本集合中，使用最少的元素樣本，藉以減少查找表單元以降低壓縮樹所需的面積並提升效能。

【實施方式】

在眾多數位訊號處理(DSP)應用中，會有許多應用 [S1]

壓縮樹的部分，這些應用包含乘法器，乘加器，離散餘弦轉換，有限脈衝響應濾波器以及動作估計等。要提高上述應用電路實現於查找表式 FPGA 的速度，勢必要有高速的壓縮樹架構。本發明在給定查找表的輸入限制之下，產生一組相對應的元素樣本集合，再藉著這些元素樣本(prime pattern)，用整數線性規劃法去合成出延遲最佳化的壓縮樹。並且在不失去延遲最佳化的特性下，更進一步用一套後製程序去降低壓縮樹所需要的面積。在現今的製程中，查找表輸入限制可達到八，為簡化說明，以下的實施例以查找表輸入限制為三做說明。

根據本發明，要合成出延遲最佳化之壓縮樹，不需考慮所有可能的樣本，只需要考慮所有的元素樣本。元素樣本係根據各個查找表的設計架構決定出來的，然而在物理意義上來說，元素樣本在每一行都必須要有進位的可能性。

本發明提出之元素樣本定義步驟包括：

- a. 定義樣本(pattern):本發明所稱之樣本係在各輸入限制下，查找表所能實現的一種壓縮架構，然而，即使在同一種輸入限制下，亦可能產生多種壓縮架構，如圖二之樣本 221、222、223、224、225 與 226，這六種樣本的輸入限制均為三。
- b. 定義樣本組(sets of patterns; PS):本發明所稱之樣本組係指在同一種輸入限制下，所有可能的樣本，例如圖二之樣本 221、222、223、224、225 與 226 皆屬於同一樣本組。
- c. 定義樣本組集合(union of pattern sets; UPS): 本發明

所稱之樣本組集合係指在滿足輸入限制的條件下，根據步驟 b 得到的樣本組產生出所有可能的樣本組集合，例如圖二中，樣本 201、211、212、213、214、221、222、223、224、225 與 226 的輸入均小於等於三，屬於輸入限制為三的樣本組集合。

- d. 定義元素樣本(prime patterns, PPS): 本發明所稱之元素樣本係在相同輸入限制下，查找表所能實現的最基本架構，該基本架構無法被其它元素樣本取代，如圖二中，樣本 211 即為一元素樣本，而樣本 222 可以折解成兩個 201，因此，樣本 222 不屬於一元素樣本。
- e. 定義元素樣本集合(union prime pattern, UPPS): 本發明所稱之元素樣本集合係指在相同輸入限制下，所有可能的元素樣本的集合，例如在圖二中，樣本 201、211、221 與 222 屬於輸入限制為三的元素樣本集合。

在查找表輸入限制為三的狀況下，根據前述步驟，可得出圖二所示之四種元素樣本 201、211、221 與 222。圖三(a)和圖三(b)係根據本發明一實施例的示意圖，圖三(a)中所示之壓縮樹是在查找表輸入限制為3之下所建構而成，利用圖二所示之四種元素樣本 201、211、221 與 222，將運算元高度為 4 的第二百零層經第一次壓縮後，產生運算元高度為 3 的第一層，但第一層的高度仍大於 2，因此需再進行一次壓縮，產生運算元高度為 2 之第二層。

在圖三(a)的實施例中，扣除元素樣本 p1 後，共使用了五個查找表單元，因此，本發明還在不失去延遲最佳化的前提之下，提出一套後製程序去降低壓縮樹所需要的面積，在找到延遲最佳化設計的壓縮樹設計後，可

能發現多個元素樣本能合併在同一個查找表中，因此，在後製程序中，以貪婪搜尋的方法，任意將可以合併的元素樣本合併到同一個查找表中。藉由該後製程序將倒數第二層的冗贅元素樣本給移除，將圖三(a)所示的延遲最佳化壓縮樹經過後製程序萃取後，其相對應的壓縮樹將如圖三(b)所示。如圖三(b)所示，經過最佳化後，只需要四個查找表單元。

與既有的演算法比較，本發明提出之演算法降低延遲約 32%，並減少約 21%面積，大幅度提升查找表式場域可程式化陣列實做高速壓縮樹的效能。

根據本發明，在查找表輸入限制為六的狀況下，元素樣本的個數為 37 個，換言之，只要考慮這 37 種元素樣本，即可以合成出延遲最佳化的壓縮樹。

本發明提出之演算法可以軟體、韌體或硬體實現。

本發明雖以較佳實施例說明如前，然前述之實施例並非用以限定本發明，任何熟習此項技藝者，在不脫離本發之精神和範圍內做各種變動、修改及潤飾是可預期的，因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 係習知在特定應用積體電路上的壓縮樹運算的示意圖；

圖 2 繪示在查找表輸入限制為三時定義出的樣本、

{S}

樣本組、樣本組集合、元素樣本及元素樣本集合；以及
圖 3 係根據本發明一實施例的示意圖。

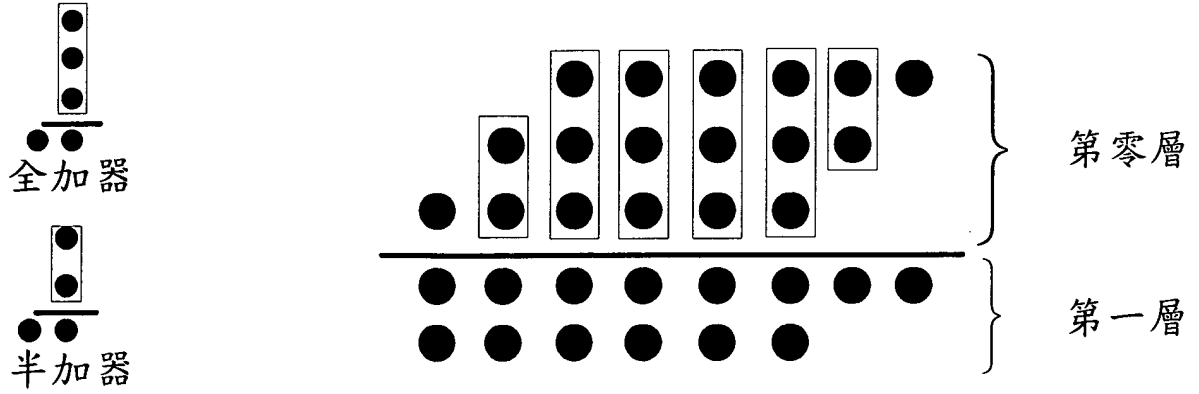
【主要元件符號說明】

201	樣本
211	樣本
212	樣本
213	樣本
214	樣本
221	樣本
222	樣本
223	樣本
224	樣本
225	樣本
226	樣本

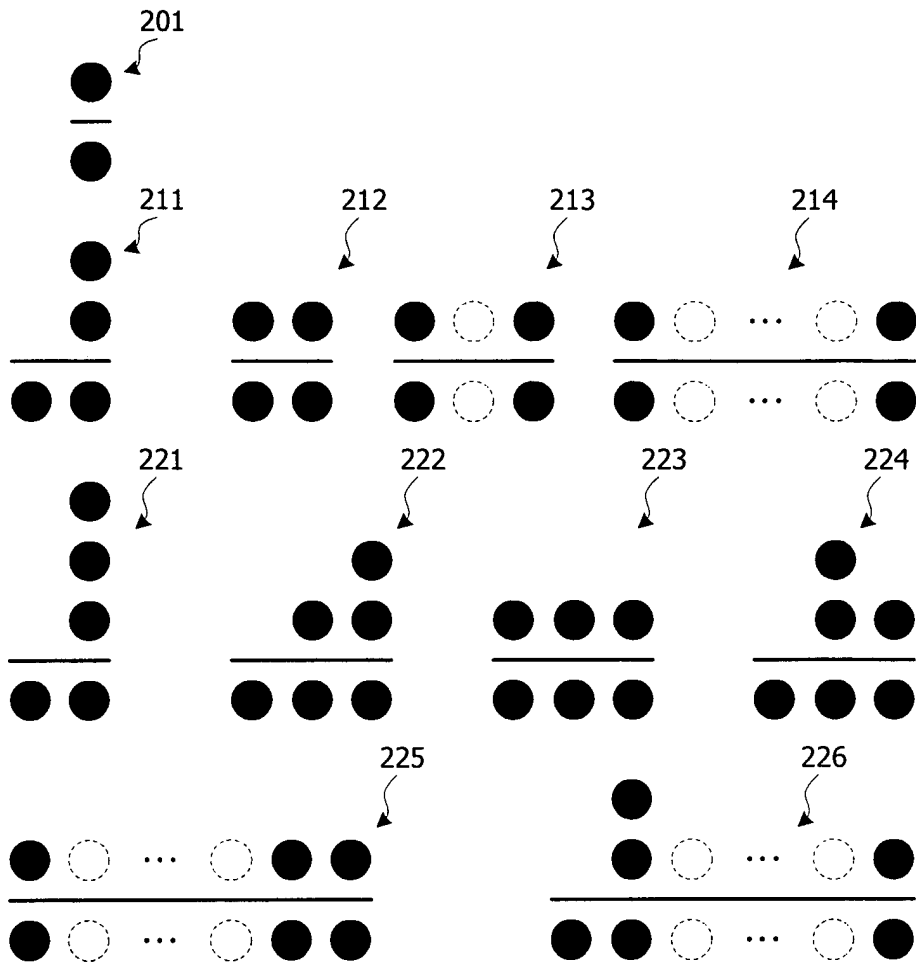
七、申請專利範圍：

1. 一種應用於查找表式 FPGA 的壓縮樹延遲最佳化合成演算法，該查找表的輸入限制為 n ，該演算法包括下列步驟：
 - a. 根據該輸入限制 n 及該查找表定義出樣本；
 - b. 根據該樣本定義出該輸入限制為 n 的樣本組；
 - c. 根據該樣本組定義出輸入限制小於或等於 n 的樣本組集合；
 - d. 自該樣本組集合中定義出無法被其他樣本拆解的元素樣本；以及
 - e. 根據該元素樣本定義出輸入限制為 n 時的元素樣本集合；其中，該樣本組包含該樣本，該樣本組集合包含該樣本組，該元素樣本集合係供該壓縮樹運算。
2. 如請求項 1 之演算法，更包括配合整數線性規算法，從該元素樣本集合中決定出最適當的壓縮樹。
3. 如請求項 1 之演算法，其中 n 係小於等於 8 的正整數。
4. 如請求項 1 之演算法，更包括在找到適當的壓縮樹後，以貪婪搜尋的方法任意將可以合併的元素樣本合併到同一個查找表中。

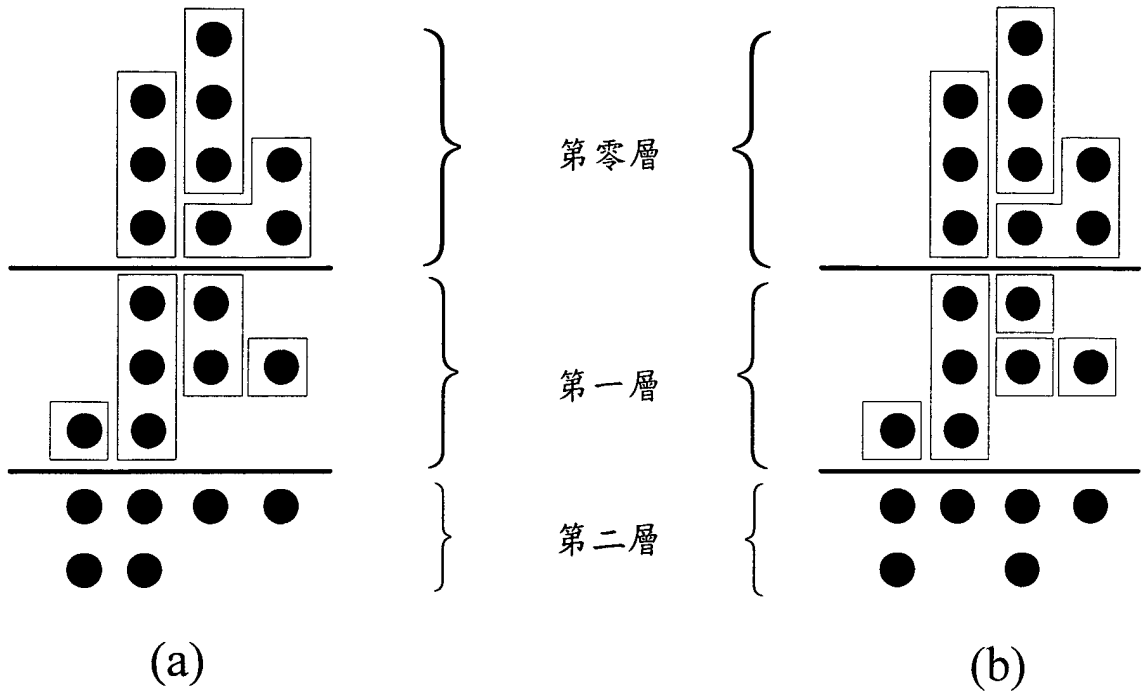
八、圖式：



圖一



圖二



圖三