

(21) 申請案號：098140529

(22) 申請日：中華民國 98 (2009) 年 11 月 27 日

(51) Int. Cl. : *H01L29/15 (2006.01)*

H01L29/12 (2006.01)

H01L29/78 (2006.01)

H01L21/28 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張俊彥 CHANG, CHUN YEN (TW)

(74) 代理人：何金塗；丁國隆

申請實體審查：有 申請專利範圍項數：39 項 圖式數：47 共 53 頁

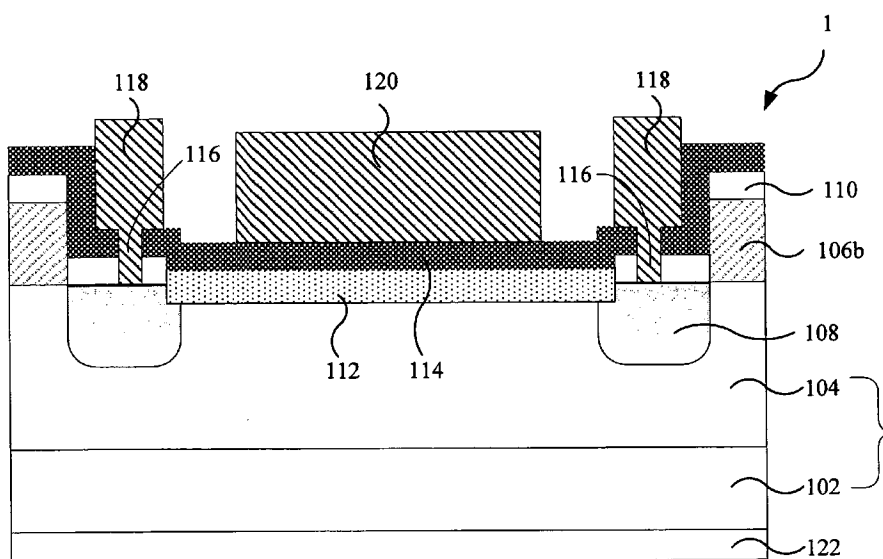
(54) 名稱

具有三五族通道及四族源汲極之半導體裝置及其製造方法

SEMICONDUCTOR DEVICE WITH GROUP III-V CHANNEL AND GROUP IV SOURCE-DRAIN AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

本發明係關於具有三五族通道及四族源汲極之半導體裝置及其製造方法，具體而言，係藉由三五族與四族材料的異質磊晶及元件的結構設計來提高三五族材料的能階密度及摻雜濃度。該方法包括：製備基板；在該基板上沉積假閘極材料層，利用微影法將該假閘極材料層定義出假閘極；以該假閘極作為遮罩實施自我對準式離子佈植而進行摻雜，進行高溫活化而形成源汲極；去除該假閘極；藉由蝕刻，在成對之該源汲極之間的該基板形成凹陷；在該凹陷中磊晶形成包含通道之堆疊元件；及在該包含通道之堆疊元件上形成閘極。



- 1：金氧半場效電晶體
- 100：Si_xGe_{1-x} 基板
- 102：p 型矽基板
- 104：p 型 Si_xGe_{1-x} 層
- 106b：殘留的第 1 二氧化矽層
- 108：n⁺源汲極
- 110：第 2 二氧化矽層
- 112：高遷移率三五族通道層
- 114：高介電常數閘極介電質層
- 118：源汲極插塞接點
- 120：金屬閘極
- 122：背面接點

發明專利說明書

PD1095732

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98140929

H01L 29/15 (2006.01)

※申請日：99.11.27

※IPC 分類：H01L 29/12 (2006.01)

H01L 29/18 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/28 (2006.01)

具有三五族通道及四族源汲極之半導體裝置及其製造方法
SEMICONDUCTOR DEVICE WITH GROUP III-V CHANNEL
AND GROUP IV SOURCE-DRAIN AND METHOD FOR
MANUFACTURING THE SAME

二、中文發明摘要：

本發明係關於具有三五族通道及四族源汲極之半導體裝置及其製造方法，具體而言，係藉由三五族與四族材料的異質磊晶及元件的結構設計來提高三五族材料的能階密度及摻雜濃度。該方法包括：製備基板；在該基板上沉積假閘極材料層，利用微影法將該假閘極材料層定義出假閘極；以該假閘極作為遮罩實施自我對準式離子佈植而進行摻雜，進行高溫活化而形成源汲極；去除該假閘極；藉由蝕刻，在成對之該源汲極之間的該基板形成凹陷；在該凹陷中磊晶形成包含通道之堆疊元件；及在該包含通道之堆疊元件上形成閘極。

三、英文發明摘要：

無。

四、指定代表圖：

(一)本案指定代表圖為：第 11 圖。

(二)本代表圖之元件符號簡單說明：

1	金氧半場效電晶體
100	$\text{Si}_x\text{Ge}_{1-x}$ 基板
102	p 型矽基板
104	p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層
106b	殘留的第 1 二氧化矽層
108	n^+ 源汲極
110	第 2 二氧化矽層
112	高遷移率三五族通道層
114	高介電常數閘極介電質層
118	源汲極插塞接點
120	金屬閘極
122	背面接點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於具有三五族通道及四族源汲極之半導體裝置，及製造具有三五族通道及四族源汲極之半導體裝置之方法，該方法係將三五族通道磊晶於四族基板上，或者是將四族源汲極磊晶於三五族元件結構上。

【先前技術】

一般而言，具有二氧化矽製之薄閘極介電質（gate dielectrics）的金氧半場效電晶體（MOSFET）會遭遇嚴重的閘極漏電流問題，因此以高介電常數的介電材料取代二氧化矽形成閘極介電質，藉以減少閘極漏電流。在此，高介電常數係指介電常數大於 10。

然而，由於此種高介電常數層可能與多晶矽不相容，所以較佳為在含有高介電常數閘極介電層的裝置中使用金屬閘極。當製作含有金屬閘極之 CMOS 裝置時，可能需要以不同的材料製作 NMOS 及 PMOS。可使用替代閘極製程（replacement gate process）來形成由不同材料製成的閘極。在該製程中，將被一對間隔物包夾的第 1 多晶矽層選擇性地移除成為第 2 多晶矽層而在該等間隔物之間產生溝槽（trench）。以第 1 金屬填入溝槽。然後，移除第 2 多晶矽層且以有別於第 1 金屬的第 2 金屬替代。

美國專利案 US 2006/0046399 A1 揭露另一種形成替代金屬閘極（replacement metal gate electrode）的方法。在矽基板 10 上依序形成假介電層（dummy dielectric layer）、犧牲層。將假介電層、犧牲層圖案化，以經圖案化的犧牲

層作為遮罩執行離子佈植而形成淺源汲極區 (shallow source drain region) 14。依序將側壁間隔物 17、16 形成於犧牲層 18 的相對側。再次執行離子佈植而形成深源汲極區 (deep source drain region) 12。在所生成的結構 (resultant structure) 上沉積介電層 20，以化學機械研磨將介電層 20 從經圖案化的犧牲層上移除。移除犧牲層而產生位在側壁間隔物 16、17 之間的孔。在孔內形成側壁間隔物 24。利用濕蝕刻移除假介電層。如第 1 圖所示，利用乾蝕刻來蝕刻藉由側壁間隔物 24 間之開口所曝露之將作為通道部的矽基板 10，形成溝槽 26。如第 2 圖所示，將如矽銻、銻、InSb 或摻雜碳的矽之磊晶材料 28 填入溝槽 26 的一部分至淺源汲極區 14 上表面的高度。如第 3 圖所示，移除側壁間隔物 24。形成 U 型高介電常數的介電層 32。在介電層 32 上形成 N 型金屬層 30。

【發明內容】

發明所欲解決的問題

在上述方法中，在基板形成溝槽 26，藉由沉積單一磊晶薄膜來填入磊晶材料作為載子通道，即磊晶材料 28 係單層而無結構設計，因此所製作之裝置的電氣特性易受磊晶接面的品質影響且無法有效侷限載子。此外，上述方法係將溝槽 26 的深度配置為等同深源汲極區 12 的深度，但對磊晶異質材料而言，由於異質材料的缺陷可能會向上延伸至通道部的表面導致電性退化，故此種配置並非最佳化。

將三五族材料整合於矽基板作為邏輯電子裝置，雖然

可有效提升裝置的電氣特性，但是一旦元件尺寸微縮至 22nm 以下，則採用三五族材料之場效電晶體將面臨能階密度及摻雜濃度不足的問題。

解決問題之手段

本發明人鑑於上述問題，考量將通道部的深度及結構納入元件設計中。

本發明之一態樣係一種具有三五族通道及四族源汲極之半導體裝置，其包括：基板，係選自於由 Si 基板、Ge 基板、上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽鍍之 Si 基板、上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽鍍之 Ge 基板、及上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽鍍之鑽石基板所構成之群組之一者；源汲極，係藉由離子佈植將該基板之特定部分進行摻雜所形成；包含通道之堆疊元件，係在成對之該源汲極之間的該基板形成凹陷，藉由磊晶將三五族材料填入該凹陷而形成為與該源汲極相連接；及閘極，係形成在該包含通道之堆疊元件上。

本發明之另一態樣係藉由兩種不同的磊晶技術來結合三五族載子通道與四族源汲極。

其一為三五族磊晶技術，係先形成四族源汲極再堆疊三五族通道，具體而言，包括下列步驟：製備基板，該基板係選自於由 Si 基板、Ge 基板、上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽鍍之 Si 基板、上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽鍍之 Ge 基板、及上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽鍍之鑽石基板所構成

之群組之一者；在該基板上沉積假閘極材料層，利用微影法將該假閘極材料層定義出假閘極（dummy gate）；以該假閘極作為遮罩實施自我對準式離子佈植而對該基板的曝露區域進行摻雜，進行高溫活化而形成源汲極；去除該假閘極；藉由蝕刻，在成對之該源汲極之間的該基板形成凹陷，該凹陷具有後續磊晶包含通道之堆疊元件所需的深度；在該凹陷中磊晶三五族材料來形成包含通道之堆疊元件；及在該包含通道之堆疊元件上形成閘極。

其二為四族磊晶技術，係先堆疊三五族通道再形成四族源汲極，具體而言，包括下列步驟：製備基板，該基板係三五族基板或上面成長有 GaN 之 Si 基板；藉由蝕刻，在該基板形成凹陷，該凹陷具有後續磊晶包含通道之堆疊元件所需的深度；在該凹陷中磊晶三五族材料來形成包含通道之堆疊元件；在該基板上沉積假閘極材料層，利用微影法將該假閘極材料層定義出假閘極；以該假閘極作為遮罩而在基板形成源汲極用凹陷（source-drain recess）；以該假閘極作為遮罩，利用選擇性異質磊晶（selective heteroepitaxy）將四族材料填入該源汲極用凹陷；實施自我對準式離子佈植對該四族材料進行摻雜，接著進行高溫活化而形成源汲極；去除該假閘極；及在該包含通道之堆疊元件上形成閘極。

又，該基板之晶面為（100）、（110）、或（111），其偏差角度為 2 度、4 度、或 6 度。

又，該假閘極材料層係由絕緣材料所製成之單一層或由複數絕緣材料所製成之堆疊層，其材料可為氧化矽、氮氧化矽、氮氧化鋁、或氮氧化鉛。

又，該源汲極係由經摻雜之 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或碳化矽所製成。

又，該包含通道之堆疊元件具有金氧半結構、量子井結構或二維電子氣 (two-dimension electron gas) 結構，其中該金氧半結構係由金屬層、高介電常數之介電層、及三五族通道層所構成；該量子井結構係由大能隙材料層、作為通道之小能隙材料層、及大能隙材料層所構成；該二維電子氣結構係由大能隙重摻雜材料層、大能隙未摻雜材料層、作為通道之小能隙未摻雜材料層、及中能隙未摻雜材料層所構成。

又，該通道之材料為 InN 、 GaN 、 AlN 、 InP 、 InAs 、 InSb 、 GaAs 、 GaSb 、或其以不同比例所組成之化合物。

又，本發明係使用選自於由金屬有機化學氣相沉積系統 (MOCVD)、分子束磊晶系統 (MBE)、超高真空化學氣相沉積系統 (UHVCVD)、及原子層沉積系統 (ALD) 所構成之群組的成膜系統來進行磊晶。

發明之效果

根據本發明製造之具有三五族通道及四族源汲極之半導體裝置，具有下列優點：(1) 解決三五族元件能階密度及摻雜濃度皆不高的問題；(2) 藉由形成量子井或二維電子氣或金氧半等堆疊結構，能有效侷限通道載子；(3) 整合三五族材料於矽鍺或矽基板，可降低成本；及(4) 能成長具有應力的三五族通道，進一步提升電氣特性，此係由於晶格常數相對較小之如 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 的四族源汲極會使晶格常數相對較大之如 GaAs 的三五族通道受到

壓縮應力 (compressive strain)，本身則形成拉伸應力 (tensile strain)，而該壓縮應力能提升三五族通道之電子遷移率，提高電流。

【實施方式】

以下，參照隨附圖式詳細說明本發明的實施形態。

第 1 實施例

第 1 實施例係利用三五族磊晶技術製作金氧半場效電晶體 1。

請參照第 4 圖，製備上面形成有 p 型 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 層 104 之 p 型矽基板 102，以下將連同 p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層 104 之 p 型矽基板 102 稱為 $\text{Si}_x\text{Ge}_{1-x}$ 基板 100。清洗後，於 $\text{Si}_x\text{Ge}_{1-x}$ 基板 100 上沉積第 1 二氧化矽層 106。

請參照第 5 圖，利用微影法定義出假閘極 106a 及殘留的第 1 二氧化矽層 106b。以假閘極 106a 及殘留的第 1 二氧化矽層 106b 作為遮罩，實施自我對準式離子佈植，對 $\text{Si}_x\text{Ge}_{1-x}$ 基板 100 進行 P 摻雜而形成 n^+ 源汲極 108。請參照第 6 圖，沉積第 2 二氧化矽層 110 覆蓋整體表面，接著將 n^+ 源汲極 108 高溫活化。

請參照第 7 圖，蝕刻去除假閘極 106a 及其上方的第 2 二氧化矽層 110。

請參照第 8 圖，在剩餘的第 2 二氧化矽層 110 上形成作為蝕刻遮罩的阻劑 PR，蝕刻 $\text{Si}_x\text{Ge}_{1-x}$ 基板 100 至所需深度而形成凹陷 124。

請參照第 9 圖，去除阻劑 PR，在凹陷 124 中磊晶三五族材料以作為高電子遷移率三五族通道層 112。在所生成

之結構上形成高介電常數閘極介電質層 114。

請參照第 10 圖，在位於 n^+ 源汲極 108 上方的第 2 二氧化矽層 110 及高介電常數閘極介電質層 114 中定義出接觸孔 116。

請參照第 11 圖，實施金屬化製程，在接觸孔 116 形成 TiN 或 TaN 製之源汲極插塞接點 118，及在高遷移率三五族通道層 112 上方形成 TiN 或 TaN 製之金屬閘極 120。最後，在矽基板 102 之相對於成長上述層的側上形成由 Al 製成的背面接點 (backside contact) 122。

第 2 實施例

第 2 實施例係利用三五族磊晶技術製作量子井場效電晶體 (QWFET) 2。

請參照第 12 圖，製備上面形成有 p 型 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0 \sim 1$) 層 204 之 p 型矽基板 202，以下將連同 p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層 204 之 p 型矽基板 202 稱為 $\text{Si}_x\text{Ge}_{1-x}$ 基板 200。清洗後，於 $\text{Si}_x\text{Ge}_{1-x}$ 基板 200 上沉積第 1 二氧化矽層 206。

請參照第 13 圖，利用微影法定義出假閘極 206a 及殘留的第 1 二氧化矽層 206b。以假閘極 206a 及殘留的第 1 二氧化矽層 206b 作為遮罩，實施自我對準式離子佈植，對 $\text{Si}_x\text{Ge}_{1-x}$ 基板 200 進行 P 摻雜而形成 n^+ 源汲極 208。請參照第 14 圖，沉積第 2 二氧化矽層 210 覆蓋整體表面，接著將 n^+ 源汲極 208 高溫活化。

請參照第 15 圖，蝕刻去除假閘極 206a 及其上方的第 2 二氧化矽層 210。

請參照第 16 圖，在剩餘的第 2 二氧化矽層 210 上形

成作為蝕刻遮罩的阻劑 PR，蝕刻 $\text{Si}_x\text{Ge}_{1-x}$ 基板 200 至後續堆疊元件所需的深度而形成凹陷 228。

請參照第 17 圖，去除阻劑 PR，在凹陷 228 中依序磊晶三五族第 1 大能隙侷限層 (III-V first large energy gap confinement layer) 212、三五族小能隙通道層 (small energy gap channel layer) 214、及三五族第 2 大能隙侷限層 216，作為具有三五族量子井結構之堆疊元件 218。

請參照第 18 圖，在位於 n^+ 源汲極 208 上方的第 2 二氧化矽層 210 中定義出接觸孔 220。

請參照第 19 圖，實施金屬化製程，在接觸孔 220 形成 Al 製之源汲極插塞接點 222。在具有三五族量子井結構之堆疊元件 218 上形成 Pt 或 Ti 製之金屬閘極 224。最後，在矽基板 202 之相對於成長上述層的側上形成由 Al 製成的背面接點 226。

第 3 實施例

第 3 實施例係利用三五族磊晶技術製作高電子遷移率電晶體 (HEMT) 3。

請參照第 20 圖，製備上面形成有 p 型 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0 \sim 1$) 層 304 之 p 型矽基板 302，以下將連同 p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層 304 之 p 型矽基板 302 稱為 $\text{Si}_x\text{Ge}_{1-x}$ 基板 300。清洗後，於 $\text{Si}_x\text{Ge}_{1-x}$ 基板 300 上沉積第 1 二氧化矽層 306。

請參照第 21 圖，利用微影法定義出假閘極 306a 及殘留的第 1 二氧化矽層 306b。以假閘極 306a 及殘留的第 1 二氧化矽層 306b 作為遮罩，實施自我對準式離子佈植，對 $\text{Si}_x\text{Ge}_{1-x}$ 基板 300 進行 P 摻雜而形成 n^+ 源汲極 308。請

參照第 22 圖，沉積第 2 二氧化矽層 310 覆蓋整體表面，接著將 n^+ 源汲極 308 高溫活化。

請參照第 23 圖，蝕刻去除假閘極 306a 及其上方的第 2 二氧化矽層 310。

請參照第 24 圖，在剩餘的第 2 二氧化矽層 310 上形成作為蝕刻遮罩的阻劑 PR，蝕刻 $\text{Si}_x\text{Ge}_{1-x}$ 基板 300 至後續堆疊元件所需的深度而形成凹陷 330。

請參照第 25 圖，去除阻劑 PR，在凹陷 330 中依序磊晶三五族未摻雜中能隙侷限層 (III - V undoped moderate energy gap confinement layer) 312、三五族未摻雜小能隙通道層 314、三五族未摻雜大能隙間隔物層 (III - V undoped large energy gap spacer layer) 316、及三五族 n^+ 摻雜大能隙侷限層 (III - V n^+ -doped high energy gap confinement layer) 318，以作為具有三五族二維電子氣結構之堆疊元件 320。

請參照第 26 圖，在位於源汲極 308 上方的殘留的第 2 二氧化矽層 310 中定義出接觸孔 322。

請參照第 27 圖，實施金屬化製程，在接觸孔 322 形成源汲極插塞接點 324。在具有三五族二維電子氣結構之堆疊元件 320 上形成金屬閘極 326。最後，在矽基板 302 之相對於成長上述層的側上形成由 Al 製成的背面接點 328。

第 4 實施例

第 4 實施例係利用三五族磊晶技術製作金氧半-高電子遷移率電晶體 (MOS-HEMT) 4。

請參照第 28 圖，製備上面形成有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 層 404 之矽基板 402，以下將連同 $\text{Si}_x\text{Ge}_{1-x}$ 層 404 之矽基板 402 稱為 $\text{Si}_x\text{Ge}_{1-x}$ 基板 400。清洗後，於 $\text{Si}_x\text{Ge}_{1-x}$ 基板 400 上沉積第 1 二氧化矽層 406。

請參照第 29 圖，利用微影法定義出假閘極 406a 及殘留的第 1 二氧化矽層 406b。以假閘極 406a 及殘留的第 1 二氧化矽層 406b 作為遮罩，實施自我對準式離子佈植，對 $\text{Si}_x\text{Ge}_{1-x}$ 基板 400 進行 P 摻雜而形成 n^+ 源汲極 408。請參照第 30 圖，沉積第 2 二氧化矽層 410 覆蓋整體表面，接著將源汲極 408 高溫活化。

請參照第 31 圖，蝕刻去除假閘極 406a 及其上方的第 2 二氧化矽層 410。

請參照第 32 圖，在剩餘的第 2 二氧化矽層 410 上形成作為蝕刻遮罩的阻劑 PR，蝕刻 $\text{Si}_x\text{Ge}_{1-x}$ 基板 400 至後續堆疊元件所需的深度而形成凹陷 432。

請參照第 33 圖，去除阻劑 PR，於凹陷 432 中依序磊晶三五族未摻雜中能隙侷限層 412、三五族未摻雜小能隙通道層 414、三五族未摻雜大能隙間隔物層 416、及三五族 n^+ 摻雜大能隙侷限層 418，以作為具有三五族二維電子氣結構之堆疊元件 420。在具有三五族二維電子氣結構之堆疊元件 420 上形成高介電常數閘極介電質層 422。

請參照第 34 圖，在位於 n^+ 源汲極 408 上方的第 2 二氧化矽層 410 及高介電常數閘極介電質層 422 中定義出接觸孔 424。

請參照第 35 圖，實施金屬化製程，在接觸孔 424 形

成源汲極插塞接點 426。在三五族二維電子氣結構 420 上方形成金屬閘極 428。最後，在矽基板 402 之相對於成長上述層的側上形成由 Al 製成的背面接點 430。

第 5 實施例

第 5 實施例係利用四族磊晶技術製作量子井場效電晶體 5。

製備如 GaAs 之三五族基板 502。請參照第 36 圖，蝕刻三五族基板 502 至後續後續堆疊元件所需的深度而形成凹陷 524。

請參照第 37 圖，在凹陷 524 中依序磊晶三五族第 1 大能隙侷限層 504、三五族小能隙通道層 506、及三五族第 2 大能隙侷限層 508，作為具有三五族量子井結構之堆疊元件 510。

請參照第 38 圖，沉積二氧化矽層 512 覆蓋整體表面。請參照第 39 圖，利用微影法定義出假閘極 512a 及殘留的二氧化矽層 512b。請參照第 40 圖，在假閘極 512a 及殘留的二氧化矽層 512b 上形成作為蝕刻遮罩的阻劑 PR，蝕刻曝露的三五族基板 502 而形成源汲極用凹陷 (source-drain recess) 514。

請參照第 41~42 圖，去除阻劑 PR 後，利用選擇性異質磊晶 (selective heteroepitaxy) 將四族 SiGe 材料 516 填入源汲極用凹陷 514。以假閘極 512a 及殘留的二氧化矽層 512b 為遮罩，實施自我對準式離子佈植對四族 SiGe 材料 516 進行 N 型摻雜而形成源汲極 518，接著將其高溫活化。

請參照第 43 圖，去除假閘極 512a。請參照第 44 圖，在三五族量子井結構 510 上形成金屬閘極 520。在源汲極 518 上形成源汲極接點 522。

電性模擬結果

以下，利用 ISE-TCAD 模擬軟體來模擬具有三五族通道及四族源汲極之場效電晶體的電氣特性，以評估本發明的效果。在此，用以評估之根據本發明的場效電晶體係具有如附件所示之 GaAs 通道搭配 Ge 源汲極結構者，將其與 GaAs n-MOSFET 及習知的 Si n-MOSFET 相比較。三者的主要差異在於源汲極的摻雜濃度，將其構成及摻雜條件列於表 1。

表 1

裝置結構	具有銻源汲極之 GaAs MOSFET	GaAs MOSFET	Si MOSFET	備註
基板 (GaAs, Si)	p 型, $5 \times 10^{17} \text{ cm}^{-3}$			厚度 $1 \mu\text{m}$
閘極介電質	HfO ₂ , 5nm (EOT=1nm)			
閘極材料	Al 金屬 (功函數=4.1eV)			
間隔物	SiO ₂ , 長度=50nm			
源汲極材料	Ge ($6 \times 10^{19} \text{ cm}^{-3}$)	GaAs ($1 \times 10^{19} \text{ cm}^{-3}$)	Si ($1 \times 10^{20} \text{ cm}^{-3}$)	高斯摻雜 輪廓
源汲極界面延伸	深度=40nm			
源汲極界面	深度=80nm			
暈佈植	p 型, $2 \times 10^{18} \text{ cm}^{-3}$			高斯摻雜 輪廓

第 45~47 圖係分別顯示表 1 所列 3 種 MOSFET 的

I_D-V_G 、 G_m-V_G 、及 I_D-V_D 電性的圖表。在此，模擬的通道尺寸為 100 nm。由第 45 及 46 圖可知，使用高載子遷移率三五族通道的 MOSFET 能有效提升驅動電流及電導特性，且採用 Ge 源汲極的 GaAs n-MOSFET，能進一步改善整體元件特性。為了比較上的方便，將表 1 所列 3 種 MOSFET 之圖示於第 45~47 圖的電氣特性整理於表 2。

表 2

	G_M ($\mu S / \mu m$) @ $V_d=0.1V$	提升率 (%)	I_D ($\mu A / \mu m$) @ $V_g - V_{th}=0.5V, V_d=0.1V$	提升率 (%)	I_D ($\mu A / \mu m$) @ $V_g - V_{th}=0.5V, V_d=1V$	提升率 (%)
Si MOSFET	436	-	173	-	362	-
GaAs MOSFET	895	105	334	93	459	27
具有鋅源汲 極之 GaAs MOSFET	1004	130	409	136	544	50

由表 2 可知，就電導 G_m 特性，本發明之具有銻源汲極之 GaAs MOSFET 比 Si MOSFET 提升 130%，比 GaAs MOSFET 則提升 12%。就驅動電流 I_D 特性，本發明之具有銻源汲極之 GaAs MOSFET 比 GaAs MOSFET 在線性區及飽和區分別提升 22% 及 18%。

根據上述場效電晶體的模擬結果，本發明之具有三五族通道及四族源汲極之異質場效元件能明顯改善電氣特性。此外，本發明所提出之磊晶技術能應用於如高電子遷移率電晶體之其他類型的場效元件。

產業上的可利用性

根據本發明所製作之半導體裝置可應用於邏輯元件產品，例如，形成在 Si_xGe_{1-x} ($x = 0 \sim 1$) 頂層或 Si (Ge) 基板上之金氧半場效電晶體、高電子遷移率電晶體 (HEMT)、或量子井場效電晶體。

以上雖然藉由參照特定實施例描述本發明，但對本發明所屬領域之具有通常知識者而言，在不悖離下述申請專利範圍所界定的本發明之精神及範圍的情況下，可輕易進行各種變更及替代。

【圖式簡單說明】

第 1~3 圖係顯示相關先前技術之具有陡峭的源汲極及金屬閘極之電晶體的剖面示意圖。

第 4~11 圖係顯示根據本發明第 1 實施例之利用三五族磊晶技術製作金氧半場效電晶體之剖面示意圖。

第 12~19 圖係顯示根據本發明第 2 實施例之利用三五族磊晶技術製作量子井場效電晶體之剖面示意圖。

第 20~27 圖係顯示根據本發明第 3 實施例之利用三五族磊晶技術製作高電子遷移率電晶體之剖面示意圖。

第 28~35 圖係顯示根據本發明第 4 實施例之利用三五族磊晶技術製作金氧半-高電子遷移率電晶體之剖面示意圖。

第 36~44 圖係顯示根據本發明第 5 實施例之利用四族磊晶技術製作量子井場效電晶體之剖面示意圖。

第 45~47 圖係分別顯示表 1 所列 3 種 MOSFET 的 I_D-V_G 、 G_m-V_G 、及 I_D-V_D 電性的圖表。

【主要元件符號說明】

- | | |
|----|---------------|
| 1 | 金氧半場效電晶體 |
| 2 | 量子井場效電晶體 |
| 3 | 高電子遷移率電晶體 |
| 4 | 金氧半-高電子遷移率電晶體 |
| 5 | 量子井場效電晶體 |
| 10 | 矽基板 |
| 12 | 深源汲極區 |
| 14 | 淺源汲極區 |
| 16 | 側壁間隔物 |
| 17 | 側壁間隔物 |
| 20 | 介電層 |
| 24 | 側壁間隔物 |
| 26 | 溝槽 |
| 28 | 磊晶材料 |

- 30 N 型金屬層
- 32 介電層
- 100 $\text{Si}_x\text{Ge}_{1-x}$ 基板
- 102 p 型矽基板
- 104 p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層
- 106 第 1 二氧化矽層
- 106a 假閘極
- 106b 殘留的第 1 二氧化矽層
- 108 n^+ 源汲極
- 110 第 2 二氧化矽層
- 112 高遷移率三五族通道層
- 114 高介電常數閘極介電質層
- 116 接觸孔
- 118 源汲極插塞接點
- 120 金屬閘極
- 122 背面接點
- 124 凹陷
- 200 $\text{Si}_x\text{Ge}_{1-x}$ 基板
- 202 p 型矽基板
- 204 p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層
- 206 第 1 二氧化矽層
- 206a 假閘極
- 206b 殘留的第 1 二氧化矽層
- 208 n^+ 源汲極
- 210 第 2 二氧化矽層

- 212 三五族第 1 大能隙侷限層
- 214 三五族小能隙通道層
- 216 三五族第 2 大能隙侷限層
- 218 具有三五族量子井結構之堆疊元件
- 220 接觸孔
- 222 源汲極插塞接點
- 224 金屬閘極
- 226 背面接點
- 228 凹陷
- 300 $\text{Si}_x\text{Ge}_{1-x}$ 基板
- 302 p 型矽基板
- 304 p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層
- 306 第 1 二氧化矽層
- 306a 假閘極
- 306b 殘留的第 1 二氧化矽層
- 308 n^+ 源汲極
- 310 第 2 二氧化矽層
- 312 三五族未摻雜中能隙侷限層
- 314 三五族未摻雜小能隙通道層
- 316 三五族未摻雜大能隙間隔物層
- 318 三五族 n^+ 摻雜大能隙侷限層
- 320 具有三五族二維電子氣結構之堆疊元件
- 322 接觸孔
- 324 源汲極插塞接點
- 326 金屬閘極

- 328 背面接點
- 330 凹陷
- 400 $\text{Si}_x\text{Ge}_{1-x}$ 基板
- 402 p 型矽基板
- 404 p 型 $\text{Si}_x\text{Ge}_{1-x}$ 層
- 406 第 1 二氧化矽層
- 406a 假閘極
- 406b 殘留的第 1 二氧化矽層
- 408 n^+ 源汲極
- 410 第 2 二氧化矽層
- 412 三五族未摻雜中能隙侷限層
- 414 三五族未摻雜小能隙通道層
- 416 三五族未摻雜大能隙間隔物層
- 418 三五族 n^+ 摻雜大能隙侷限層
- 420 具有三五族二維電子氣結構之堆疊元件
- 422 高介電常數閘極介電質層
- 424 接觸孔
- 426 源汲極插塞接點
- 428 金屬閘極
- 430 背面接點
- 432 凹陷
- 502 三五族基板
- 504 三五族第 1 大能隙侷限層
- 506 三五族小能隙通道層
- 508 三五族第 2 大能隙侷限層

- 510 具有三五族量子井結構之堆疊元件
- 512 二氧化矽層
- 512a 假閘極
- 512b 殘留的二氧化矽層
- 514 源汲極用凹陷
- 516 四族 SiGe 材料
- 518 源汲極
- 520 金屬閘極
- 522 源汲極接點
- 524 凹陷
- PR 阻劑

七、申請專利範圍：

1. 一種具有三五族通道及四族源汲極之半導體裝置，其包括：

基板，係選自於由 Si 基板、Ge 基板、上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽銻之 Si 基板、上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽銻之 Ge 基板、及上面成長有 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或 GaN 或碳化矽銻之鑽石基板所構成之群組之一者；

源汲極，係藉由離子佈植對該基板之特定部分進行摻雜而形成；

包含通道之堆疊元件，係在成對之該源汲極之間的該基板形成凹陷，藉由磊晶將三五族材料填入該凹陷而形成為與該源汲極相連接；及

閘極，係形成在該包含通道之堆疊元件上。

2. 如申請專利範圍第 1 項之半導體裝置，其中該基板之晶面為 (100)、(110)、或 (111)，其偏差角度 (off-cut) 為 2 度、4 度、或 6 度。
3. 如申請專利範圍第 1 項之半導體裝置，其中該源汲極係由經摻雜之 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或碳化矽銻所製成。
4. 如申請專利範圍第 1 項之半導體裝置，其中該包含通道之堆疊元件具有金氧半結構、量子井結構或二維電子氣結構，其中該金氧半結構係由金屬層、高介電常數之介電層、及三五族通道層所構成；該量子井結構係由大能隙材料層、作為通道之小能隙材料層、及大能隙材料層所構成；該二維電子氣結構係由大能隙重摻雜材料層、

大能隙未摻雜材料層、作為通道之小能隙未摻雜材料層、及中能隙未摻雜材料層所構成。

5. 如申請專利範圍第 4 項之半導體裝置，其中該金氧半結構係由 TaN 層、HfO₂ 層、及 InGaAs 層所構成。
6. 如申請專利範圍第 4 項之半導體裝置，其中該金氧半結構係由 TiN 層、Al₂O₃ 層、及 InSb 層所構成。
7. 如申請專利範圍第 4 項之半導體裝置，其中該量子井結構係由 GaAs 層、Ge 層、及 GaAs 層所構成。
8. 如申請專利範圍第 4 項之半導體裝置，其中該量子井結構係由 GaAs 層、InGaAs 層、及 GaAs 層所構成。
9. 如申請專利範圍第 4 項之半導體裝置，其中該二維電子氣結構係由 N 型 AlGaAs 層、AlGaAs 層、InGaAs 層、及 GaAs 層所構成。
10. 如申請專利範圍第 4 項之半導體裝置，其中該二維電子氣結構係由 N 型 AlInAs 層、AlInAs 層、InGaAs 層、及 AlInAs 層所構成。
11. 如申請專利範圍第 1 項之半導體裝置，其中該通道之材料為 InN、GaN、AlN、InP、InAs、InSb、GaAs、GaSb、或其以不同比例所組成之化合物。
12. 一種製造具有三五族通道及四族源汲極之半導體裝置之方法，包括：
製備基板，該基板係選自於由 Si 基板、Ge 基板、上面成長有 Si_xGe_{1-x} (x = 0~1) 或 GaN 或碳化矽鍺之 Si 基板、上面成長有 Si_xGe_{1-x} (x = 0~1) 或 GaN 或碳化矽鍺之 Ge 基板、及上面成長有 Si_xGe_{1-x} (x = 0~1) 或 GaN 或碳化

矽鍺之鑽石基板所構成之群組之一者；

在該基板上沉積假閘極材料層，利用微影法將該假閘極材料層定義出假閘極（dummy gate）；

以該假閘極作為遮罩實施自我對準式離子佈植而對該基板的曝露區域進行摻雜，進行高溫活化而形成源汲極；

去除該假閘極；

藉由蝕刻，在成對之該源汲極之間的該基板形成凹陷，該凹陷具有後續磊晶包含通道之堆疊元件所需的深度；

在該凹陷中磊晶形成包含通道之堆疊元件；及

在該包含通道之堆疊元件上形成閘極。

13. 如申請專利範圍第 12 項之方法，其中該基板之晶面為（100）、（110）、或（111），其偏差角度為 2 度、4 度、或 6 度。
14. 如申請專利範圍第 12 項之方法，其中該假閘極材料層係由絕緣材料所製成之單一層或由複數絕緣材料所製成之堆疊層。
15. 如申請專利範圍第 14 項之方法，其中該假閘極材料層之材料為氧化矽、氮氧化矽、氮氧化鋁、或氮氧化鉛。
16. 如申請專利範圍第 12 項之方法，其中該源汲極係由經摻雜之 $\text{Si}_x\text{Ge}_{1-x}$ （ $x = 0 \sim 1$ ）或碳化矽鍺所製成。
17. 如申請專利範圍第 12 項之方法，其中該包含通道之堆疊元件具有金氧半結構、量子井結構或二維電子氣結構，其中該金氧半結構係由金屬層、高介電常數之介電層、及三五族通道層所構成；該量子井結構係由大能隙

材料層、作為通道之小能隙材料層、及大能隙材料層所構成；該二維電子氣結構係由大能隙重摻雜材料層、大能隙未摻雜材料層、作為通道之小能隙未摻雜材料層、及中能隙未摻雜材料層所構成。

18.如申請專利範圍第 17 項之方法，其中該金氧半結構係由 TaN 層、HfO₂ 層及 InGaAs 層所構成。

19.如申請專利範圍第 17 項之方法，其中該金氧半結構係由 TiN 層、Al₂O₃ 層及 InSb 層所構成。

20.如申請專利範圍第 17 項之方法，其中該量子井結構係由 GaAs 層、Ge 層及 GaAs 層所構成。

21.如申請專利範圍第 17 項之方法，其中該量子井結構係由 GaAs 層、InGaAs 層及 GaAs 層所構成。

22.如申請專利範圍第 17 項之方法，其中該二維電子氣結構係由 N 型 AlGaAs 層、AlGaAs 層、InGaAs 層及 GaAs 層所構成。

23.如申請專利範圍第 17 項之方法，其中該二維電子氣結構係由 N 型 AlInAs 層、AlInAs 層、InGaAs 層及 AlInAs 層所構成。

24.如申請專利範圍第 12 項之方法，其中該通道之材料為 InN、GaN、AlN、InP、InAs、InSb、GaAs、GaSb、或其在不同比例所組成之化合物。

25.如申請專利範圍第 12 項之方法，其中使用選自於由金屬有機化學氣相沉積系統(MOCVD)、分子束磊晶系統(MBE)、超高真空化學氣相沉積系統(UHVCVD)、及原子層沉積系統(ALD)所構成之群組的成膜系統來進行磊

晶。

26. 一種製造具有三五族通道及四族源汲極之半導體裝置之方法，包括：

製備基板，該基板係三五族基板或上面成長有 GaN 之 Si 基板；

藉由蝕刻，在該基板形成凹陷，該凹陷具有後續磊晶包含通道之堆疊元件所需的深度；

在該凹陷中磊晶形成包含通道之堆疊元件；

在該基板上沉積假閘極材料層，利用微影法將該假閘極材料層定義出假閘極；

以該假閘極作為遮罩而在基板形成源汲極用凹陷 (source-drain recess)；

以該假閘極作為遮罩，利用選擇性異質磊晶 (selective heteroepitaxy) 將四族材料填入該源汲極用凹陷；

實施自我對準式離子佈植對該四族材料進行摻雜，進行高溫活化而形成源汲極；

去除該假閘極；及

在該包含通道之堆疊元件上形成閘極。

27. 如申請專利範圍第 26 項之方法，其中該基板之晶面為 (100)、(110)、或 (111)，其偏差角度為 2 度、4 度、或 6 度。

28. 如申請專利範圍第 26 項之方法，其中該假閘極材料層係由絕緣材料所製成之單一層或由複數絕緣材料所製成之堆疊層。

29. 如申請專利範圍第 28 項之方法，其中該假閘極材料層

之材料為氧化矽、氮氧化矽、氮氧化鋁、或氮氧化鉛。

30.如申請專利範圍第 26 項之方法，其中該源汲極係由經摻雜之 $\text{Si}_x\text{Ge}_{1-x}$ ($x = 0\sim 1$) 或碳化矽鍺所製成。

31.如申請專利範圍第 26 項之方法，其中該包含通道之堆疊元件具有金氧半結構、量子井結構或二維電子氣結構，其中該金氧半結構係由金屬層、高介電常數之介電層、及三五族通道層所構成；該量子井結構係由大能隙材料層、作為通道之小能隙材料層、及大能隙材料層所構成；該二維電子氣結構係由大能隙重摻雜材料層、大能隙未摻雜材料層、作為通道之小能隙未摻雜材料層、及中能隙未摻雜材料層所構成。

32.如申請專利範圍第 31 項之方法，其中該金氧半結構係由 TaN 層、 HfO_2 層及 InGaAs 層所構成。

33.如申請專利範圍第 31 項之方法，其中該金氧半結構係由 TiN 層、 Al_2O_3 層及 InSb 層所構成。

34.如申請專利範圍第 31 項之方法，其中該量子井結構係由 GaAs 層、Ge 層及 GaAs 層所構成。

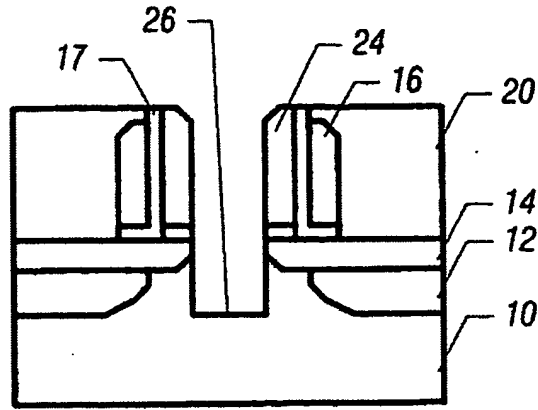
35.如申請專利範圍第 31 項之方法，其中該量子井結構係由 GaAs 層、InGaAs 層及 GaAs 層所構成。

36.如申請專利範圍第 31 項之方法，其中該二維電子氣結構係由 N 型 AlGaAs 層、AlGaAs 層、InGaAs 層及 GaAs 層所構成。

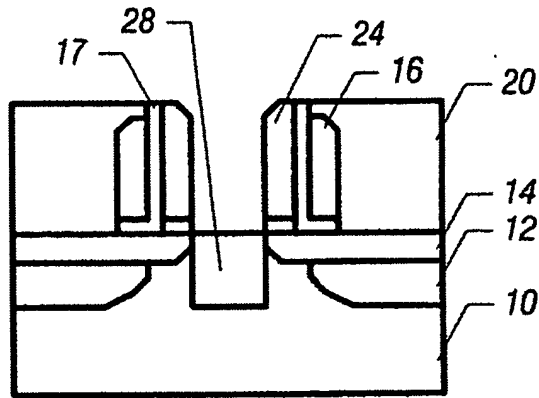
37.如申請專利範圍第 31 項之方法，其中該二維電子氣結構係由 N 型 AlInAs 層、AlInAs 層、InGaAs 層及 AlInAs 層所構成。

38.如申請專利範圍第 26 項之方法，其中該通道之材料為 InN、GaN、AlN、InP、InAs、InSb、GaAs、GaSb、或其在不同比例所組成之化合物。

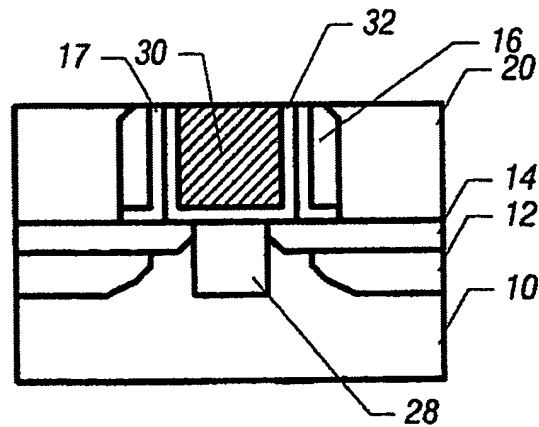
39.如申請專利範圍第 26 項之方法，其中使用選自由金屬有機化學氣相沉積系統(MOCVD)、分子束磊晶系統(MBE)、超高真空化學氣相沉積系統(UHVCVD)、及原子層沉積系統(ALD)所構成之群組的成膜系統來進行磊晶。



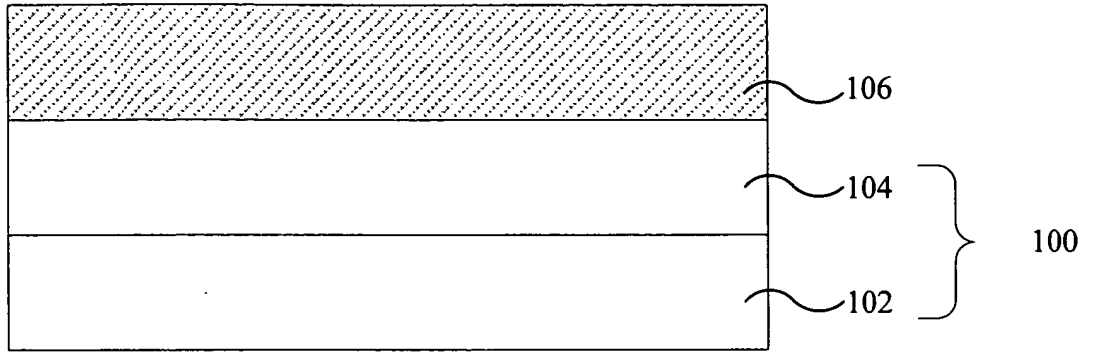
先前技術
第1圖



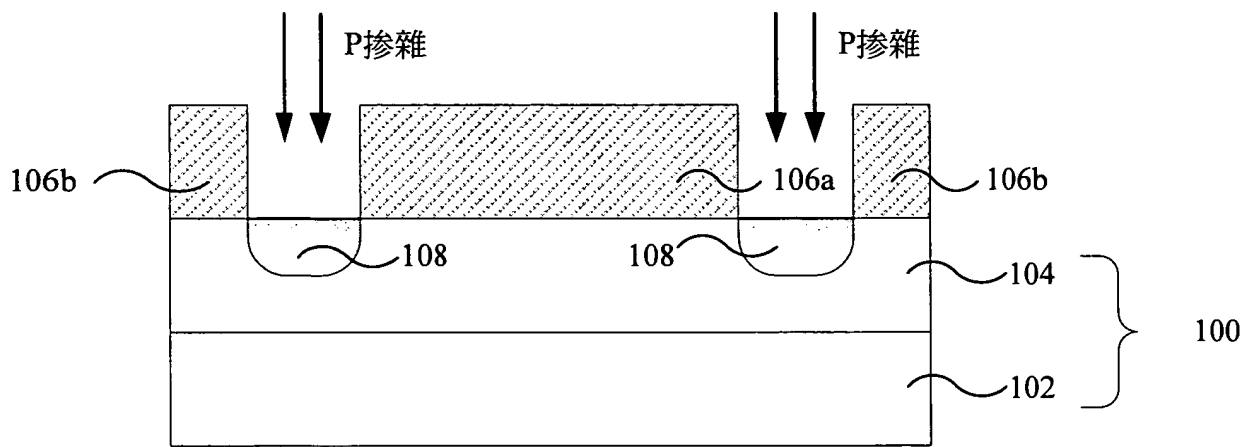
先前技術
第2圖



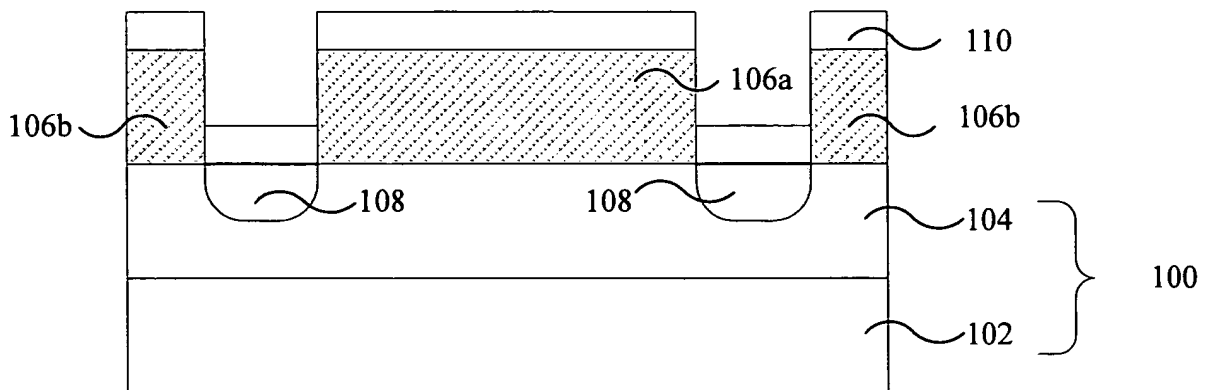
先前技術
第3圖



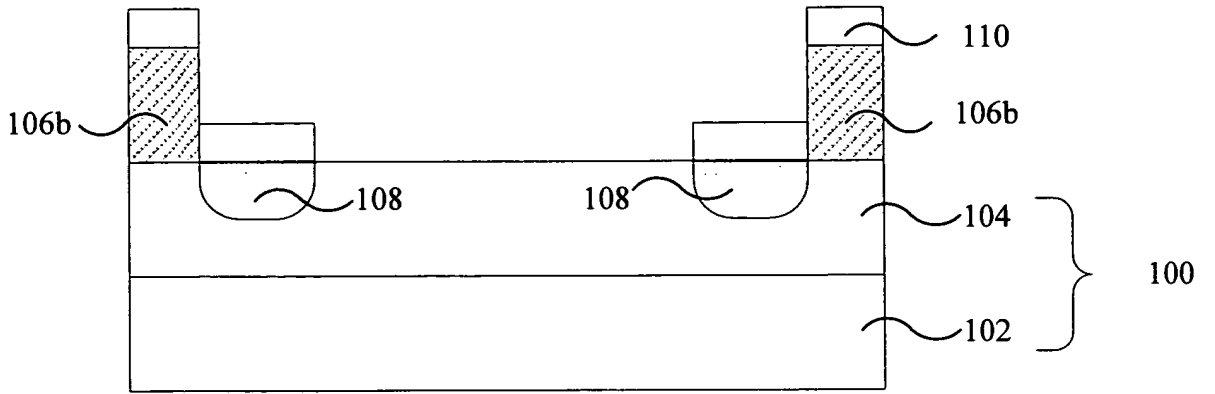
第4圖



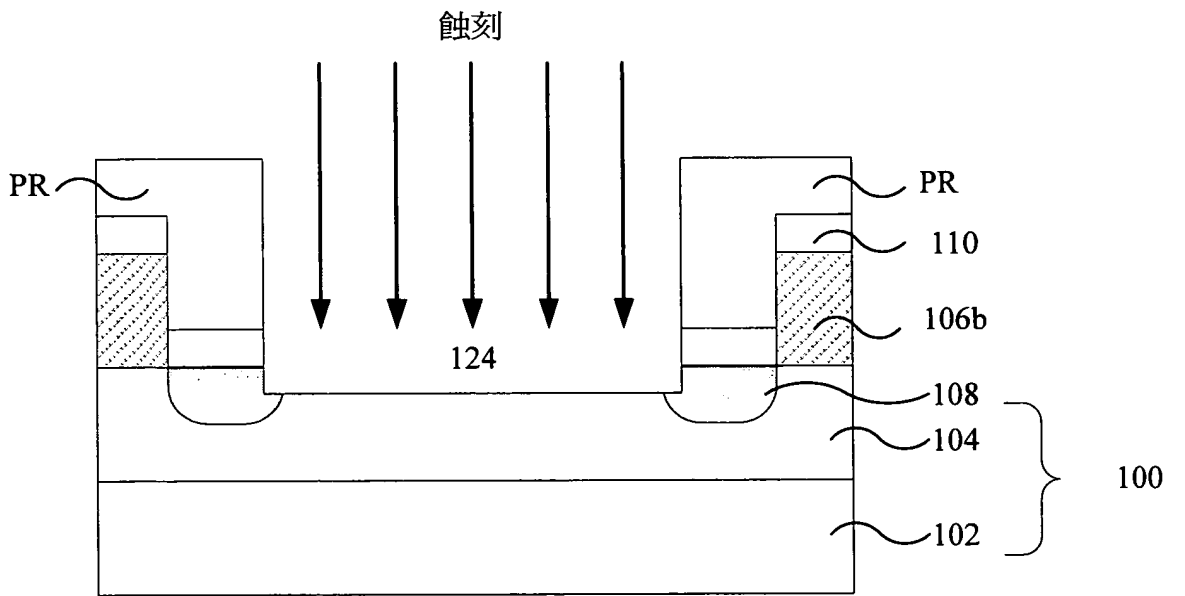
第5圖



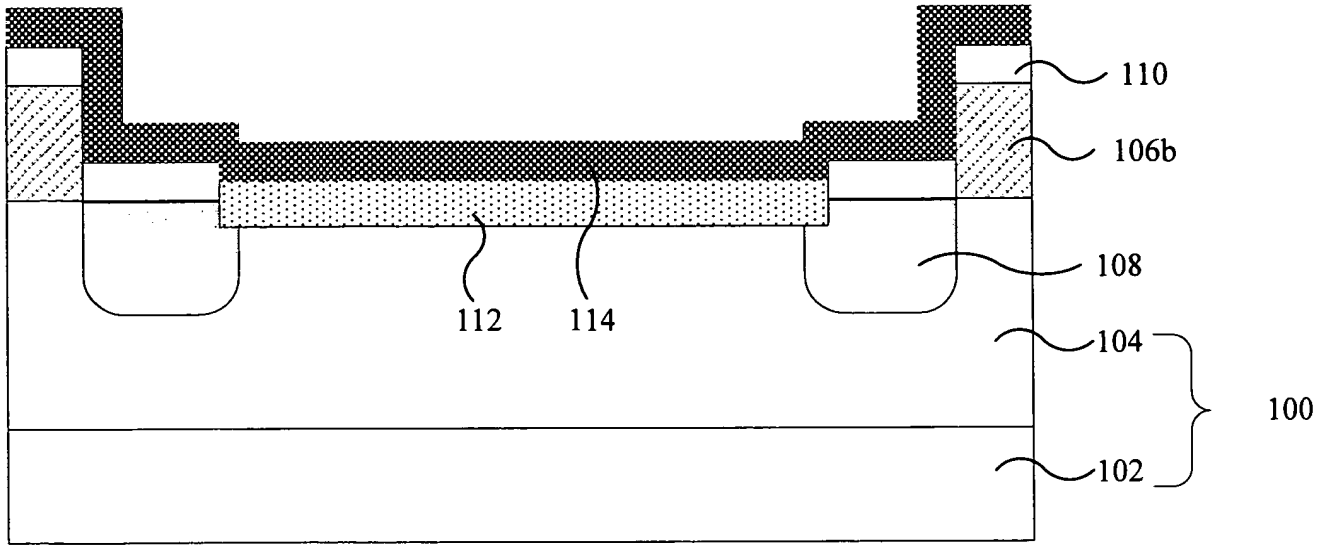
第6圖



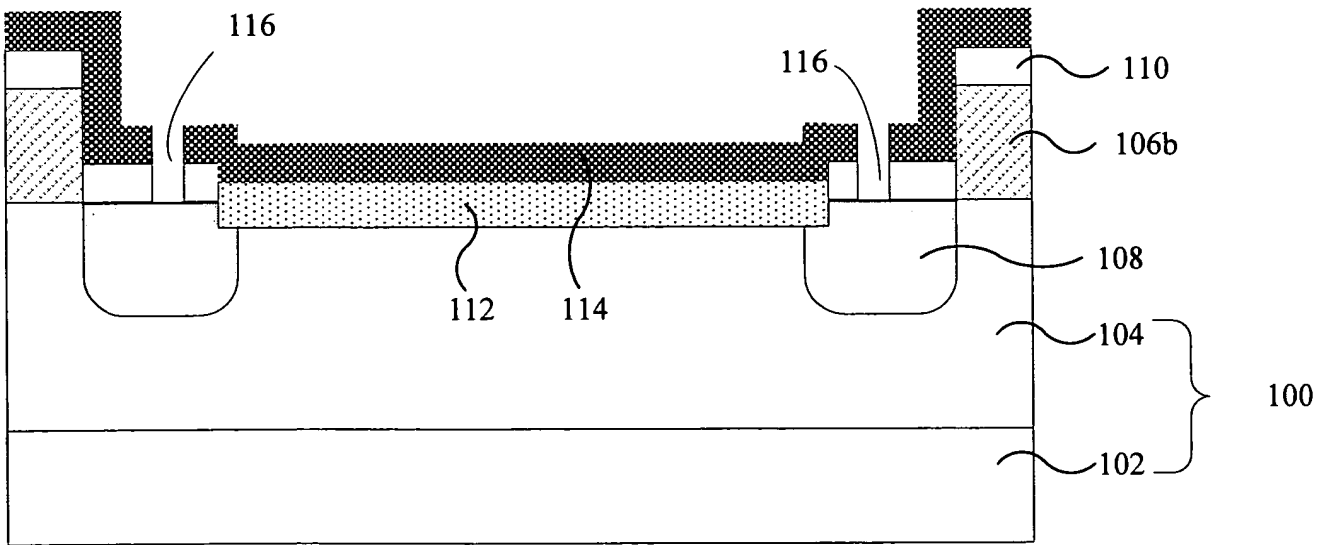
第7圖



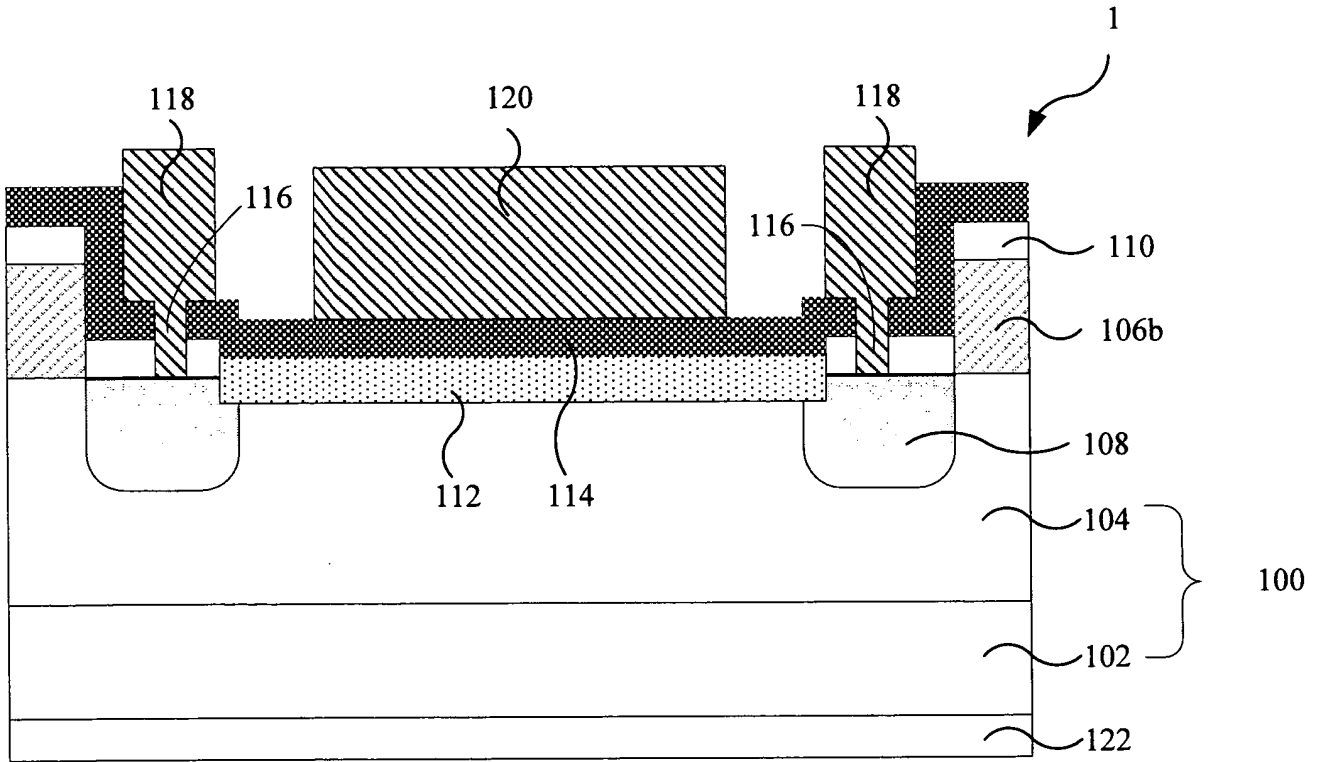
第8圖



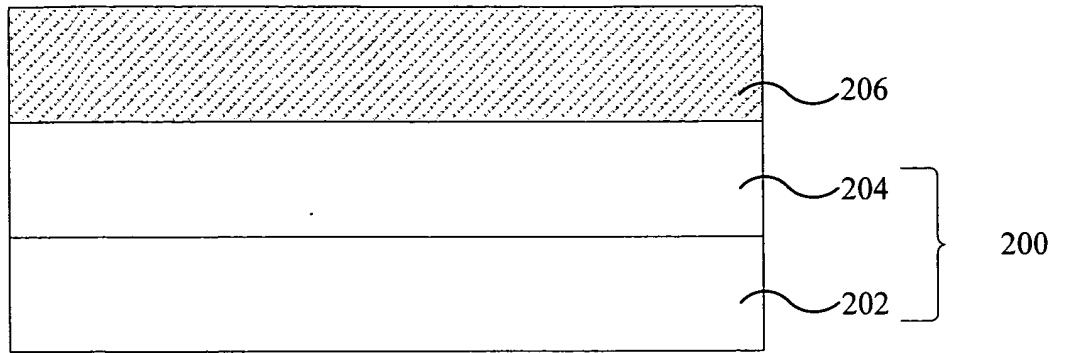
第9圖



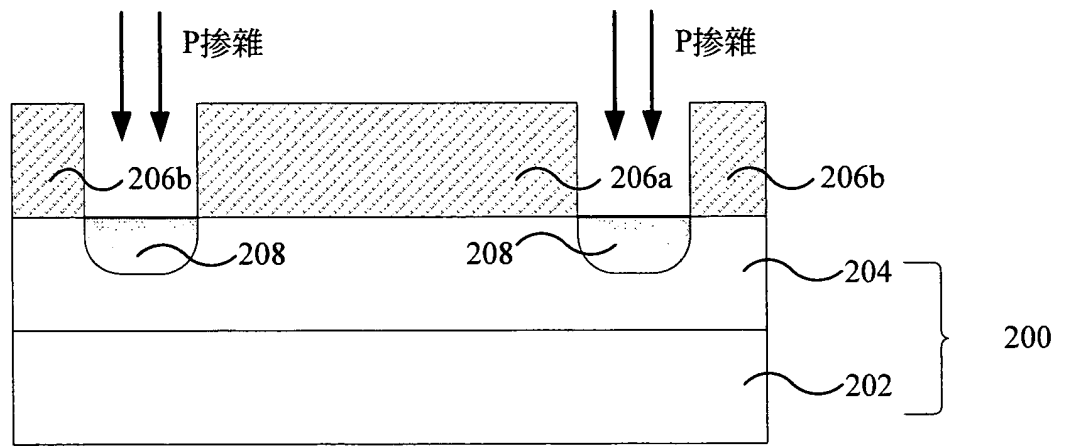
第10圖



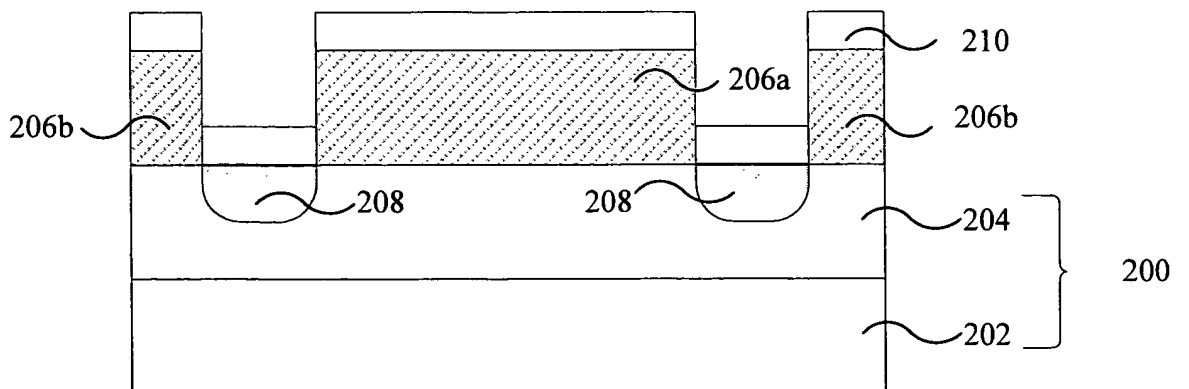
第11圖



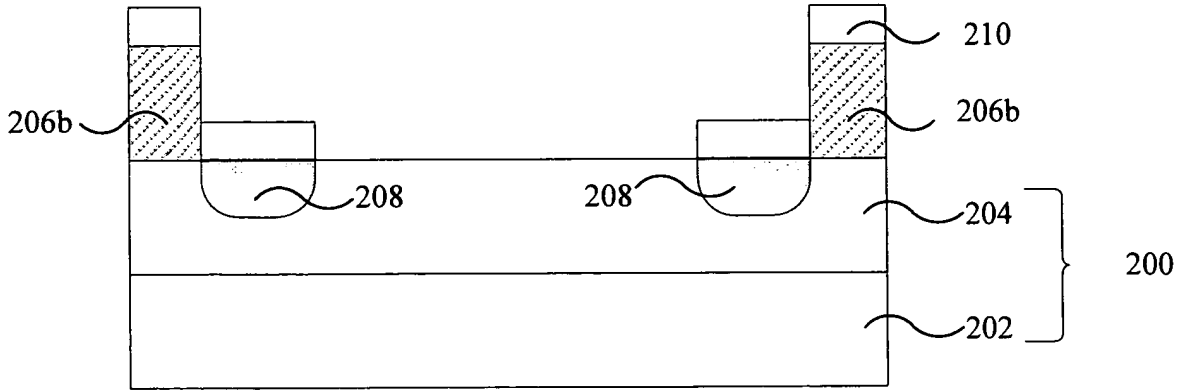
第12圖



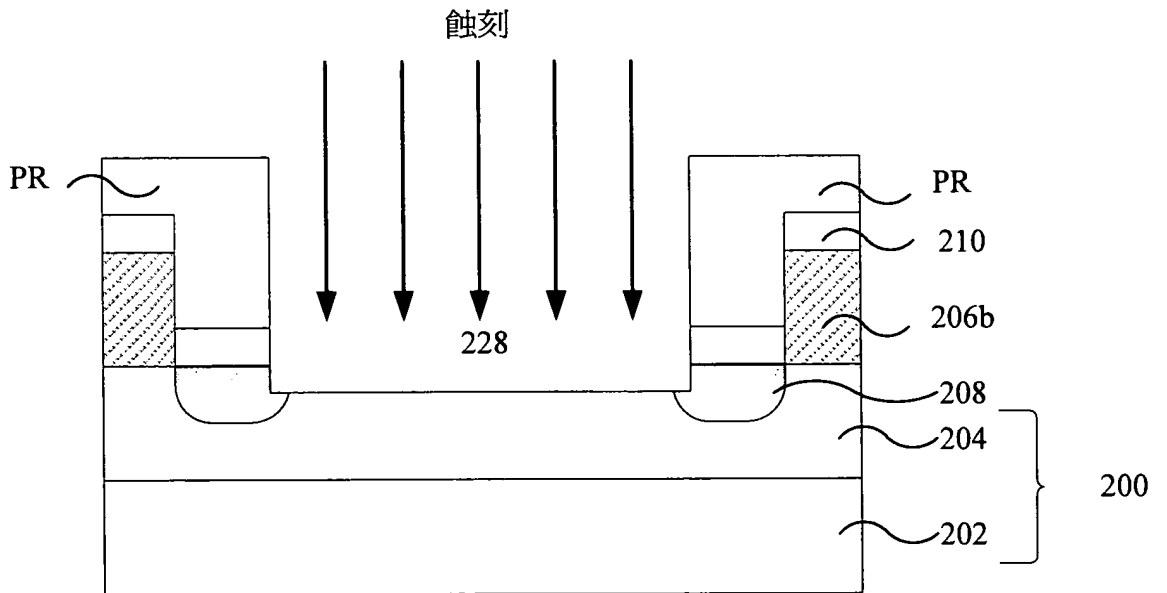
第13圖



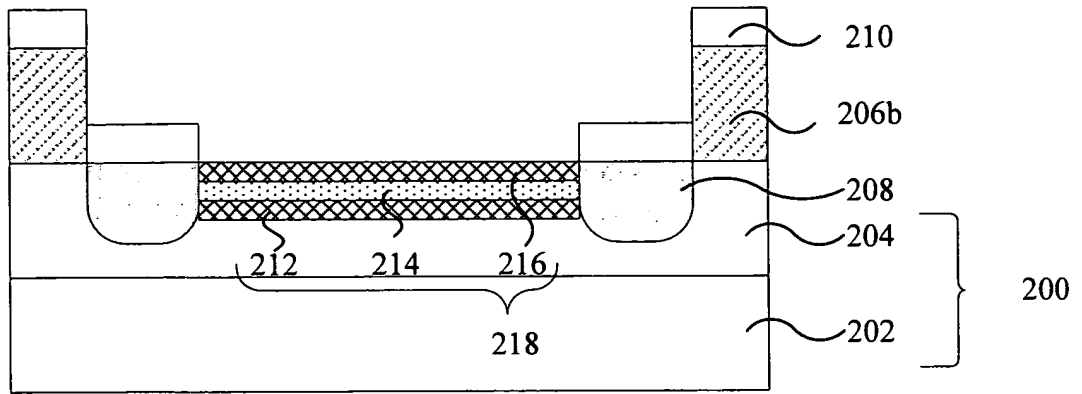
第14圖



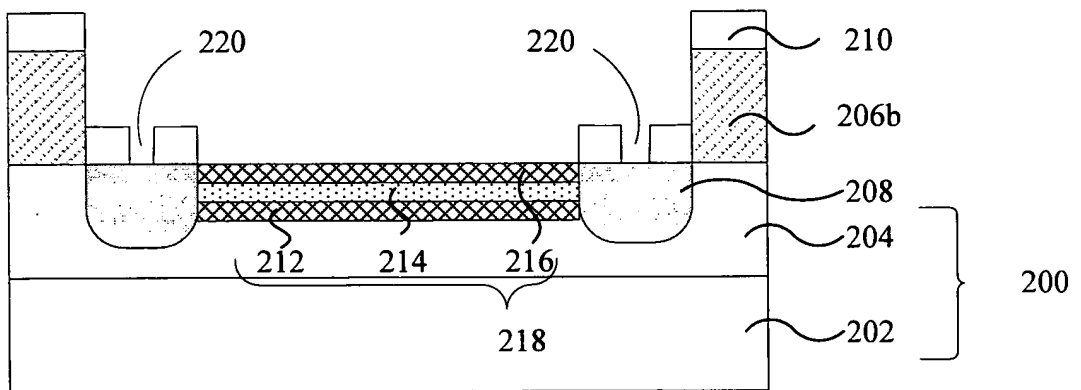
第15圖



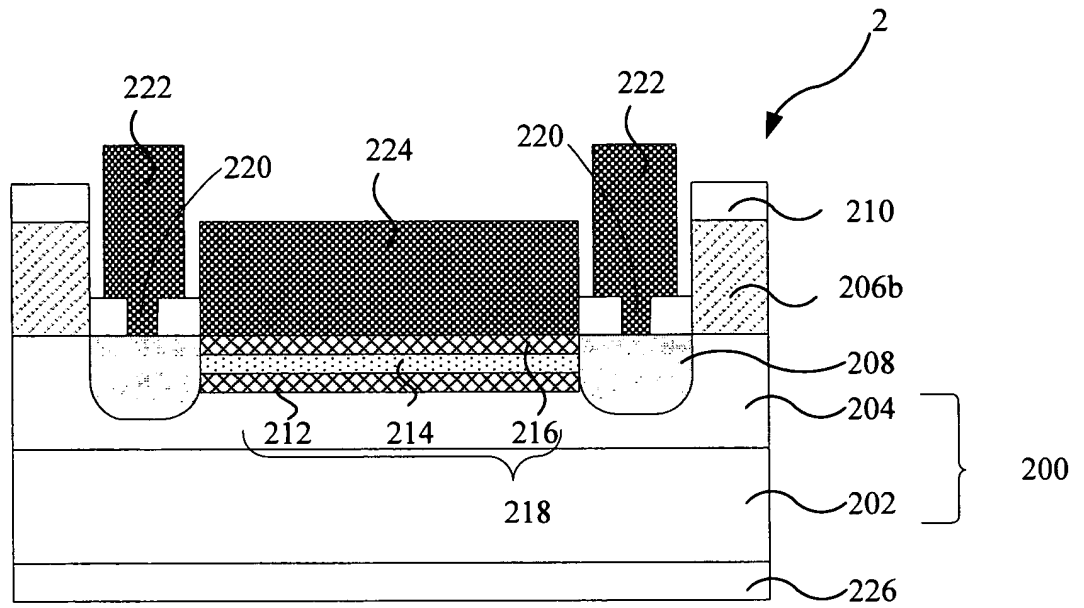
第16圖



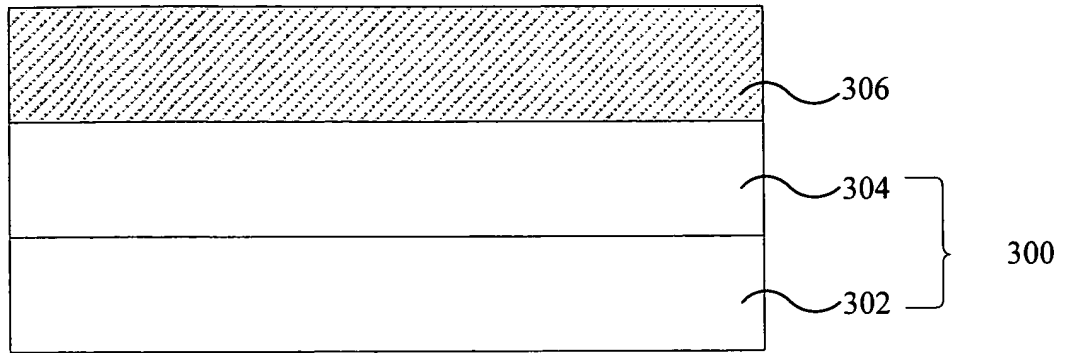
第17圖



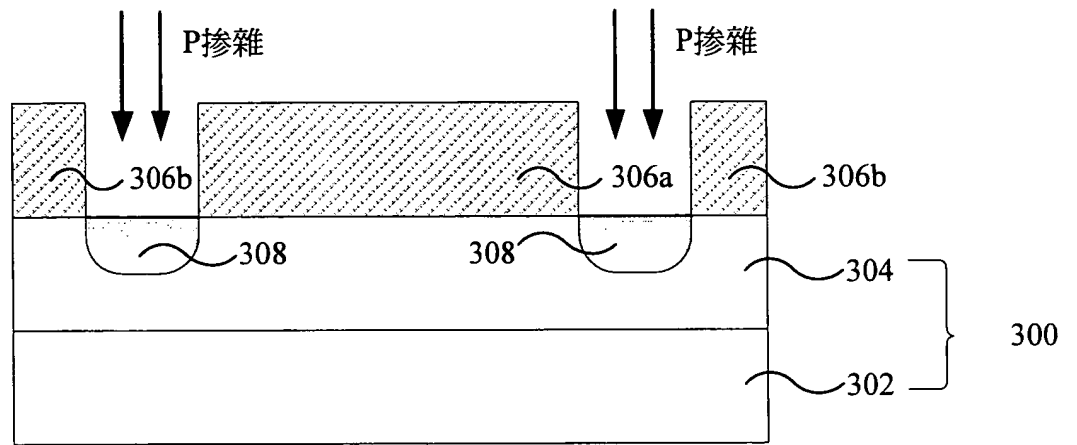
第18圖



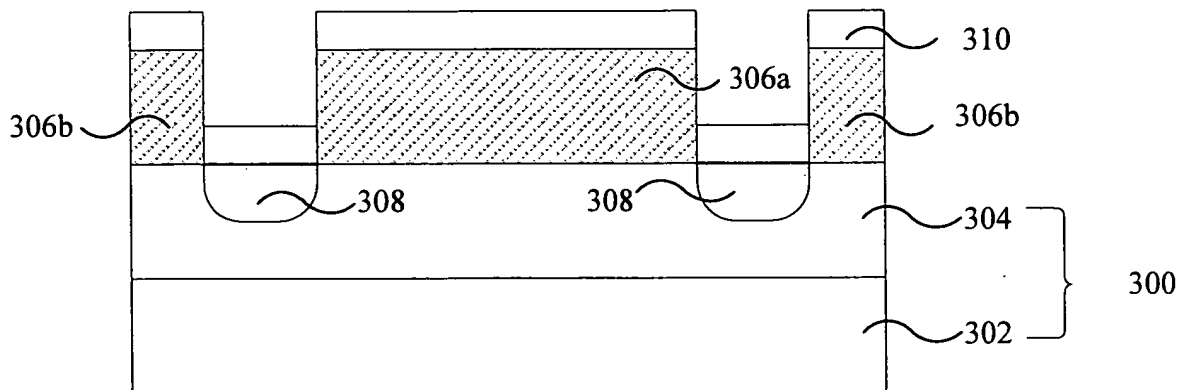
第19圖



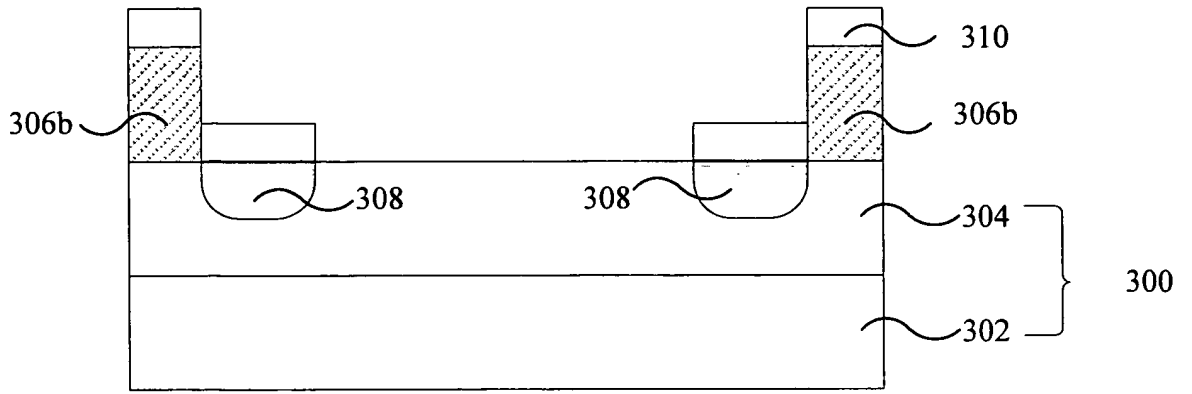
第20圖



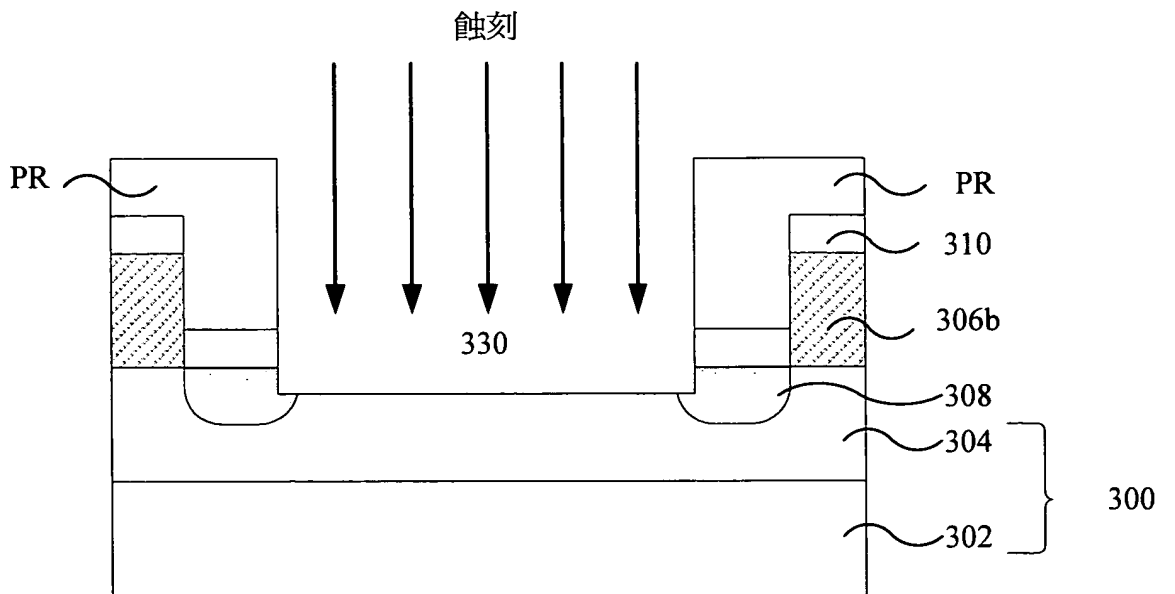
第21圖



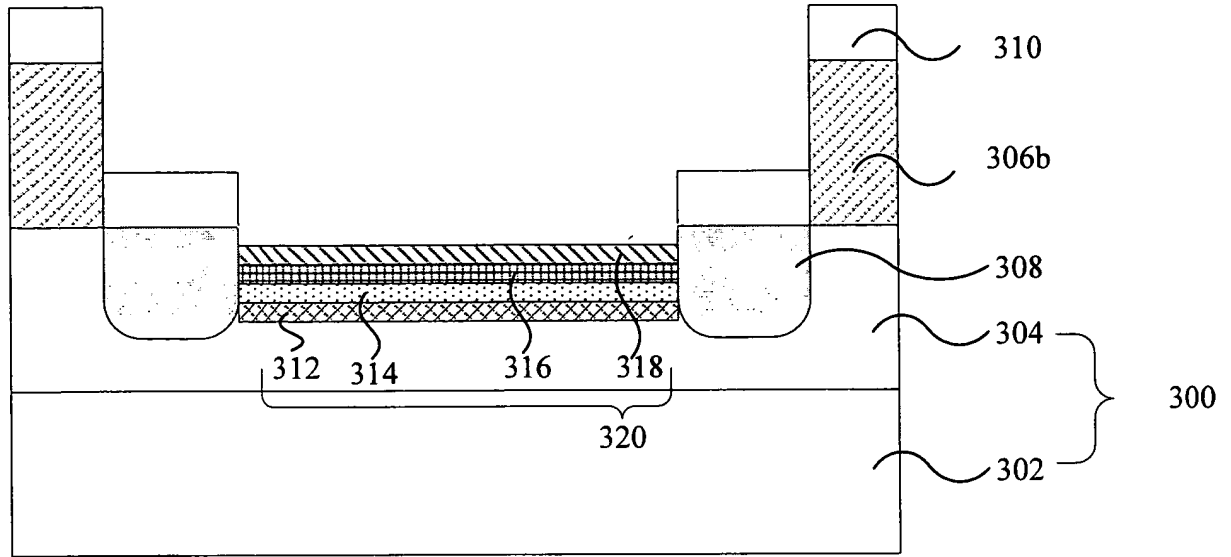
第22圖



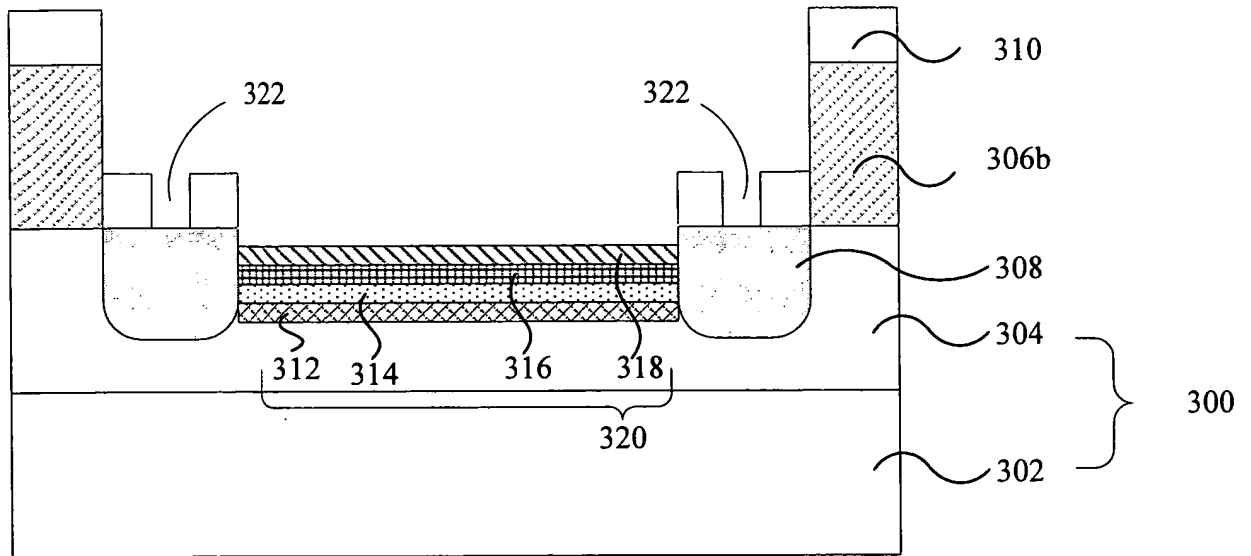
第23圖



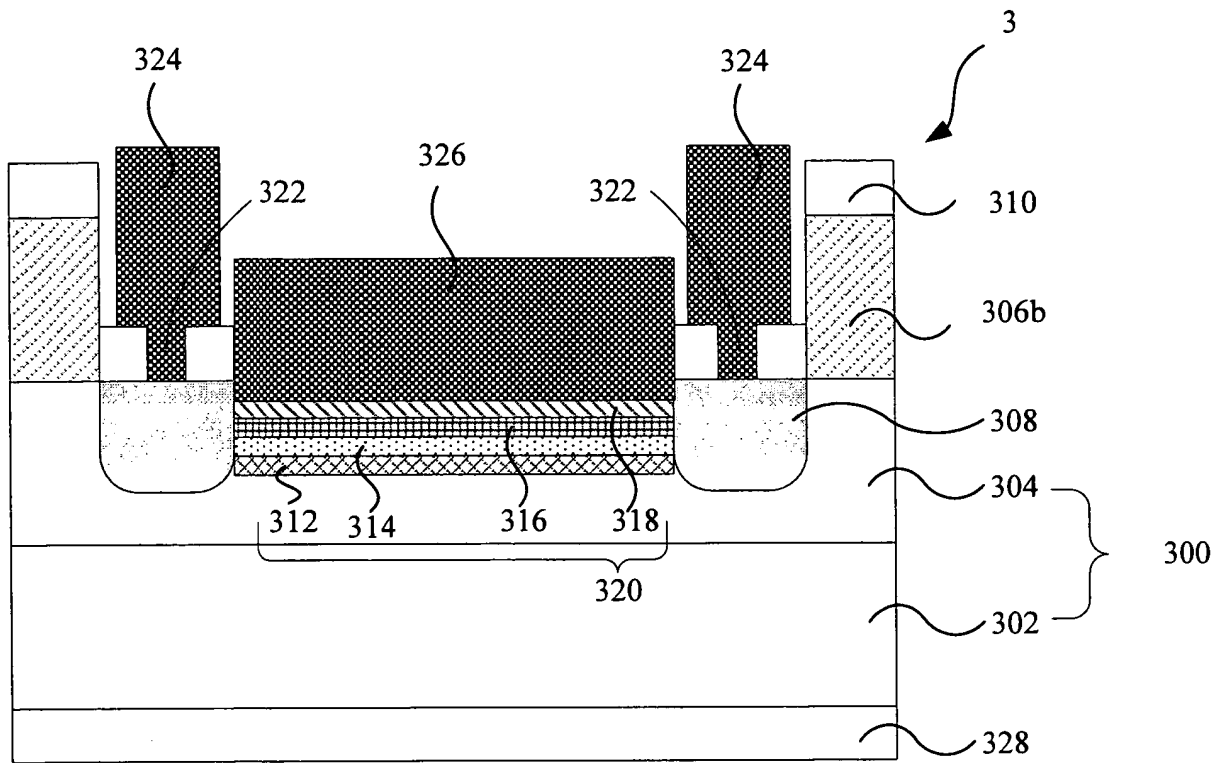
第24圖



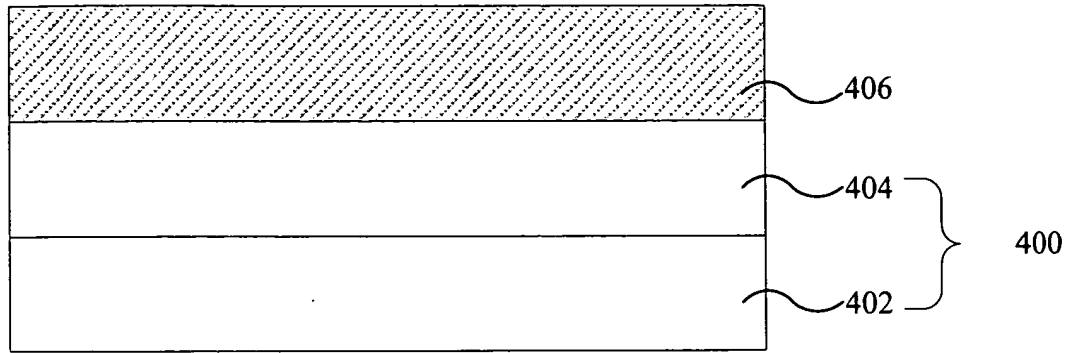
第25圖



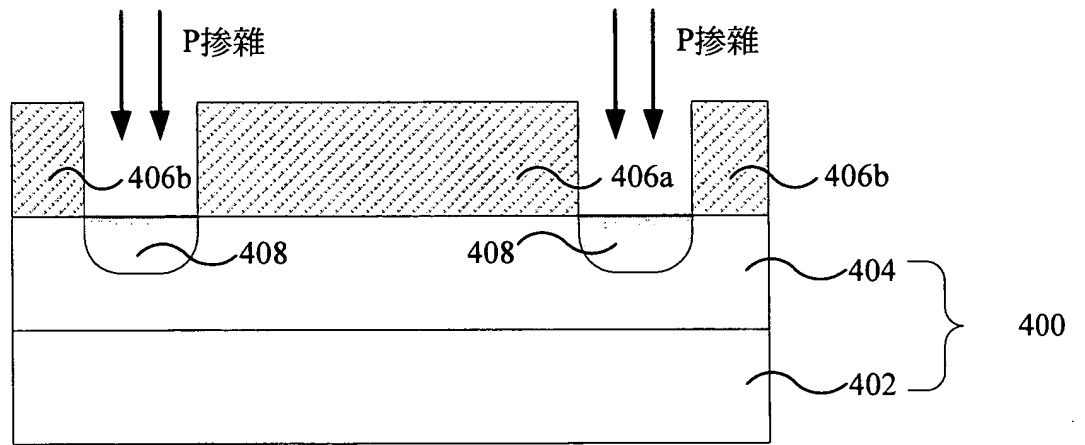
第26圖



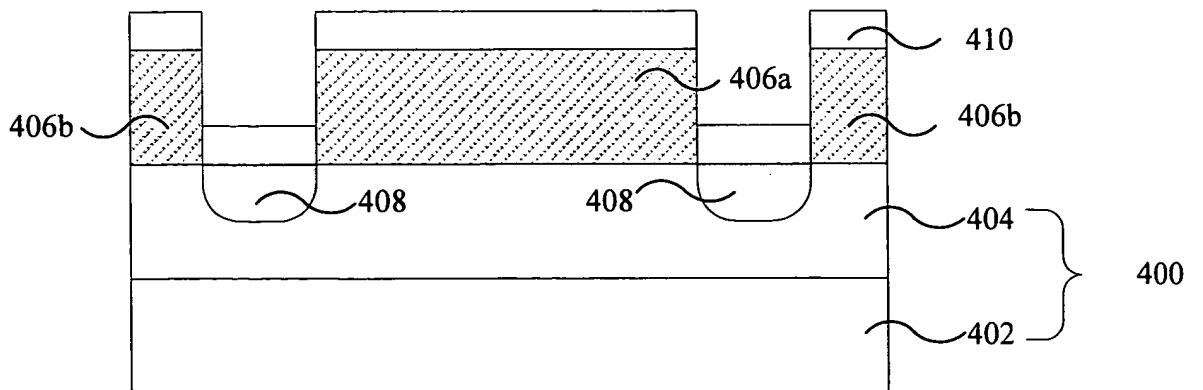
第27圖



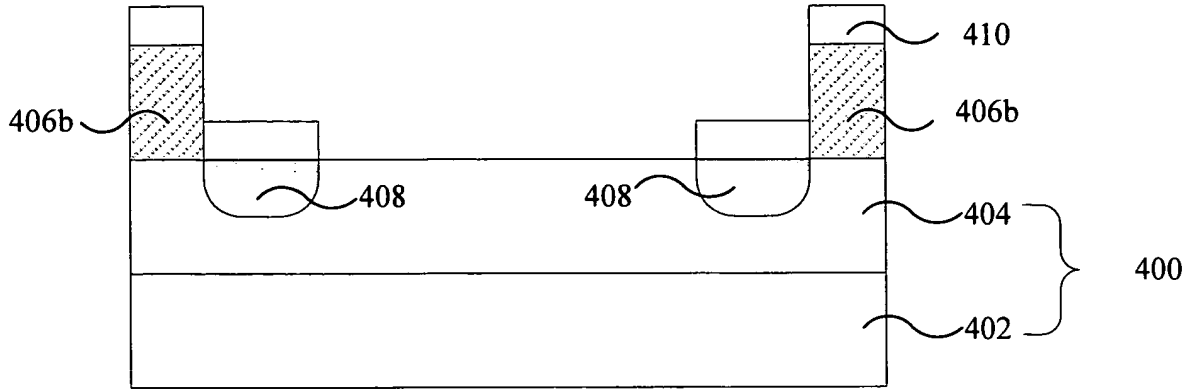
第28圖



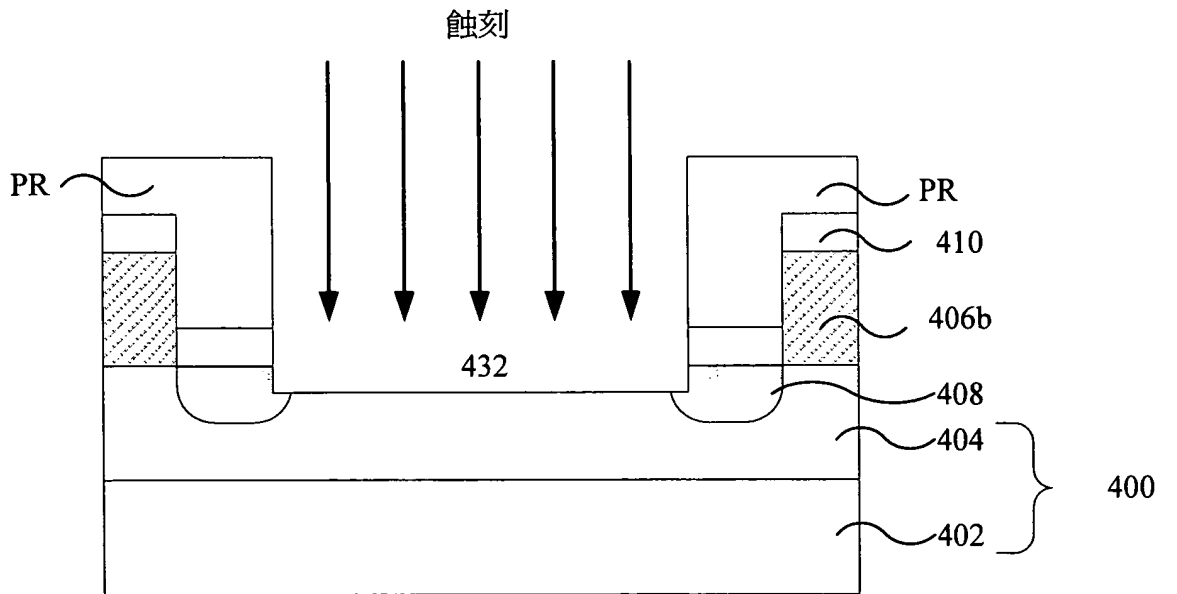
第29圖



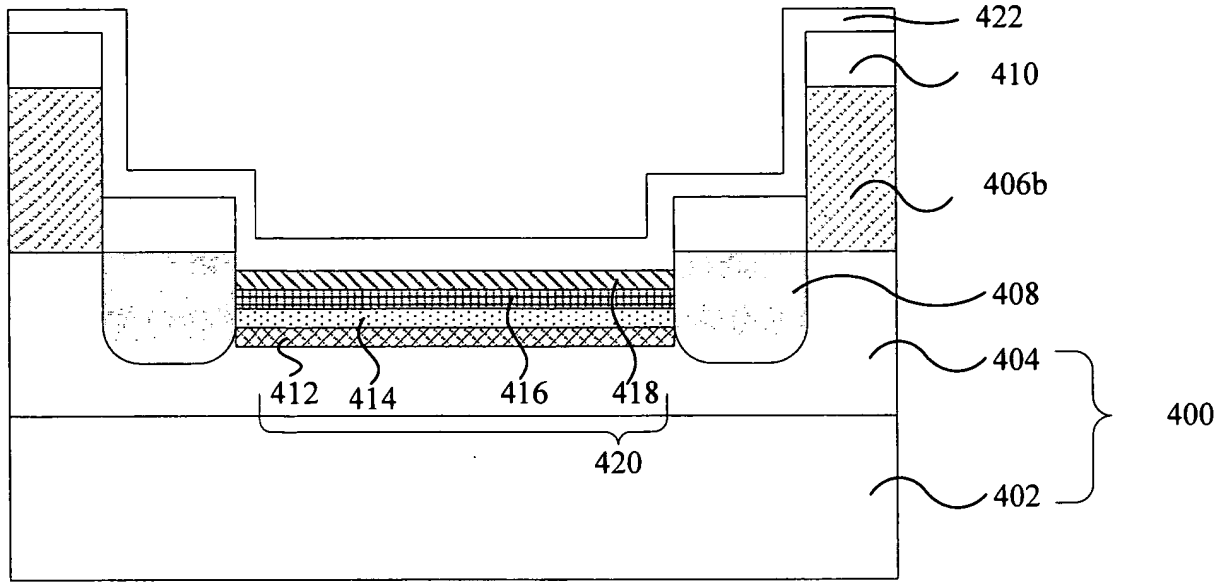
第30圖



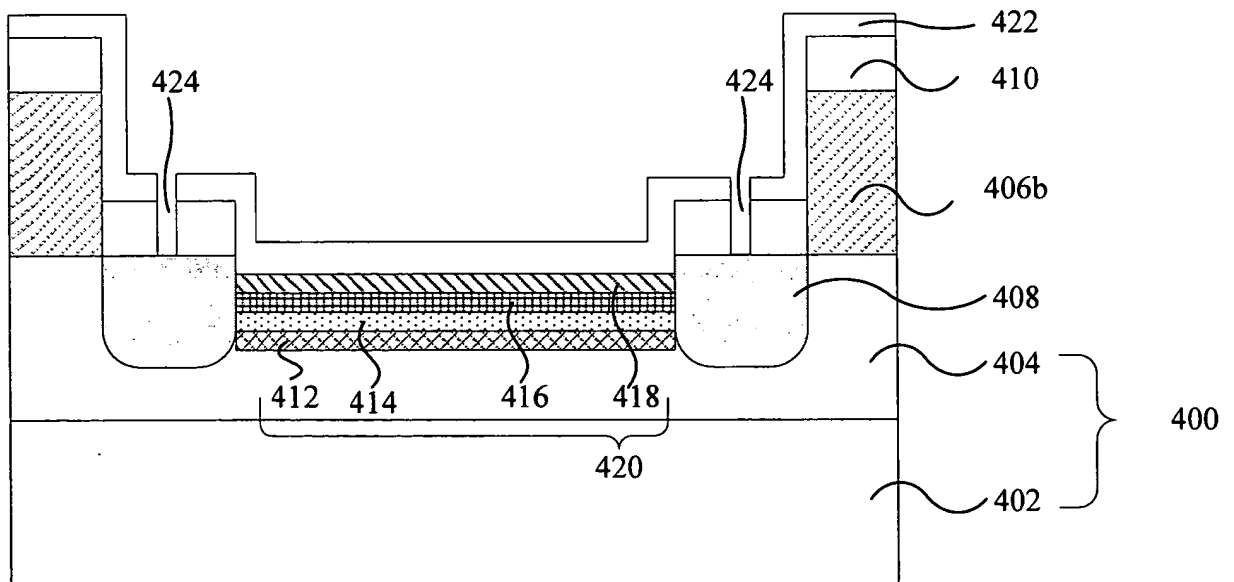
第31圖



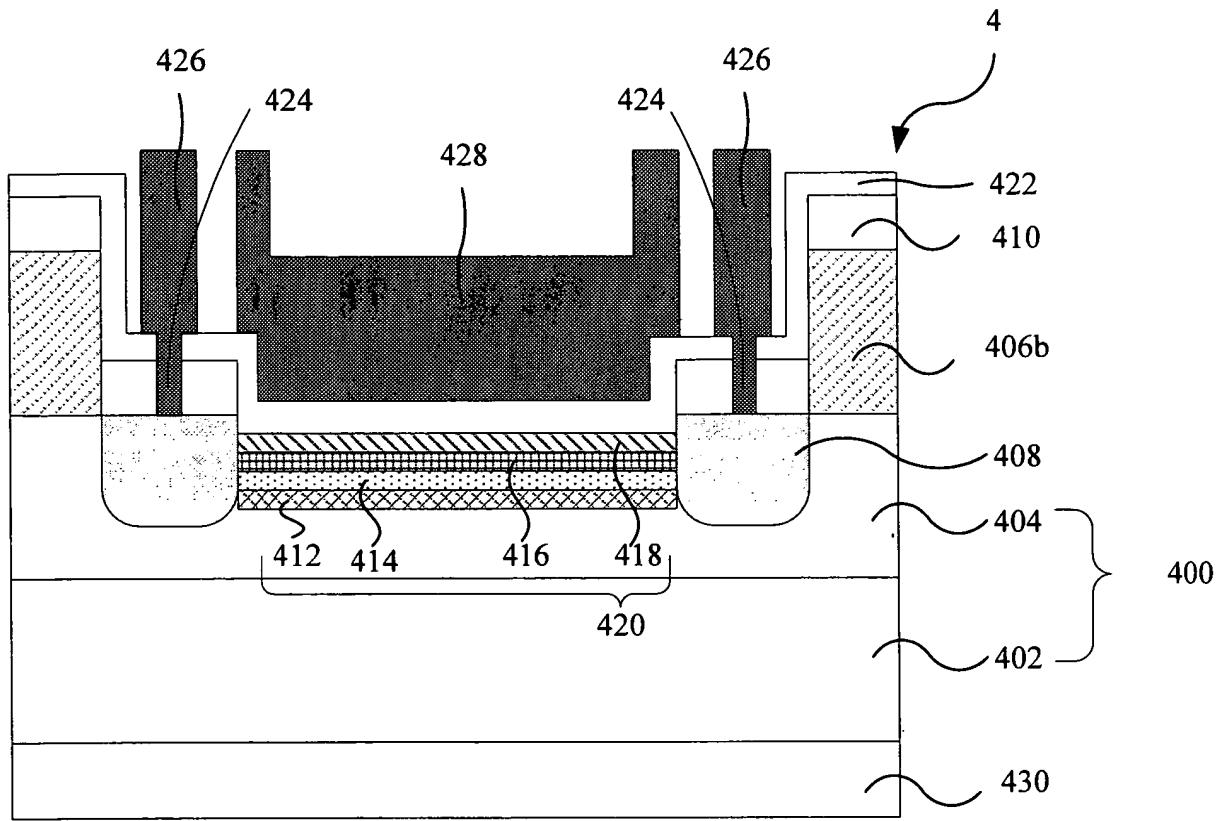
第32圖



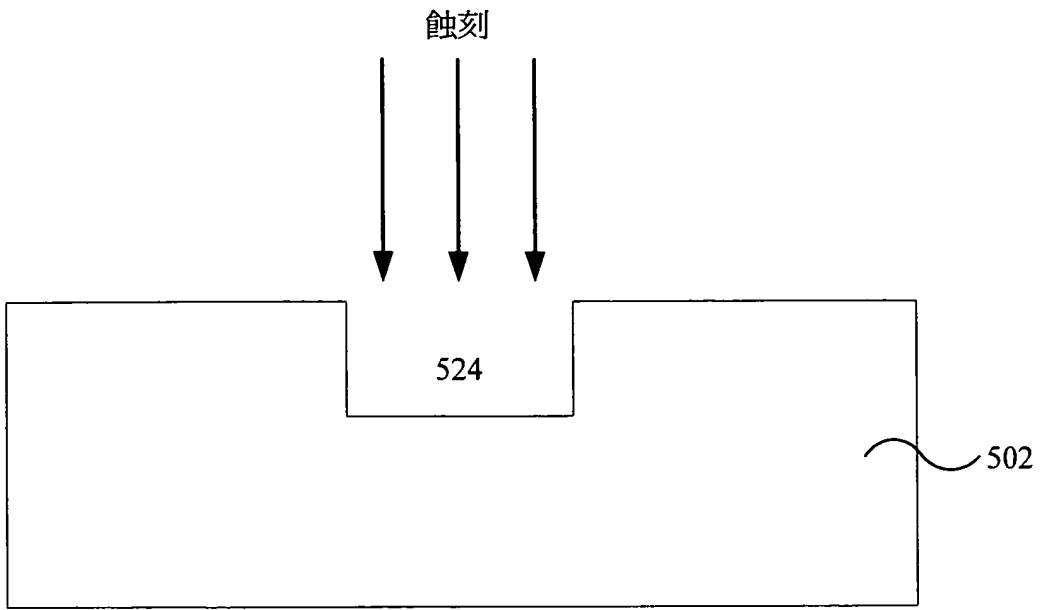
第33圖



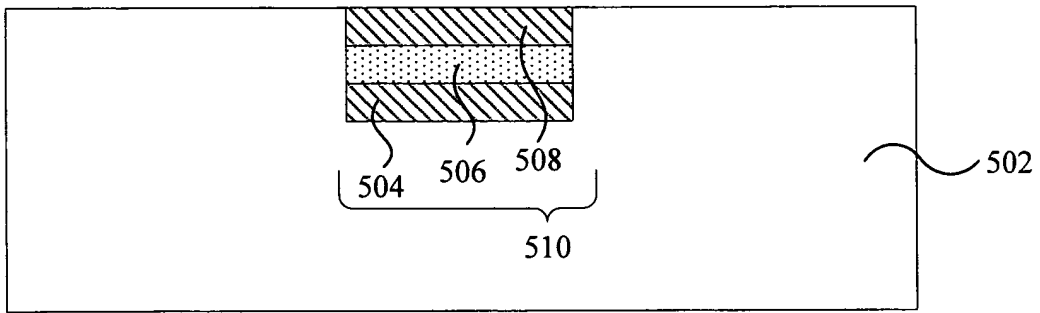
第34圖



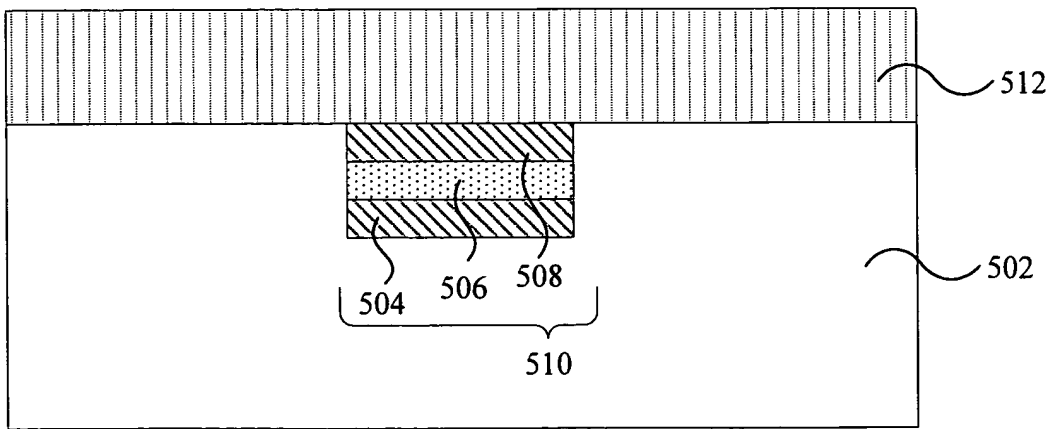
第35圖



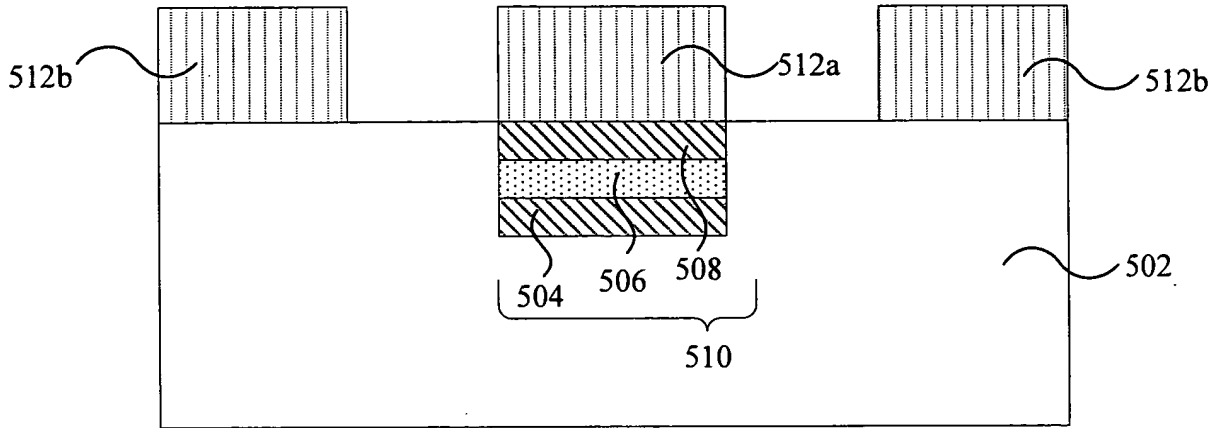
第36圖



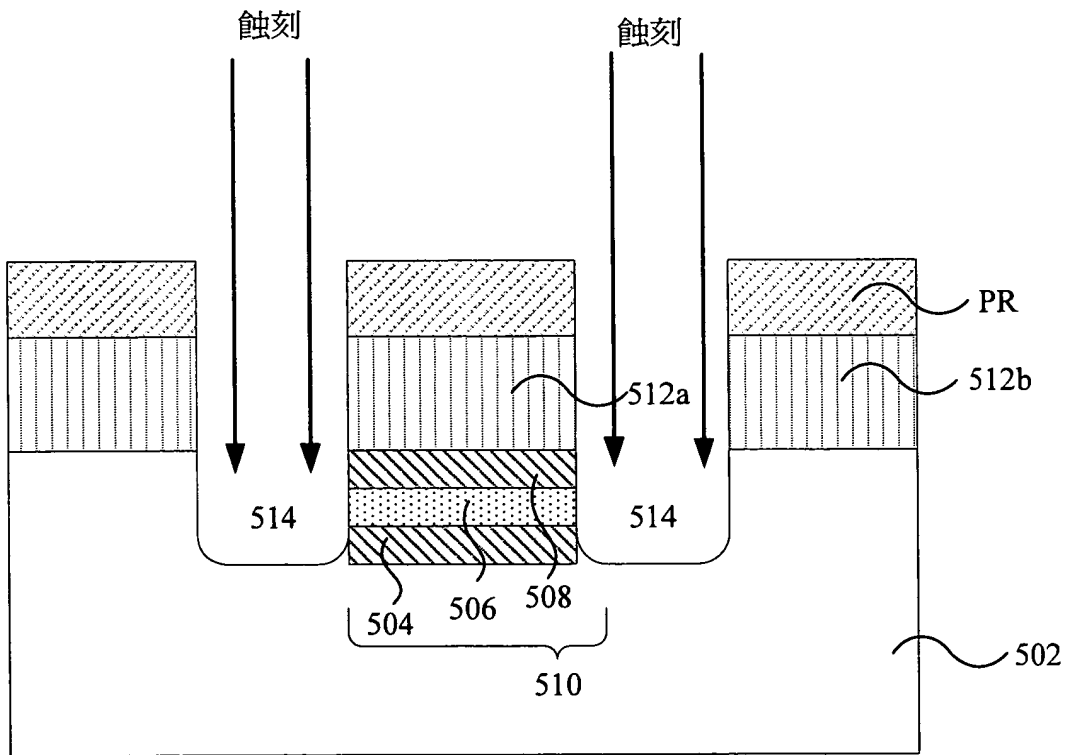
第37圖



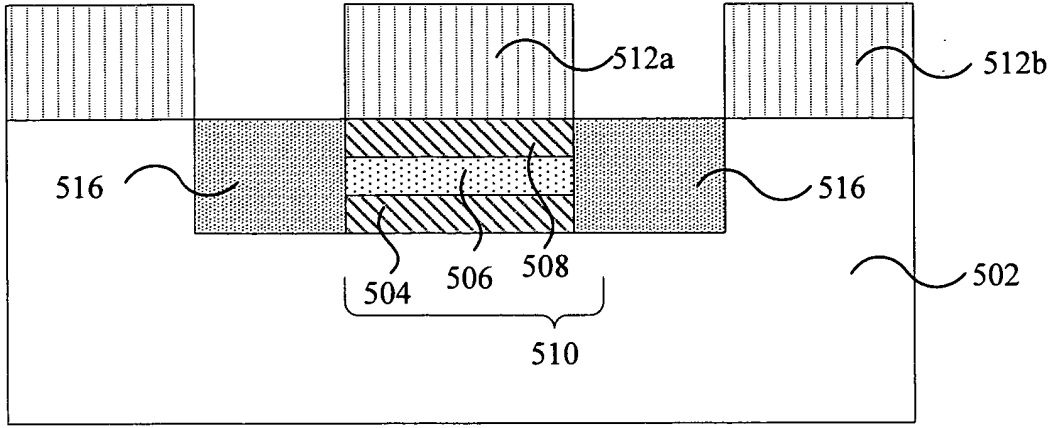
第38圖



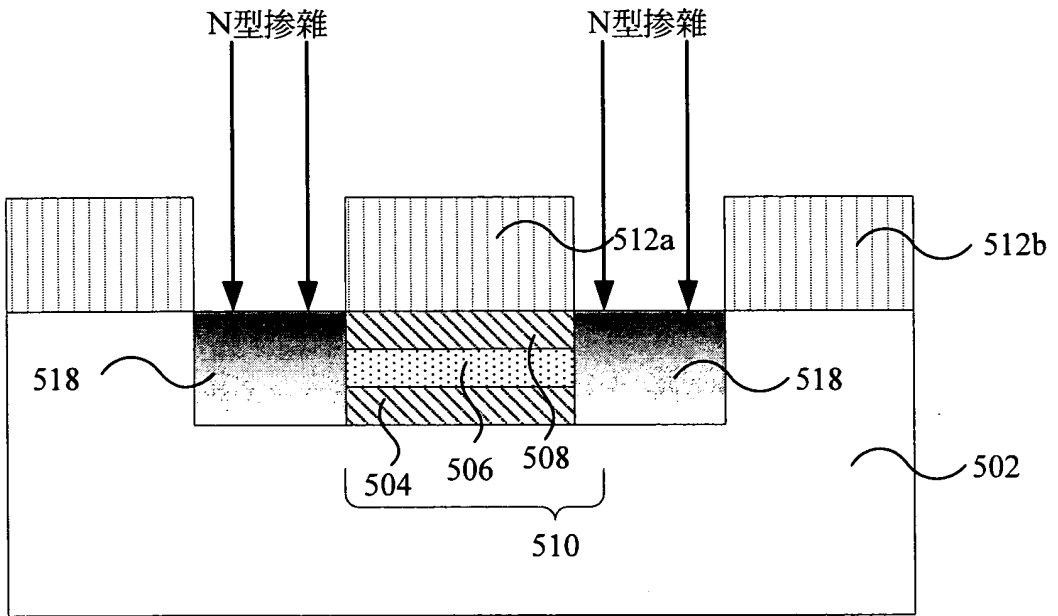
第39圖



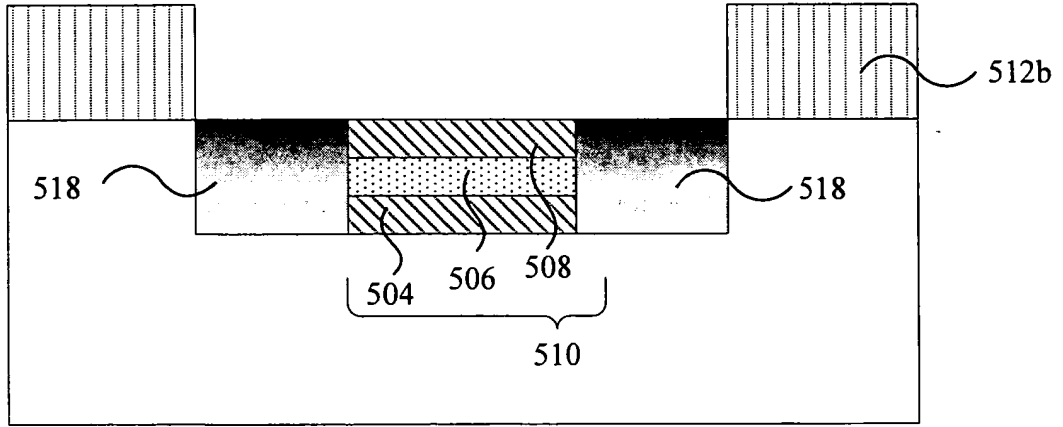
第40圖



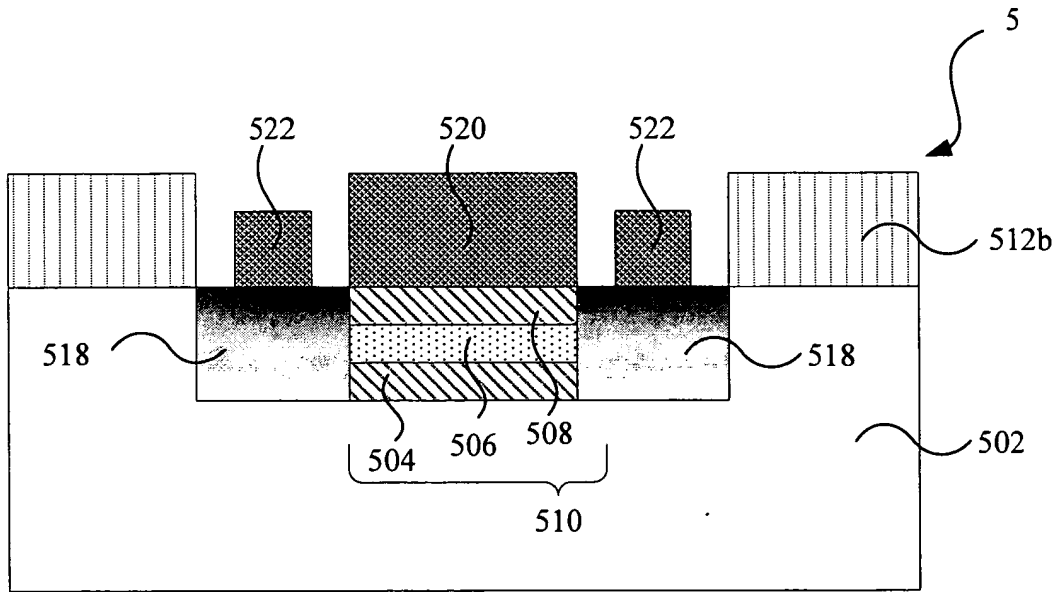
第41圖



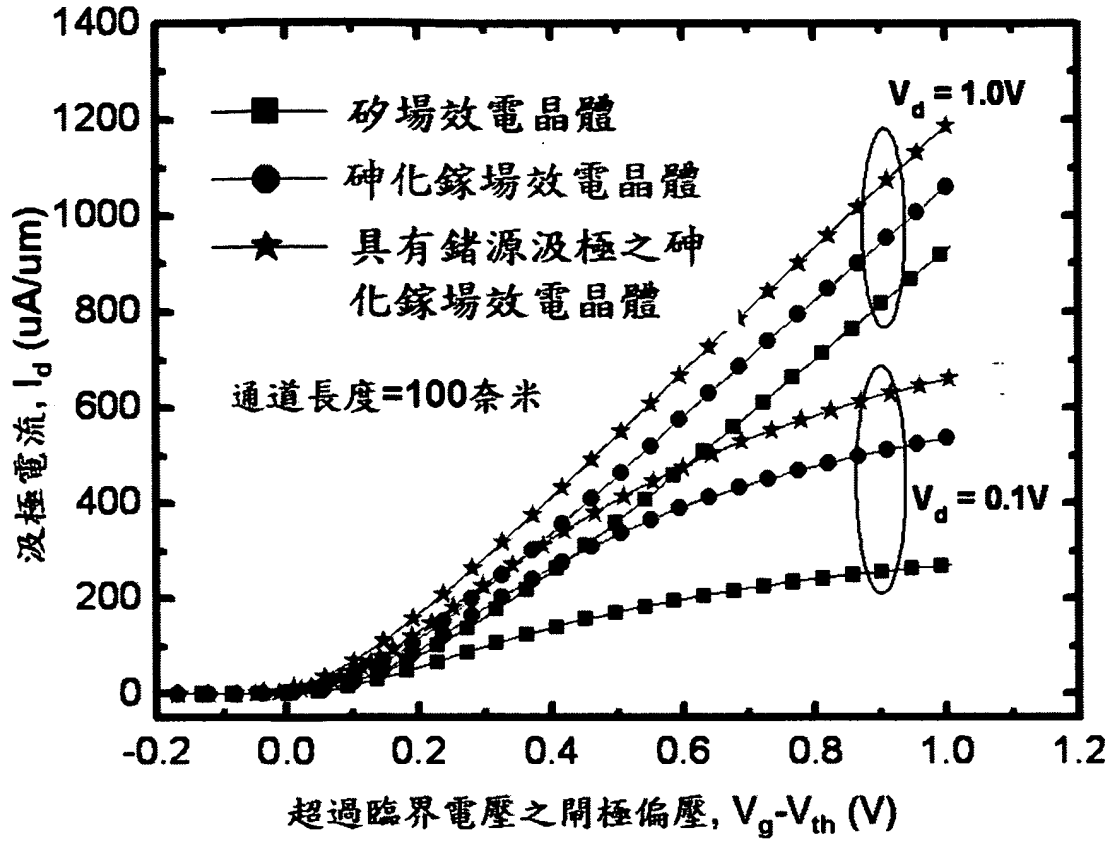
第42圖



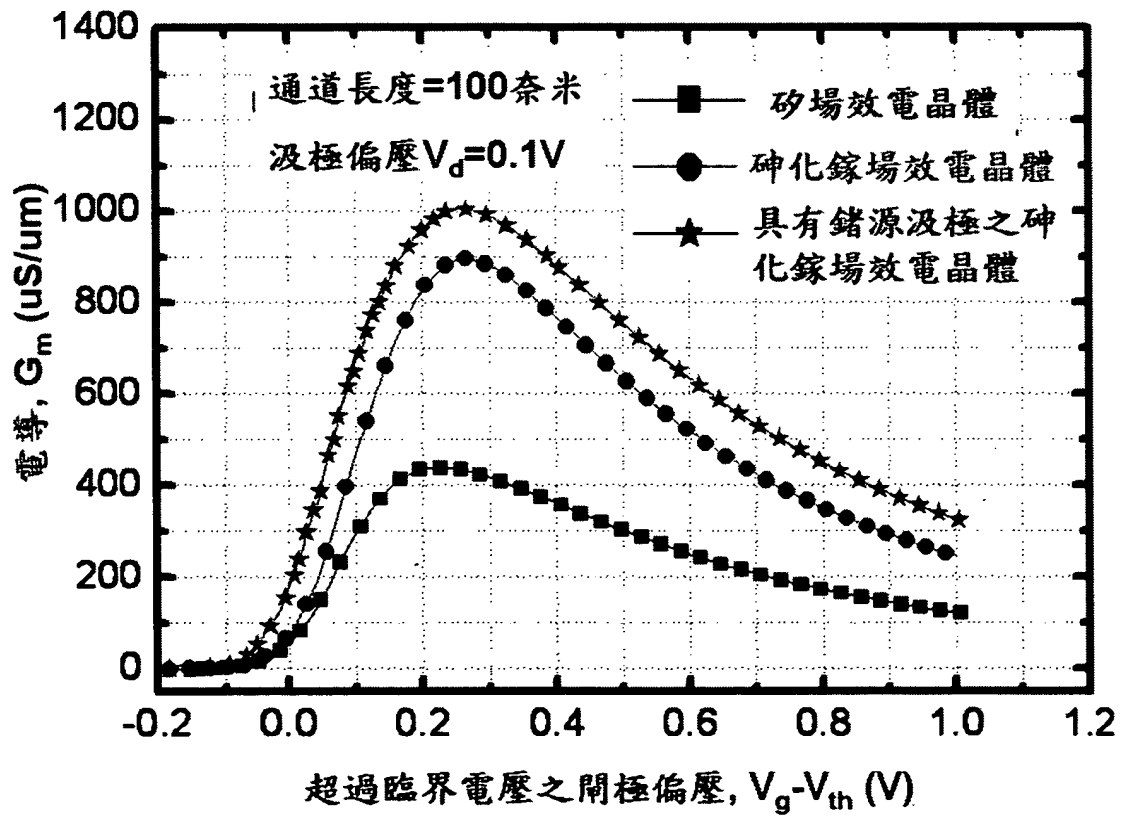
第43圖



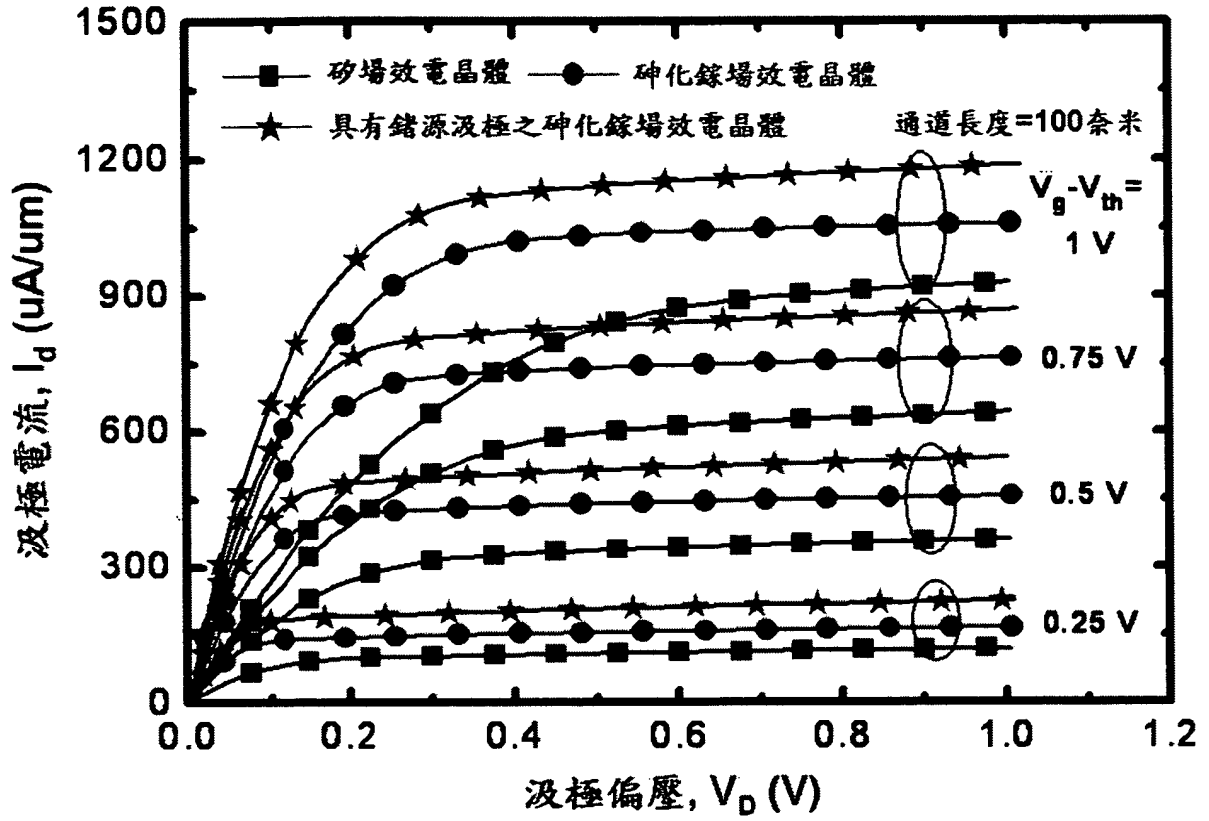
第44圖



第45圖



第46圖



第47圖