



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201115735 A1

(43) 公開日：中華民國 100 (2011) 年 05 月 01 日

(21) 申請案號：098135626

(22) 申請日：中華民國 98 (2009) 年 10 月 21 日

(51) Int. Cl. : *H01L29/778 (2006.01)*

H01L21/338 (2006.01)

H01L21/28 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張翼 CHANG, EDWARD YI (TW)；郭建億 KUO, CHIENI (TW)；張俊彥 CHANG, CHUNYEN (TW)

(74) 代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 25 頁

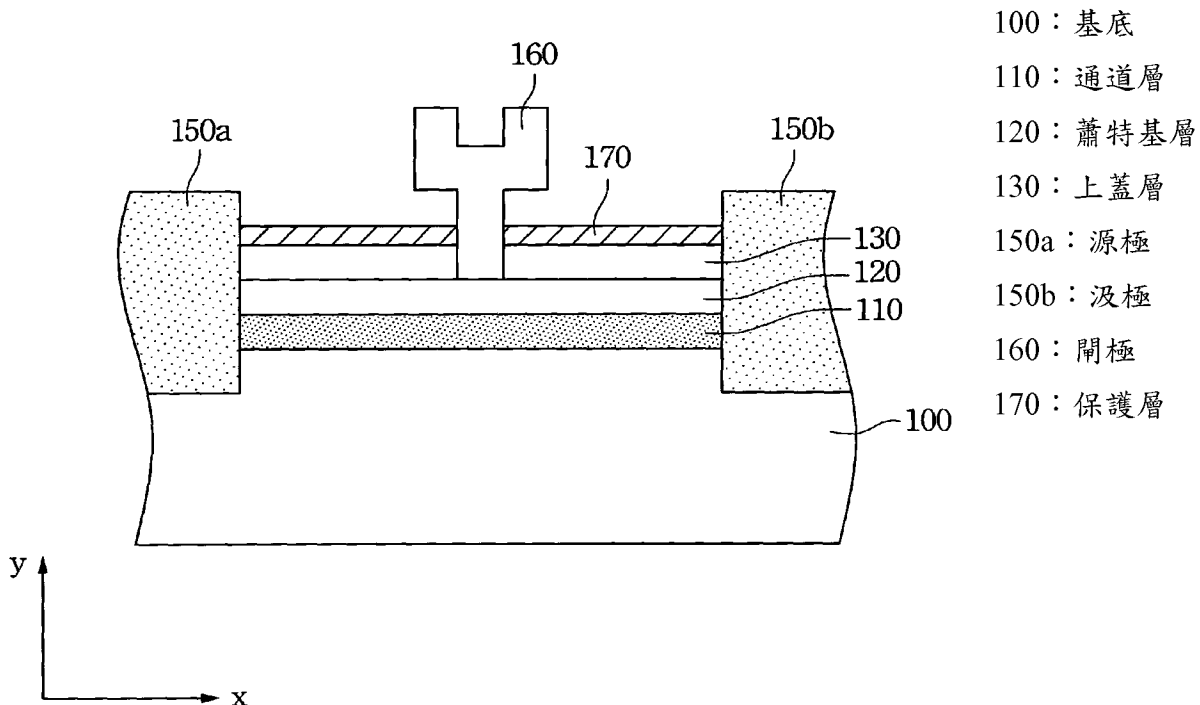
(54) 名稱

三五族半導體元件之歐姆接觸電極及其製造方法

OHMIC CONTACT OF III-V SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

(57) 摘要

使用重摻雜之磊晶矽鍺材料或具有不同銻含量之磊晶砷化銻鎵材料來形成三五族半導體元件之源極與汲極，以透過矽鍺材料或砷化銻鎵材料對於三五族半導體元件通道所施加的應力來增加電子移動率。



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98134626

401L 21/28 (2006.01)

※申請日： 98.10.21

※IPC 分類： 401L 21/338 (2006.01)

一、發明名稱：(中文/英文)

401L 21/28 (2006.01)

三五族半導體元件之歐姆接觸電極及其製造方法

Ohmic Contact of III-V Semiconductor Device and

Manufacturing Method

二、中文發明摘要：

使用重摻雜之磊晶矽鍺材料或具有不同銦含量之磊晶砷化銦鎵材料來形成三五族半導體元件之源極與汲極，以透過矽鍺材料或砷化銦鎵材料對於三五族半導體元件通道所施加的應力來增加電子移動率。

三、英文發明摘要：

Heavily doped epitaxial SiGe material or epitaxial $\text{In}_x\text{Ga}_{1-x}\text{As}$ are used to form the source and drain of III-V semiconductor device to apply stress to the channel of III-V semiconductor device. Therefore, the electron mobility can be increased.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100：基底

110：通道層

120：蕭特基層

130：上蓋層

150a：源極

150b：汲極

160：閘極

170：保護層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件及其製造方法，且特別是有關於一種三五族半導體元件及其製造方法。

【先前技術】

高頻無線通訊近來發展迅速，通訊波段逐漸演變為次毫米波段(sub-millimeter wave)，如軍事國防、家園防護系統或下世代成像系統之單石微波積體電路(MMIC)等應用。這類應用的重要關鍵是如何讓電晶體在高頻段下仍擁有極高增益與低雜訊等特性，而縮小閘極線寬及增加電子遷移率是讓電晶體能在更高頻段操作的方法。

此外，為了能增加單位面積上所能容納的電晶體數目，多年來半導體製程技術一直按照摩爾定律(Moor's Law)所預測的速度在進行。也就是每隔約 18 個月，半導體元件的尺寸就可以縮小為原來尺寸的 1/2。然而隨著半導體元件的尺寸不斷縮小，互補金氧半電晶體(CMOS)終將會到達其最小的尺寸(閘極長度約為 10 nm)，而無法再繼續縮小。

由於對於積體電路效能的要求，目前評估 N 通道元件主要是以三五族半導體元件(下簡稱三五族元件)來漸漸取代之，而 P 通道元件則是以鍺半導體元件(下簡稱鍺元件)來漸漸取代之。因此，在 22 nm 以下之半導體製程，要如何在矽基板上整合矽半導體元件、三五族元件以及鍺元件來完成積體電路的製造，成為當前熱門的研究問題。

其中三五族元件中高電子移動率電晶體(High Electron

Mobility Transistor; HEMT)之高電子移動率的特性，使其非常適合應用在高頻與高速邏輯運算。然而，習知源極與汲極電極的製作方法為先在半導體基材上沉積多層貴重金屬(如金、白金與鍺)，然後再進行高溫回火(annealing)製程，以減少貴重金屬與半導體基材間之接觸電阻。因此，P 通道元件常會被貴重金屬所污染，造成電性異常問題。例如金屬於高導電金屬，一旦污染 P 通道元件，會導致元件無法正常開關。

【發明內容】

為了解決上述的問題，本發明之一態樣是在提供一種三五族半導體元件及其製造方法。

依據一實施態樣，當上述之三五族半導體元件為金半場效電晶體時，其包括基底及其上之通道層與閘極，而源極與汲極位於通道層之兩端且接觸著通道層。上述之基底與通道層的材料為三五族半導體，而源極與汲極的材料為重摻雜之磊晶半導體材料，例如為重摻雜之磊晶矽鍺或重摻雜之磊晶砷化銦鎵。

依據一實施態樣，上述之源極與汲極的形成方法包括先在通道層上形成硬罩幕層，然後圖案化硬罩幕層及其下之通道層與基底，以在基底中形成二溝渠。然後形成重摻雜之磊晶半導體層於溝渠中及硬罩幕層上。最後，剝除硬罩幕層及其上之磊晶半導體層，留下位於溝渠中之磊晶半導體層，做為該金半場效電晶體的源極與汲極。

依據另一實施態樣，當上述之三五族半導體元件為高電子移動率電晶體時，其包括基底及其上之通道層、蕭特

基層、上蓋層與閘極，而源極與汲極源極與汲極位於通道層、蕭特基層與上蓋層之兩端且接觸著通道層、蕭特基層與上蓋層。上述之基底與通道層的材料為三五族半導體，而源極與汲極的材料為重摻雜之磊晶半導體材料，例如為重摻雜之磊晶矽鍺或重摻雜之磊晶砷化銦鎵。

依據一實施態樣，上述之源極與汲極的形成方法包括先在上蓋層上形成硬罩幕層，然後圖案化硬罩幕層及其下之上蓋層、蕭特基層、通道層與基底，以在上蓋層、蕭特基層、通道層與基底中形成二溝渠。然後形成重摻雜之磊晶半導體層於溝渠中及硬罩幕層上。最後，剝除硬罩幕層及其上之磊晶半導體層，留下位於溝渠中之磊晶半導體層，做為該高電子移動率電晶體的源極與汲極。

由上述可知，使用重摻雜之磊晶半導體材料取代習知之貴金屬材料來形成三五族元件之源極與汲極，不僅可以節省製造成本以及解決 P 通道元件被金屬污染的問題，還可以利用其物理性質提高三五族元件通道中之電子移動速率。

【實施方式】

依據本發明一實施態樣，捨棄習知以貴金屬做為三五族元件的源極與汲極的電極材料，改以重摻雜之磊晶半導體材料(例如鍺、矽鍺或砷化銦鎵)做為源極與汲極的電極材料。由於磊晶半導體材料與三五族材料兩種材料的晶格常數(亦即晶格大小)不同，所以在磊晶半導體材料與三五族材料兩種材料的接觸界面通常會產生應力(stress)。因此，可利用此現象來提升三五族元件通道中的電子移動率。

在下表中，列出常見的三五族半導體以及矽鍺半導體材料的晶格常數。由表中可知，若三五族半導體材料使用同處元素週期表中第四週期的砷及鎵為主的材料，其晶格常數通常會大於位於元素週期表中第三週期的矽以及摻入矽之第四週期的鍺。若在砷化鎵中再摻入位於第五週期的銦，則會進一步增加其晶格常數。

三五族材料	晶格常數(Å)	矽鍺材料	晶格常數(Å)
GaAs	5.65	Si	5.43
In _{0.53} Ga _{0.47} As	5.83	Ge	5.65

若三五族半導體以及矽鍺半導體間之應力太小，會無法有效提高電子移動率。若彼此間之應力太大，則會使三五族半導體與矽鍺半導體之界面不佳，反而造成太多缺陷導致電性不佳。因此，依照一實施例，三五族半導體與矽鍺半導體間之晶格常數差異值的範圍為 0.5 %- 3.5 %。依據另一實施例，三五族半導體與矽鍺半導體間之晶格常數差異範圍為 0.5 % - 3 %。依據另一個實施例，三五族半導體與砷化銦鎵材料間之晶格常數差異範圍為 0.5 % - 1%。如此才可控制在三五族半導體與矽鍺半導體或砷化銦鎵半導體之界面上所產生的應力大小。

因此，可以依照三五族半導體材料的成分，來調整矽鍺的成分，使兩種材料間的界面應力處於適當的範圍。例如以 Si_{0.05}Ge_{0.95} 來說，可對應適用之 In_xGa_{1-x}As 材料，其 x 值範圍可為 0.20 - 0.53，相對應之晶格常數差異值為 0.5% -

3.5 %。以 Ge 來說，可對應適用之 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 材料，其 x 值範圍可為 0.20 - 0.60，相對應之晶格常數差異值為 0.5% - 3.5 %。以 $\text{In}_{0.4}\text{Ga}_{0.6}\text{As}$ 來說，可對應適用之 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 材料其 x 值範圍可為 0.5 - 0.55，相對應之晶格常數差異值為 0.5% - 1%。

以下，以高電子移動率電晶體以及金半場效電晶體為例，來說明如何利用磊晶矽鍺或磊晶砷化銦鎵來做為源極與汲極的材料，製造新的半導體元件。

高電子移動率電晶體(High Electron Mobility Transistor; HEMT)

請參考第 1 圖，其係繪示依據本發明一實施態樣之一種高電子移動率電晶體(HEMT)的剖面結構示意圖。

在第 1 圖基底 100 之上，依序具有通道層 110、蕭特基層 120、上蓋層 130 以及保護層 170。在第 1 圖之左右兩側為深入蕭特基層 120、通道層 110 以及基底 100 中之源極 150a 以及汲極 150b，中間為位於蕭特基層 120 之上的閘極 160。

上述之基底 100 的材料例如可為砷化鎵、磷化銦或矽，通道層 110 的材料例如可為砷化銦鎵或砷化銦，蕭特基層 120 的材料例如可為砷化銦鋁，上蓋層 130 的材料例如可為重摻雜的砷化銦鎵，而保護層 170 的材料例如可為氮化矽。而上述源極 150a 以及汲極 150b 的材料例如可為重摻雜之磊晶矽鍺或磊晶砷化鎵，閘極 160 的材料例如可為鈦/白金/金或是白金/鈦/白金/金。

由上述可知，第 1 圖中之源極 150a 以及汲極 150b 係

深入蕭特基層 120、通道層 110 以及基底 100 之中。由於源極 150a 以及汲極 150b 之磊晶矽鍺材料或磊晶砷化鎵的晶格常數小於蕭特基層 120、通道層 110 以及基底 100 之三五族半導體的晶格常數，因此在第 1 圖橫向 X 軸上會對三五族半導體產生張應力，而在縱向 Y 軸上會對三五族半導體產生壓應力。而構成電子移動通路之通道層 110 的方向剛好為與橫向 X 軸平行，所以由磊晶矽鍺材料或磊晶砷化鎵所構成之源極 150a 以及汲極 150b 可讓在通道層 110 中移動的電子具有更快的移動速率，提升元件電流。

下面以 SILVACO TCAD 軟體的模擬結果來比較第 1 圖之 HEMT 結構與習知 HEMT 結構之電流-電壓特性。第 1 圖 HEMT 結構之基底 100 由下至上依序具有直徑 2 英吋的半絕緣之 InP 基材與 500 nm 厚的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 緩衝層。通道層 110 為 10 nm 厚的 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ，蕭特基層 120 為 10 nm 厚的矽摻雜 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ (摻雜濃度為 $4 \times 10^{12} \text{ cm}^{-2}$)。通道層 110 與蕭特基層 120 之間夾有 4 nm 厚的 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 間格層(spacer layer)，而蕭特基層 120 之上有 4 nm 厚的 InP 蝕刻終止層。上蓋層 130 為 35 nm 厚的摻雜 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層，其摻雜濃度為 $2 \times 10^{19} \text{ cm}^{-2}$ 。而源極 150a 與汲極 150b 為 $\text{In}_{0.4}\text{Ga}_{0.6}$

習知 HEMT 的結構與上述之 HEMT 結構大同小異，唯一的差別為其源極與汲極係位於上蓋層 130 上，且源極與汲極係由金/鍺/鎳/金四層金屬退火後所形成之合金所組成，而不是深入蕭特基層 120、通道層 110 以及基底 100 中之磊晶半導體層。

利用 SILVACO TCAD 軟體的模擬結果顯示在第 2A-2B

圖中。第 2A 圖為上述具有第 1 圖結構之 HMET 元件電流-電壓特性之模擬圖，第 2B 圖為上述習知 HMET 元件電流-電壓特性之模擬圖。由第 2A-2B 圖可知，具有第 1 圖結構之 HMET 元件在施加相同的汲極電壓 0.5 V 下，其汲極電流高達約 2100 mA/mm，但是習知 HMET 元件卻只有約 650 mA/mm。也就是，在施加相同汲極電壓的情況下，具有第 1 圖結構之 HMET 元件之汲極電流可為習知 HMET 元件的 3 倍。

此外，由於源極 150a 以及汲極 150b 之材料為重摻雜之磊晶矽鍺或磊晶砷化銦鎵，所以還可以進一步減少閘極/源極以及閘極/汲極間的寄生電容，另外還可以減少源極至閘極的寄生電阻。

接下來請參考第 3A-3D 圖，其係繪示第 1 圖之 HEMT 的製造流程剖面示意圖。

在第 3A 圖中，先在基底 100 之上依序形成通道層 110、蕭特基層 120、上蓋層 130 以及硬罩幕層 140。基底 100、蕭特基層 120 以及上蓋層 130 的材料，如上所述，在此不再贅述。硬罩幕層 140 的材料例如可為氧化矽。

在第 3B 圖中，圖案化硬罩幕層 140 及其下之蕭特基層 120、通道層 110 以及基底 100 至一深度，形成溝渠 145。接著，在溝渠 145 以及硬罩幕層 140 之上形成磊晶半導體層 150，其材質與上述之源極 150a 及汲極 150b 相同。而上述圖案化硬罩幕層 140 及其下數層的方法例如可為微影蝕刻法。

在第 3C 圖中，以濕蝕刻法來剝除硬罩幕層 140 及其上之磊晶半導體層 150，而留下溝渠 145 中之源極 150a 及汲

極 150b。上述濕蝕刻法所用之濕蝕刻液例如可為含氟陰離子的蝕刻液，如氫氟酸。

在第 3D 圖中，圖案化上蓋層 130，形成閘極開口 135。然後於閘極開口 135 之中形成閘極 160。最後，再於上蓋層 130 之上形成保護層 170。上述圖案化上蓋層 130、形成閘極 160 以及形成保護層 170 的方法，可為任何可行的方法。又，由於上述圖案化上蓋層 130、形成閘極 160 以及形成保護層 170 的方法，已有眾多習知方法可行，所以在此不再贅述之。

金半場效電晶體 (Metal Semiconductor Field Effect Transistor; MESFET)

請參考第 4 圖，其係繪示依據本發明一實施態樣之一種金半場效電晶體(MESFET)的剖面結構示意圖。

在第 4 圖之基底 300 之上，依序具有通道層 310 與閘極 340。而通道層 310 左右兩側則被源極 330a 與汲極 330b 所夾著。上述之基底 300 的材料例如可為砷化鎵、磷化銦或矽，通道層 310 的材料例如可為砷化鎵、砷化銦鎵或砷化銦，閘極的材料例如可為鈦/白金/金或白金/鈦/白金/金，而源極 330a 與汲極 330b 的材料則為重摻雜之磊晶矽鍺或磊晶砷化鎵。

由上述可知，由於第 4 圖中之源極 330a 與汲極 330b 夾住通道層 310，且源極 330a 與汲極 330b 的磊晶矽鍺或磊晶砷化鎵材料之晶格常數小於通道層 310 之三五族半導體材料的晶格常數，因此會對通道層 310 產生張應力。所

以，由磊晶矽鍺或磊晶砷化鎵材料所構成之源極 330a 與汲極 330b 可讓在通道層 310 中移動的電子具有更快的移動速率，提升元件電流。

接下來請參考第 5A-5C 圖，其係繪示第 4 圖之 MESFET 的製造流程剖面示意圖。

在第 5A 圖中，先在基底 300 上依序形成通道層 310 以及硬罩幕層 320。基底 300 與通道層 310 的材料如上所述，在此不再贅述。硬罩幕層 320 的材料例如可為氧化矽。

在第 5B 圖中，圖案化硬罩幕層 320 及其下之基底 300 至一深度，形成溝渠 325。接著，在溝渠 325 中以及硬罩幕層 320 上形成磊晶半導體層 330，其材質與上述之源極 330a 及汲極 330b 相同。而上述圖案化硬罩幕層 320 及其下基底 310 的方法例如可為微影蝕刻法。

在第 5C 圖中，以濕蝕刻法來剝除硬罩幕層 320 及其上之磊晶半導體層 330，只留下位於溝渠 325 中之源極 330a 及汲極 330b。上述濕蝕刻法所用之濕蝕刻液例如可為含氟陰離子的蝕刻液，如氫氟酸。

接著，在通道層 310 之上形成閘極 340。由於上述形成閘極 340 的方法，已有眾多習知方法可行，所以在此不再贅述之。

由上述可知，使用重摻雜之磊晶矽鍺材料或磊晶砷化鎵材料取代習知之貴金屬材料來形成三五族元件之源極與汲極，不僅可以節省製造成本以及解決 P 通道元件被金屬污染的問題，還可以提高三五族元件通道中之電子移動速率。因此，可以提高元件之直流與微波效能，使其更適

於應用在高速低功耗元件上，例如微波通訊元件或數位邏輯元件。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖係繪示依據本發明一實施態樣之一種高電子移動率電晶體(HEMT)的剖面結構示意圖。

第 2A 圖係繪示具有第 1 圖結構之 HMET 元件電流-電壓特性之模擬圖。

第 2B 圖係繪示習知 HMET 元件電流-電壓特性之模擬圖。

第 3A-3D 圖係繪示第 1 圖之 HEMT 的製造流程剖面示意圖。

第 4 圖係繪示依據本發明一實施態樣之一種金半場效電晶體(MESFET)的剖面結構示意圖。

第 5A-5C 圖係繪示第 4 圖之 MESFET 的製造流程剖面示意圖。

【主要元件符號說明】

100、300：基底

110、310：通道層

- 120：蕭特基層
- 130：上蓋層
- 140、320：硬罩幕層
- 145：溝渠
- 150：磊晶半導體層
- 150a、330a：源極
- 150b、330b：汲極
- 160、340：閘極
- 170：保護層

七、申請專利範圍：

1. 一種三五族半導體元件，其至少包含：
一基底，且該基底之材料為三五族半導體；
一通道層，位於該基底上，且該通道層之材料為三五族半導體；
一閘極位於該通道層上；以及
一源極與一汲極位於該通道層之兩端並接觸該通道層，且該源極與該汲極之材料為重摻雜之磊晶矽鍺或磊晶砷化銦鎵。
2. 如請求項 1 所述之三五族半導體元件，其中該基底的材料為砷化鎵、磷化銦或矽。
3. 如請求項 1 所述之三五族半導體元件，其中該通道層的材料為砷化鎵、砷化銦鎵或砷化銦。
4. 如請求項 1 所述之三五族半導體元件，當該三五族半導體元件為高電子移動率電晶體時，該三五族半導體元件更包括：
一蕭特基層，位於該通道層之上以及該閘極之下；以及
一上蓋層，位於被該閘極所暴露出之該蕭特基層之上。
5. 如請求項 4 所述之三五族半導體元件，其中該基底的材料包含砷化鎵、磷化銦或矽。

6. 如請求項 4 所述之三五族半導體元件，其中該通道層的材料包含砷化銻鎵或砷化銻。

7. 一種金半場效電晶體的製造方法，其至少包含：
依序形成一通道層與一硬罩幕層於一基底上，其中該通道層的材料為三五族半導體；

圖案化該硬罩幕層及其下之該基底，以在該基底中形成二溝渠；

形成重摻雜之一磊晶半導體層於該些溝渠中及該硬罩幕層上，其中該磊晶半導體層為一磊晶矽鍺層或一磊晶砷化銻鎵層；

剝除該硬罩幕層及其上之該磊晶半導體層，留下位於該些溝渠中之該磊晶半導體層，做為該金半場效電晶體的源極與汲極；以及

形成一閘極於該通道層之上以及於該源極與該汲極之間。

8. 如請求項 7 所述之金半場效電晶體的製造方法，其中該基底的材料為砷化鎵、磷化銻或矽。

9. 如請求項 7 所述之金半場效電晶體的製造方法，其中該通道層的材料為砷化鎵、砷化銻鎵或砷化銻。

10. 如請求項 7 所述之金半場效電晶體的製造方法，其中該硬罩幕層的材料包括氧化矽。

11. 如請求項 7 所述之金半場效電晶體的製造方法，其中剝除該硬罩幕層的方法包括濕蝕刻法。

12. 一種高電子移動率電晶體的製造方法，其至少包含：

依序形成一通道層、一蕭特基層、一上蓋層以及一硬罩幕層於一基底上，其中該通道層為三五族半導體；圖案化該硬罩幕層及其下之該上蓋層、該蕭特基層、該通道層以及該基底，以在該上蓋層、該蕭特基層、該通道層以及該基底中形成二溝渠；

形成重摻雜之一磊晶半導體層於該些溝渠中及該硬罩幕層上，其中該磊晶半導體層為一磊晶矽鍺層或一磊晶砷化銻鎵層；

剝除該硬罩幕層及其上之該磊晶半導體層，留下位於該些溝渠中之該磊晶半導體層，做為該高電子移動率電晶體的源極與汲極；以及

圖案化該上蓋層，以在該上蓋層中形成一閘極開口；

形成一閘極於該閘極開口中及該上蓋層之上。

13. 如請求項 12 所述之高電子移動率電晶體的製造方法，其中該基底的材料包含砷化鎵、磷化銻或矽。

14. 如請求項 12 所述之高電子移動率電晶體的製造方法，其中該通道層的材料包含砷化銻鎵或砷化銻。

15. 如請求項 12 所述之高電子移動率電晶體的製造 [5]

方法，其中該蕭特基層的材料包括砷化銦鋁。

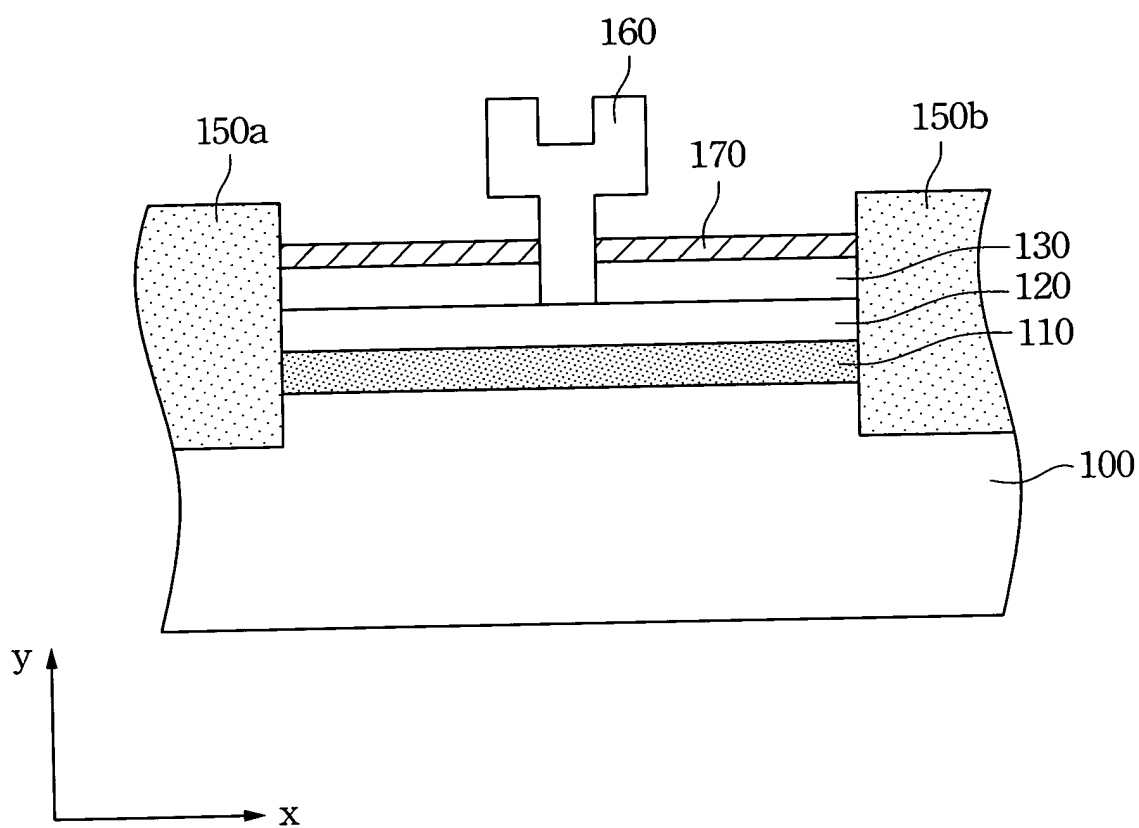
16. 如請求項 12 所述之高電子移動率電晶體的製造方法，其中該上蓋層的材料包括重摻雜的砷化銦鎵。

17. 如請求項 12 所述之高電子移動率電晶體的製造方法，其中該硬罩幕層的材料包括氧化矽。

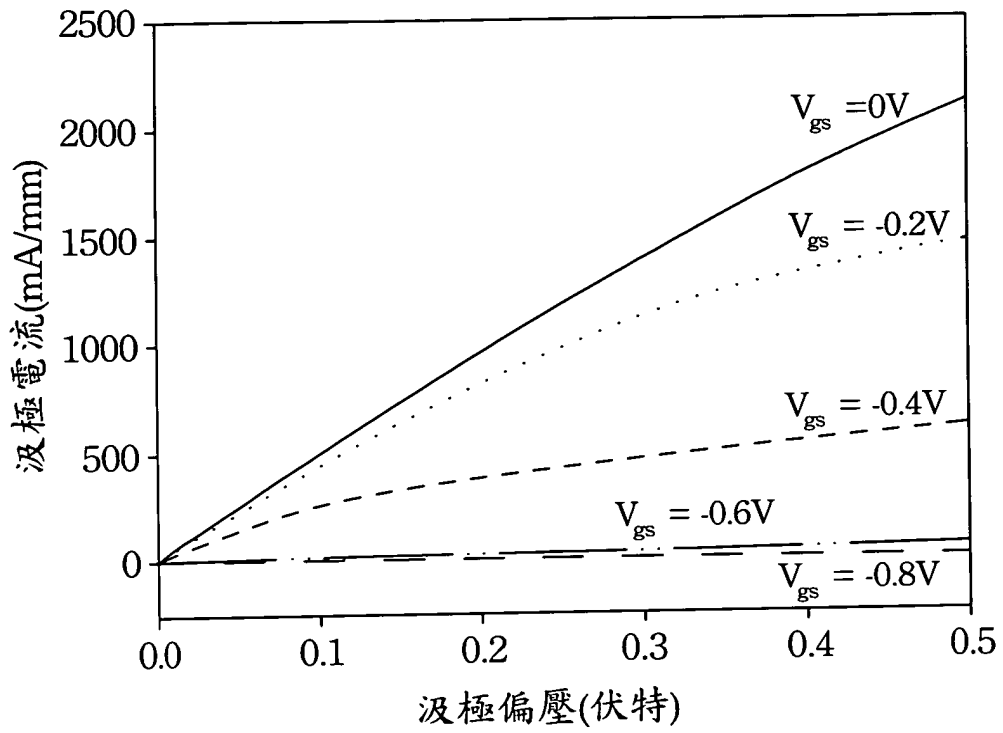
18. 如請求項 12 所述之高電子移動率電晶體的製造方法，其中剝除該硬罩幕層的方法包括濕蝕刻法。

19. 如請求項 12 所述之高電子移動率電晶體的製造方法，更包括形成一保護層於暴露出之上蓋層之上。

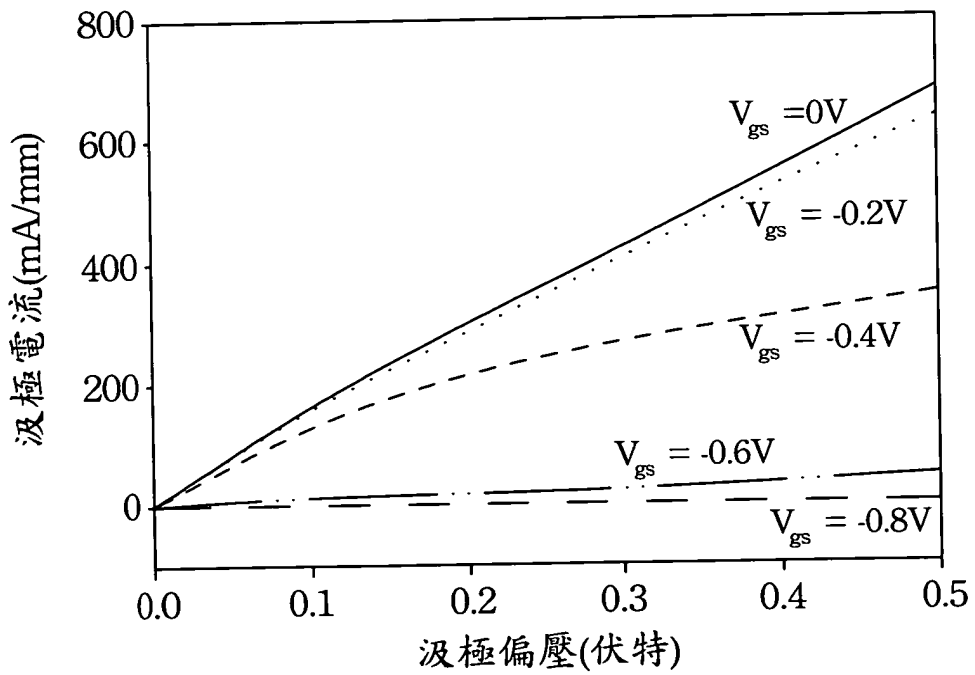
20. 如請求項 19 所述之高電子移動率電晶體的製造方法，其中該保護層的材料包括氮化矽。



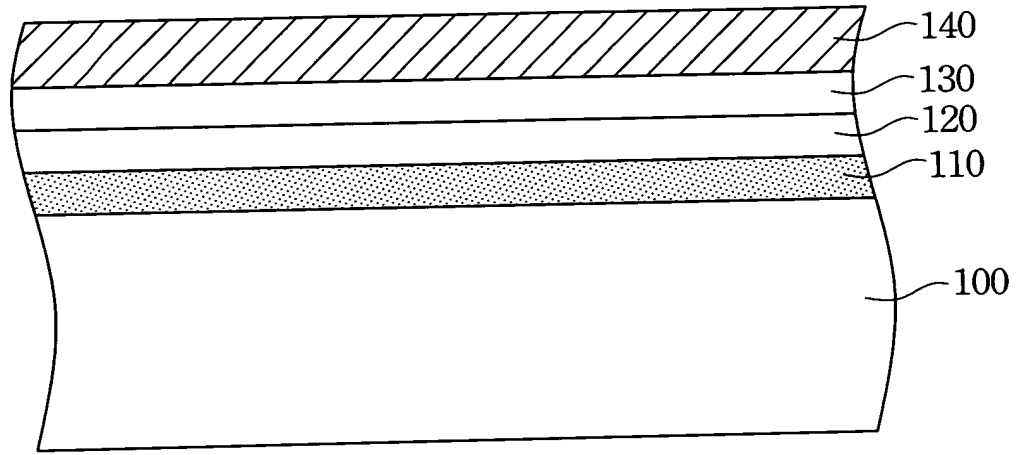
第 1 圖



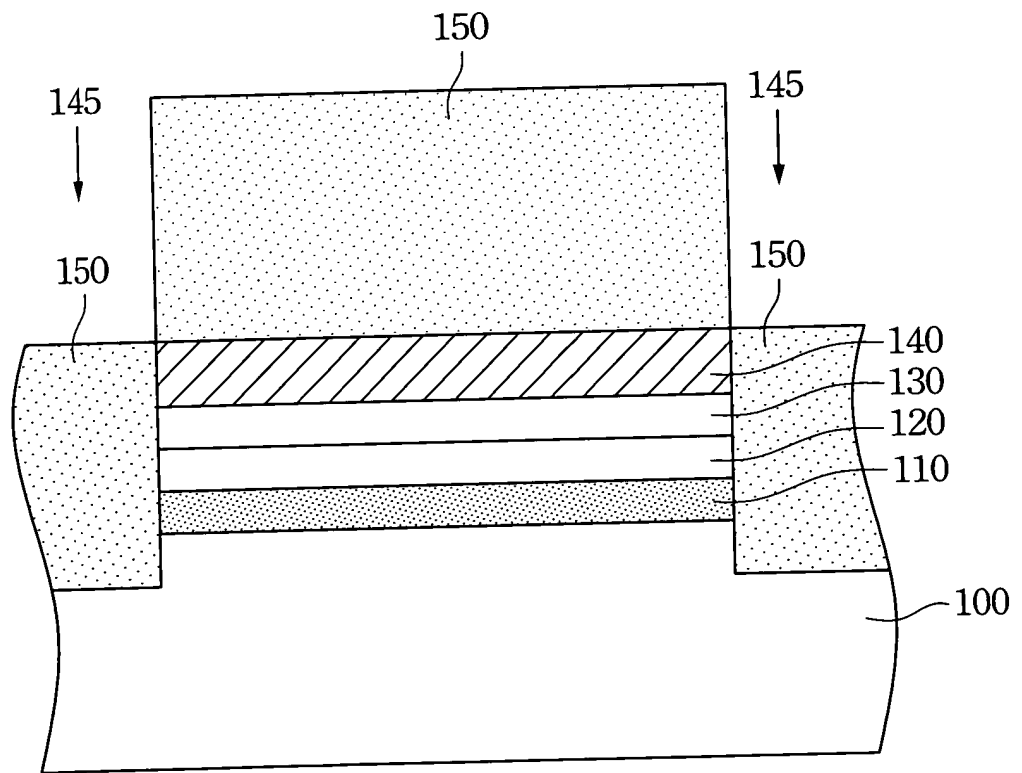
第 2A 圖



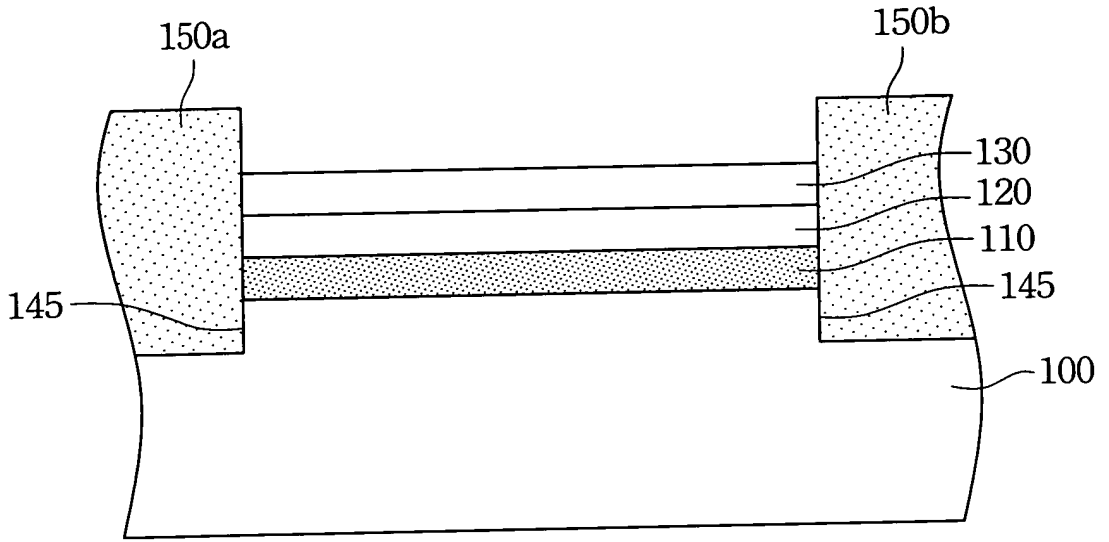
第 2B 圖



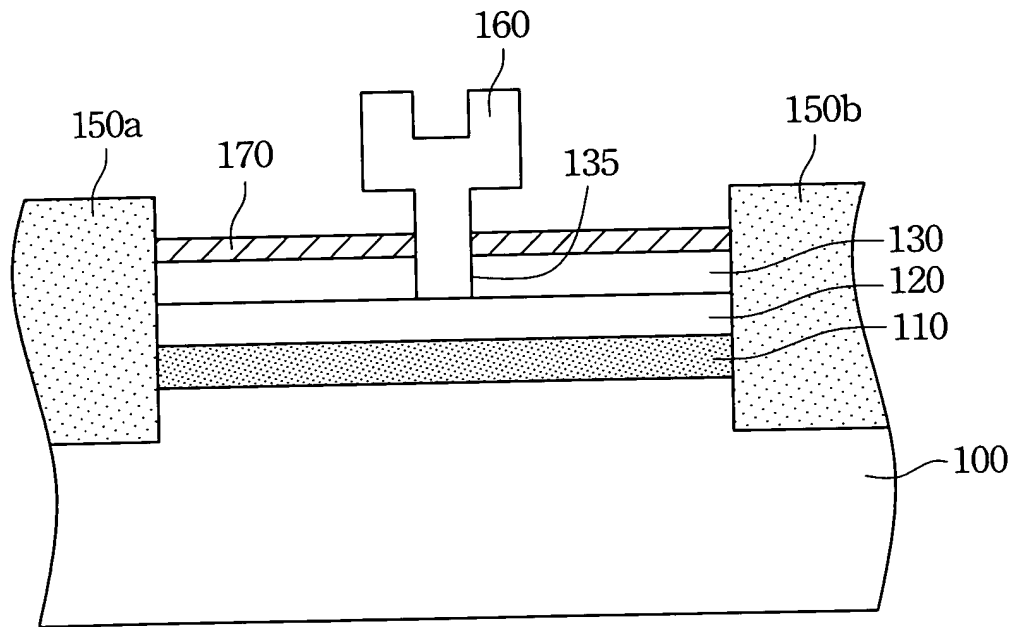
第 3A 圖



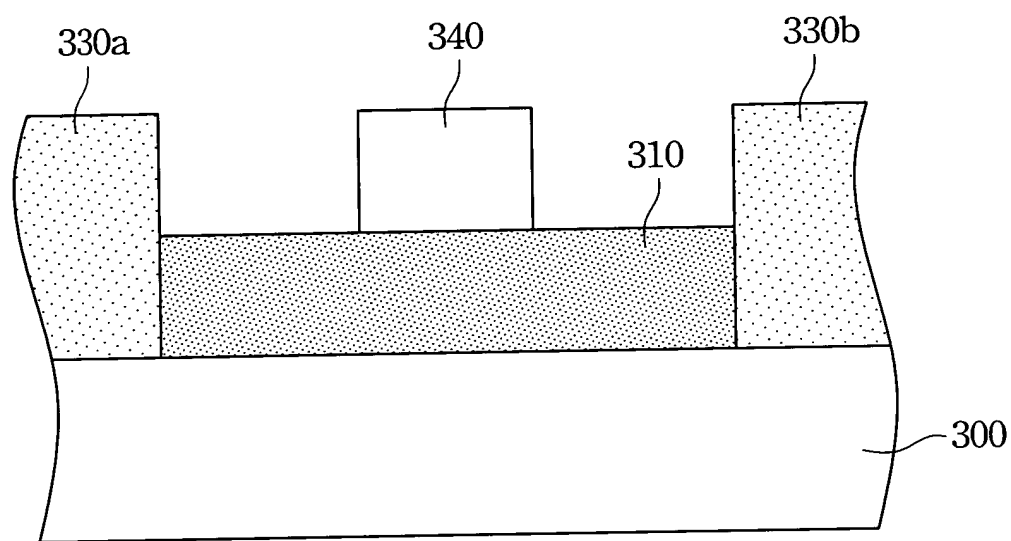
第 3B 圖



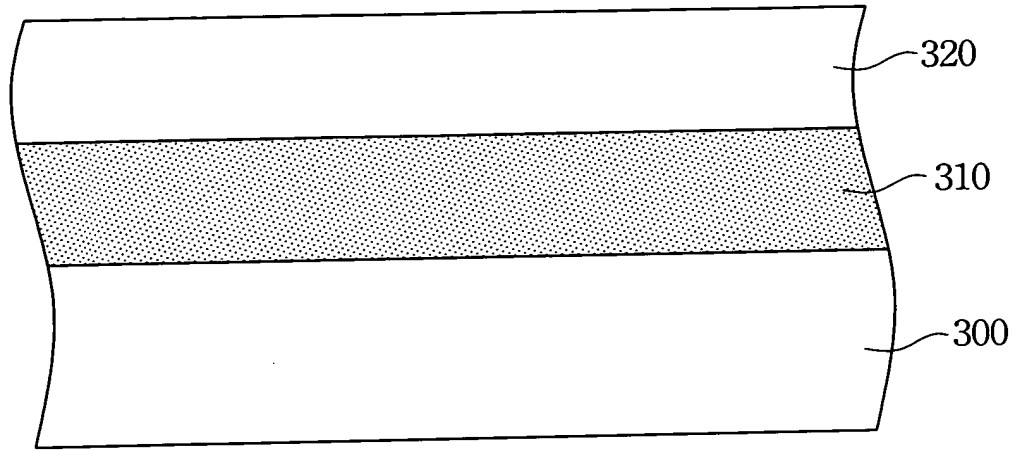
第 3C 圖



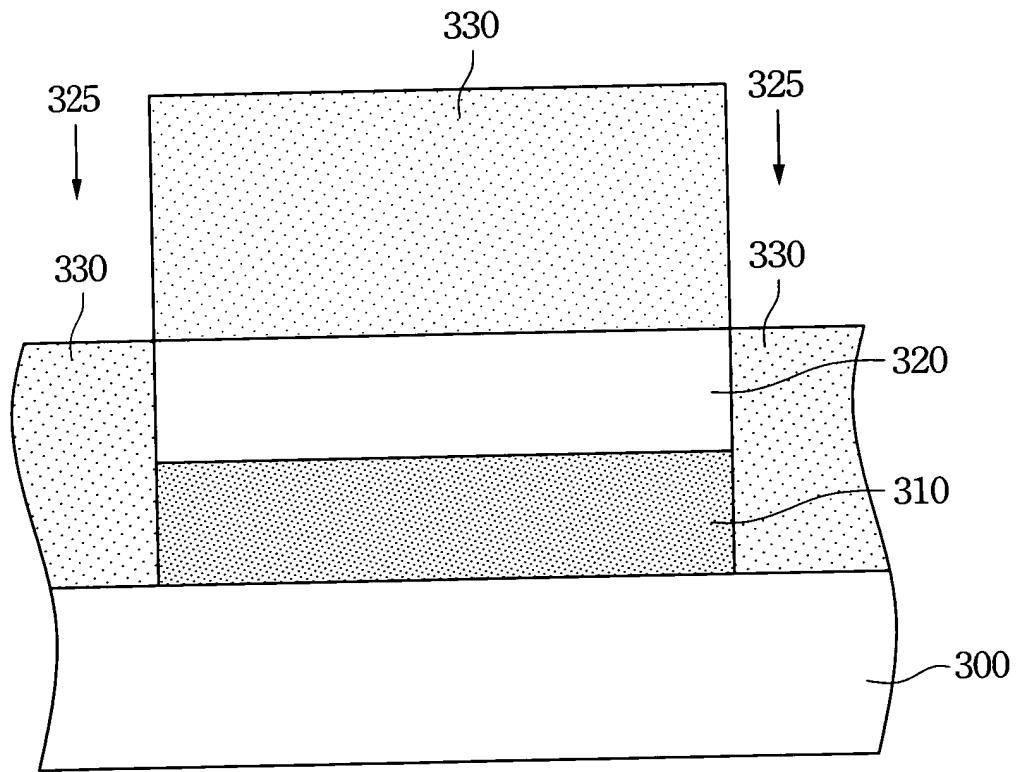
第 3D 圖



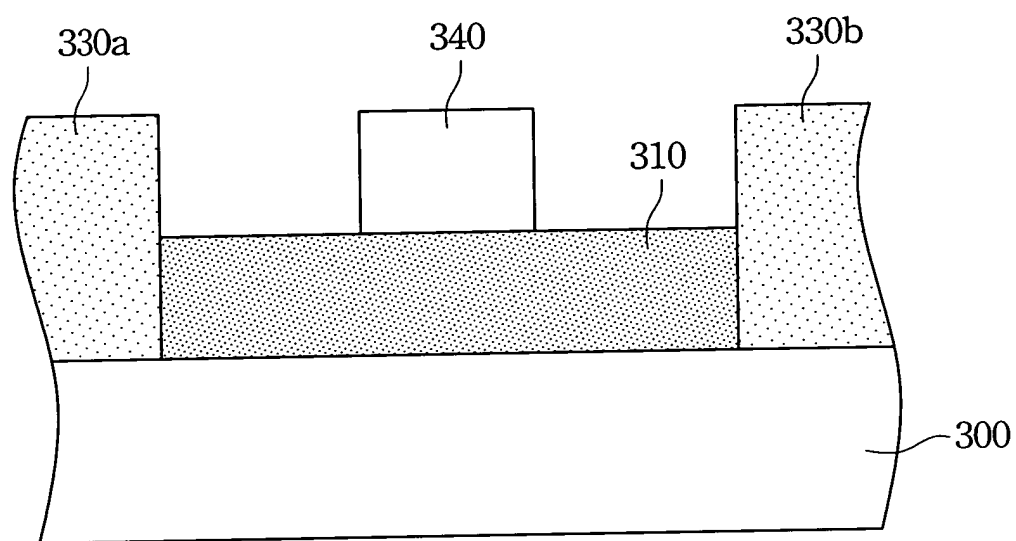
第 4 圖



第 5A 圖



第 5B 圖



第 5C 圖