



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201115721 A1

(43)公開日：中華民國 100 (2011) 年 05 月 01 日

(21)申請案號：098136784

(22)申請日：中華民國 98 (2009) 年 10 月 29 日

(51)Int. Cl.：

H01L27/108 (2006.01)

H01L21/8242(2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：張俊彥 CHANG, CHUN YEN (TW)；張耀峰 CHANG, YAO FENG (TW)

(74)代理人：何金塗；丁國隆

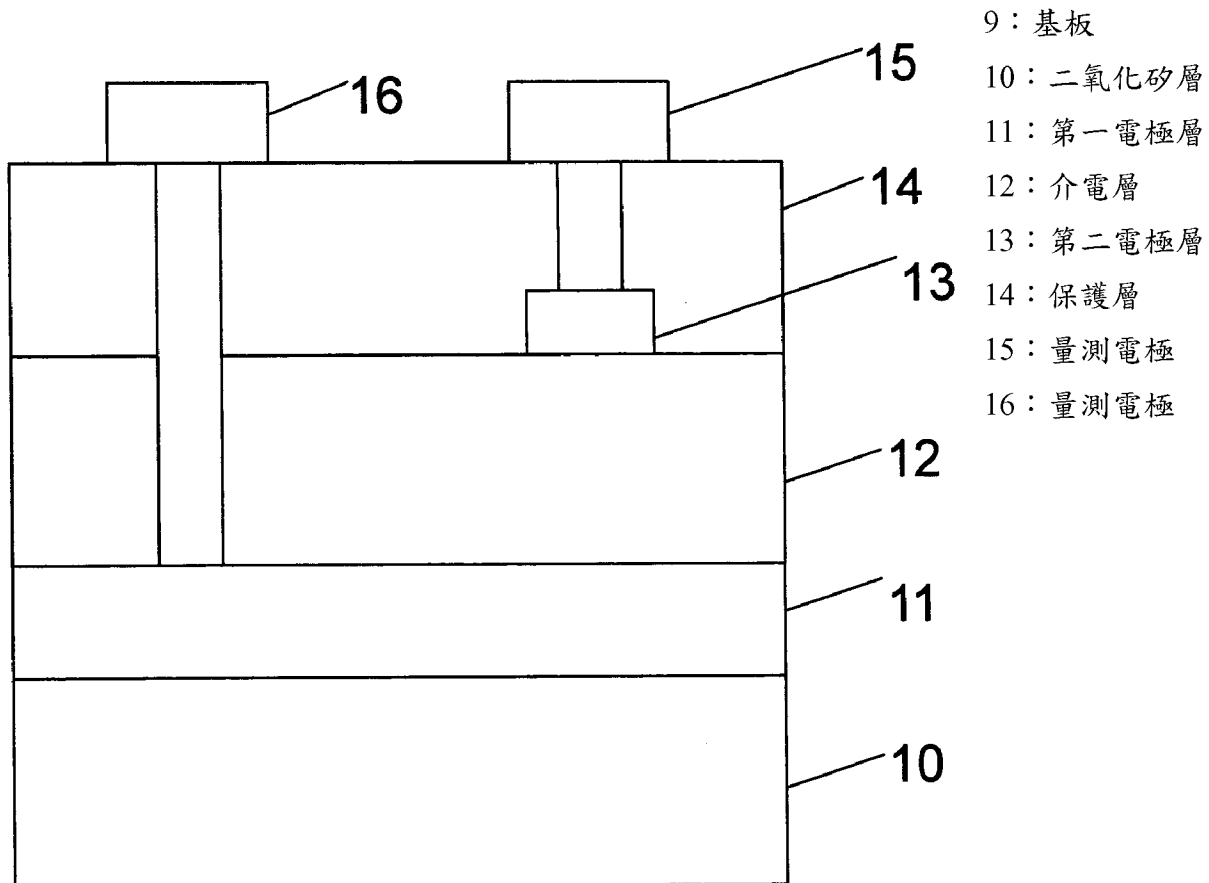
申請實體審查：有 申請專利範圍項數：18 項 圖式數：6 共 25 頁

(54)名稱

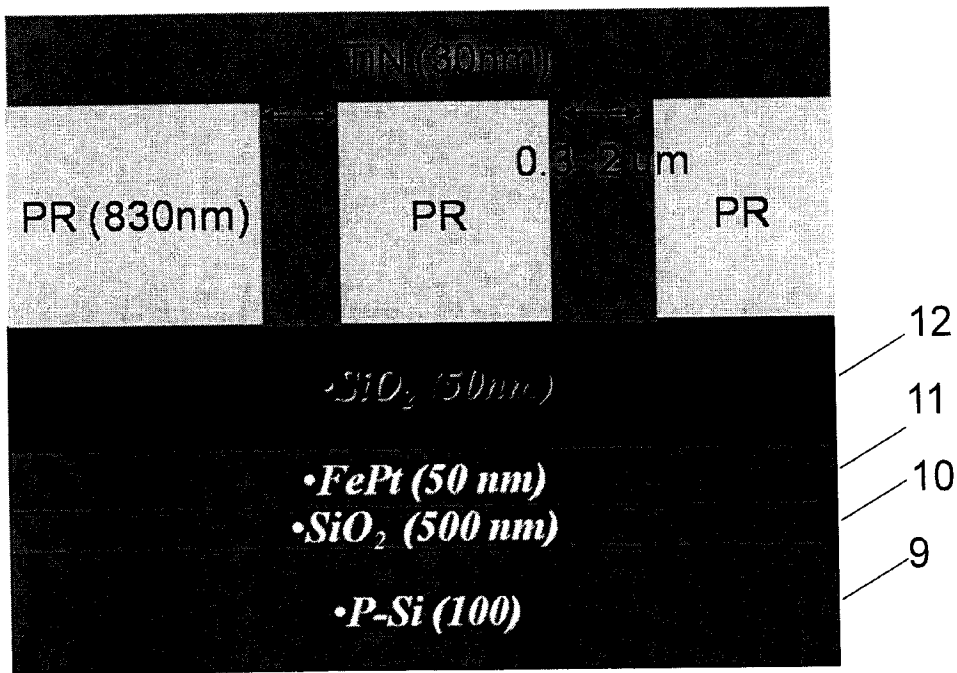
電阻式隨機存取記憶體及其製作方法

(57)摘要

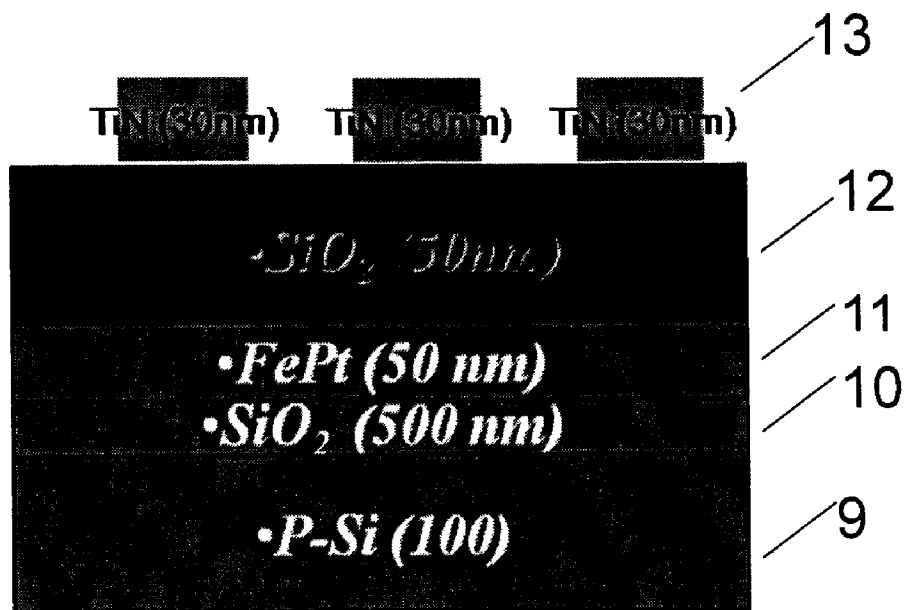
一種電阻式記憶體元件,包含:一第一電極;一第二電極,配置於該第一電極上方;一介電層,配置於該第一電極與該第二電極之間;以及電極混合系統層,配置於該第一電極與該介電層之間,其中該第一電極與該第二電極之至少一者係由一過渡態金屬元素所構成,並且其中於該電極混合系統層與該介電層之間更可藉由 CVD 或退火製程而包含一由氧化鐵(FeO)或氧化鈷(CoO)所構成之第一電阻轉態層。



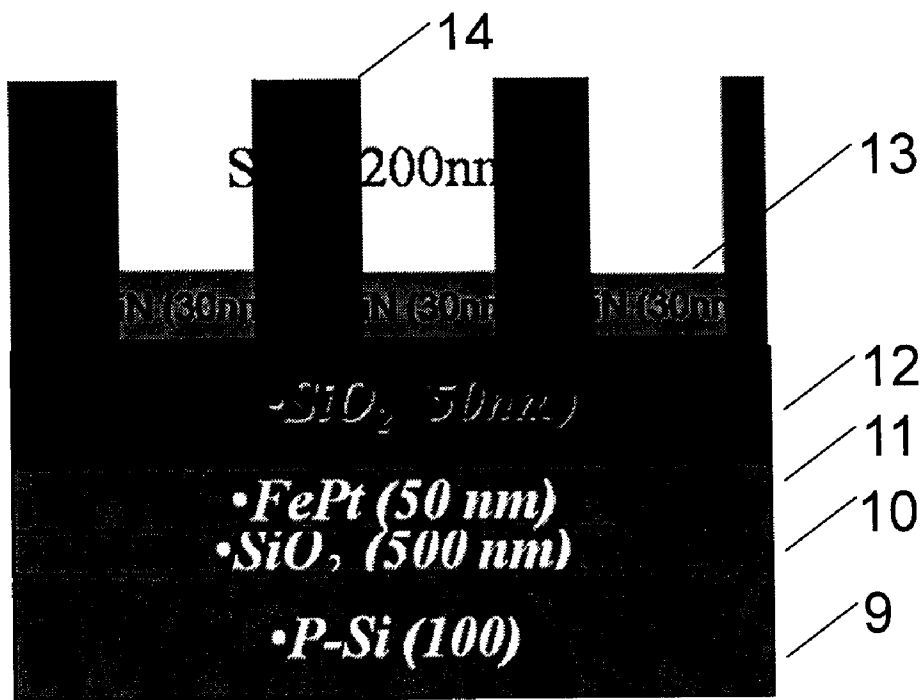
第 1A 圖



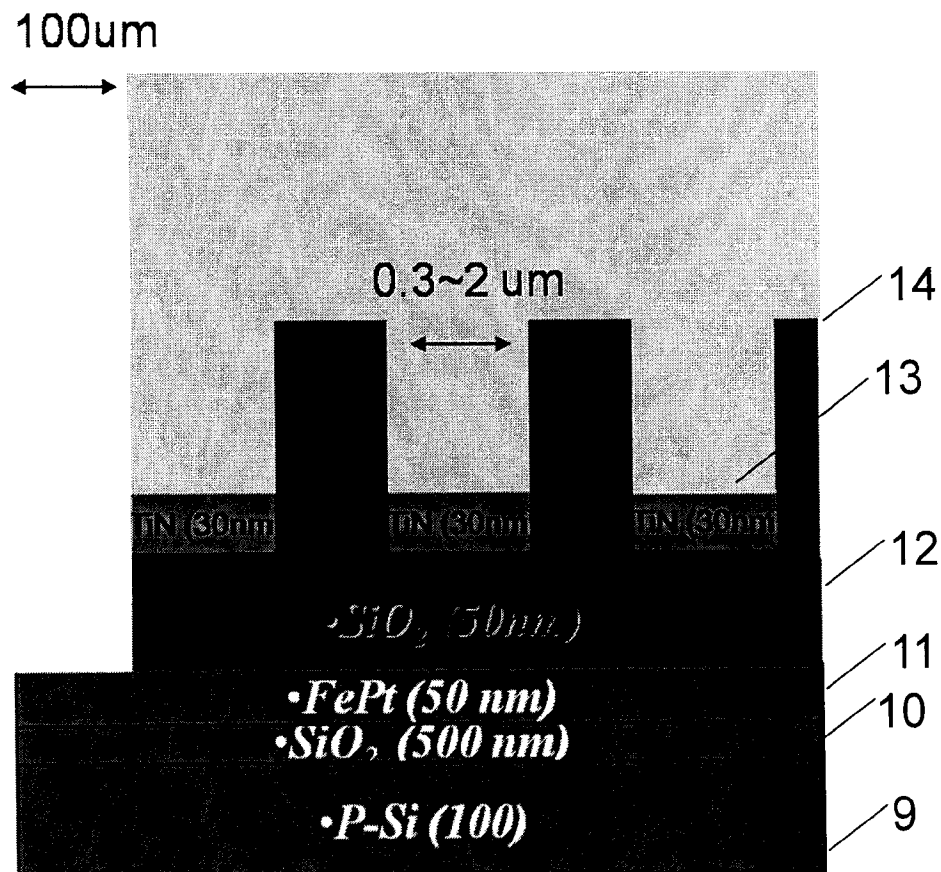
第 1B 圖



第 1C 圖



第 1D 圖



第 1E 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98136184

※申請日：98 10 29

※IPC 分類：

H01L 27/108 (2006.01)
H01L 21/8242 (2006.01)

一、發明名稱：(中文/英文)

電阻式隨機存取記憶體以及其製作方法

二、中文發明摘要：

一種電阻式記憶體元件,包含:一第一電極;一第二電極,配置於該第一電極上方;一介電層,配置於該第一電極與該第二電極之間;以及電極混合系統層,配置於該第一電極與該介電層之間,其中該第一電極與該第二電極之至少一者係由一過渡態金屬元素所構成,並且其中於該電極混合系統層與該介電層之間更可藉由CVD或退火製程而包含一由氧化鐵(FeO)或氧化鈷(CoO)所構成之第一電阻轉態層。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10 二氧化矽層

11 第一電極層

12 介電層

13 第二電極層

14 保護層

15、16 量測電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種電阻式隨機存取記憶體以及其製法,特別地,係關於一種具有搭配電極混合系統所形成之電阻式記憶體結構以及其製法。

【先前技術】

專利文獻1(TW200818190)與專利文獻2(TW200824046)皆揭露一種電阻式記憶體元件及其製造方法,然而其具有下列缺失:

1. 專利文獻1與專利文獻2均為利用金屬氧化物做為電阻轉態層,其中此金屬氧化層之成分通常為非化學計量比(non-stoichiometric)且該成分在製程上並不容易製作:亦即製程均勻性變異大。
2. 若以專利文獻1與專利文獻2之技術來製作非化學計量比的金屬氧化物,必須要利用原子層磊晶技術(ALD)來精確控制,然而此製作方法須耗費大量製作成本,不符合量產需求。
3. 以金屬氧化物做電阻式記憶體之製程和CMOS製程較不相容。
4. 利用金屬氧化物做為電阻轉態層時,其蝕刻過程相對於剝離(Lift-off)方法來說較為困難,而且金屬氧化物電阻轉態層常須經過高溫處理,此步驟會大幅增加製程成本與製作時間。

此外,非專利文獻1(Lee et al., “Electromigration effect of Ni

electrodes on the resistive switching characteristics of NiO thin films,” Appl. Phys. Lett. 91, 082104 (2007).)係利用混合電極作為電阻式記憶體之電極，雖於此文獻中揭露其有轉態特性，然而由於中間轉態層仍沿用NiO過渡態金屬氧化物，故非專利文獻1將無法解決製作小尺寸時所遇到的蝕刻問題，並且混合電極NiPt電極可能因為長時間操作下，造成電致遷移效應，使得Ni金屬導入絕緣層內造成轉態層內過多金屬成分而讓轉態特性消失。

非專利文獻2(S. B. Lee et al., “Resistance switching in Electroformed Pt/FeOx/Pt Structure,” Journal of the Korean Physical Society, 51, S96 (2007).)揭露利用氧化鐵做為電阻式記憶體材料，雖說其具有轉態特性，然而在製程微縮後氧化鐵厚度於減薄時將會使轉態特性消失。

非專利文獻3(I. S. Park et. al., “Resistance Switching Characteristics for Nonvolatile Memory Operation of Binary Metal Oxides,” Jpn. J. Appl. Phys., Vol. 46, No. 4B (2007), pp. 2172–2174.)揭露利用SiO₂當作絕緣層來使用，轉態特性差(高低電阻比約10左右)，且操作電壓大(8V與12V)，這使得元件操作時產生過多的功率消耗，在實際應用層面上可能性低。

基於上述習知技術缺失，本發明在此提供一種電阻式隨機存取記憶體以及其製造方法，

【發明內容】

本發明之主要目的之一係提供一種電阻式記憶體元件,其包含:一第一電極;一第二電極,配置於該第一電極上方;一介電層,配置於該第一電極與該第二電極之間;第一電阻轉態層,配置於該第一電極與該介電層之間;以及第二電阻轉態層,配置於該第二電極與該介電層之間,其中該第一電極與該第二電極之至少一者係由一過渡態元素所構成。

本發明之另一目的係提供一種電阻式記憶體元件之製造方法,其包含:於一基底上依序形成一第一電極、一介電層、一電極混合系統層及一第二電極,其中在形成該介電層與該電極混合系統層時,可藉由CVD製程或退火製程而於該電極混合系統層與該介電層之間形成一第一電阻轉態層;其中該第一電極與該第二電極之至少一者係由一過渡態元素所構成。

依照上述該電阻式記憶體元件以及其製造方法,其中該過渡態元素為PtFe、CoFe、PtHf、Fe、Ni、Co之任一者或者其合金。

依照上述該電阻式記憶體元件以及其製造方法,其中該第一電極係由Ti、TiN、PtFe、CoFe、PtHf、Fe、Ni、Co之任一者所構成,以及其中該第二電極係由Ti、TiN、PtFe、CoFe、PtHf、Fe、Ni、Co之任一者所構成。

依照上述該電阻式記憶體元件以及其製造方法,其中該介電層係由矽氧化物或者矽氧氮化物所構成。

依照上述該電阻式記憶體元件以及其製造方法,其中該矽氧

化物為二氧化矽(SiO_2)。

依照上述該電阻式記憶體元件以及其製造方法,其中該第一電阻轉態層以及該第二電阻轉態層係由氧化鐵(FeO)或者氧化鈷(CoO)所構成。

本發明之再一目的係提供一種電阻式記憶體元件之製造方法,其包含下列步驟:預備一基板;沈積一第一電極;於該第一電極上沉積一電極混合系統層;利用CVD系統沉積一氧化絕緣層,接著利用沉積環境的加熱系統及沉積時通入的氧氣氣體環境而自然形成一層擴散、過渡的極薄電阻轉態層;沈積一第二電極;以及利用黃光、微影、蝕刻技術訂出記憶體原件形狀並且後續再配合金屬連線牽引拉出量測電極以作為量測時探針擺放的位置。

本發明具有下列技術特點及功效:

1. 本發明係以化學氣相沉積方式沉積氧化物絕緣體(二氧化矽等)相關絕緣氧氮薄膜在電極混合系統(如Co, Fe, Ni, or PtFe, CoFe, PtHf...etc)上形成電阻轉態層。
2. 本發明係利用PtFe或是過渡態元素電極混合系統(如Co, Fe, Ni, or PtFe, CoFe...etc)做為電極使用,搭配化學氣相沉積方式形成二氧化矽等相關矽氧氮絕緣薄膜,做為非揮發性電阻式儲存之記憶元件。
3. 採用二氧化矽與相關矽氧氮氧化物(如: SiON , SiN_x)及氧化物絕緣體(如: Al_2O_3 , TiO_2),搭配電極混合系統(如Co, Fe, Ni, or

PtFe, CoFe, PtHf...etc)元件作為電阻式記憶體的结构。藉由化學氣相沉積系統沉積氧化物絕緣體層時:(1)藉由沉積的溫度(如300°C)與有氧氣氛之環境,亦或(2)藉由沉積完成後的接續長時間熱退火製程(如300°C),所伴隨形成的極薄電阻轉態層(如FeO, CoO等)做為元件電阻轉態的有效區域。本案利用過渡態元素易氧化的特性加上適當的絕緣體作為絕緣層減少因為過薄的氧化物造成穿遂電流的可能,使得電阻式記憶體元件在操作上相對穩定,因此具有做為下一世代非揮發性儲存記憶體元件的潛力。

4. 由於二氧化矽與CMOS製程相容性高,故本發明可應用於非揮發性記憶體上。
5. 使用二氧化矽與下電極所形成之極薄電阻轉態層可使得元件尺寸更往下微縮,進而提升儲存密度。
6. 不須高熱處理製程,且最高製程溫度(約300°C)為用化學氣相沉積氧化物絕緣體(如二氧化矽)時的溫度,並且在後段製程上與CMOS製程相容性高。
7. 利用過渡態元素易氧化的特性,加上藉由適當的絕緣體作為絕緣層減少因為過薄的氧化物造成穿遂電流的可能,使得本發明之電阻式記憶體元件在操作上相對穩定。

為使本發明之上述和其他目的、特徵及優點能更明顯易懂,下文特舉較佳實施例,並配合所附圖式,作詳細說明如下。

【實施方式】

本發明之應用不侷限於下列敘述、圖式或所舉例說明之組件構造和配置等細節所作之說明。本發明更具有其他實施例，且可以各種不同的方式予以實施或進行。此外，本發明所使用之措辭及術語均僅用來說明本發明之目的，而不應視為本發明之限制。

以下將參照圖式先詳細說明電阻式隨機存取記憶體之製造方法。

參照第1圖，其為依照本發明之例示實施例說明一電阻式隨機存取記憶體之剖面示意圖。惟本發明並不侷限於此例示實施例，亦即，其它實施例為所屬技術領域中具有通常知識者依照本說明書之圖式及內容而仍可被推知。

如第1A~1E圖中所示，在Si上長SiO₂(氧化物緩衝層，亦可在任意基材板上)，之後利用濺鍍方式鍍上PtFe(或者Fe)，接著利用化學氣相沉積方式沉積二氧化矽，經過黃光與蝕刻製程，鍍上PtFe上電極作為不同上電極大小的定義，最後拉出Ti (或者Al) 電極作為我們量測時探針擺放的位置。

接著參照第2圖為在Ti/TiN/SiO₂/PtFe混合電極結構下之電流電壓曲線圖。圖中左下角標示上電極面積，右下角標示從第一次掃描到第五十次掃描。箭頭標示經過負電壓形成(Forming)後的操作方向。由圖中可觀察到，利用二氧化矽高能隙氧化物在過渡態混合電極上可以有穩定的電阻轉態特性，且利用小尺寸製作方法可以讓轉態功率消耗低，增加元件實際應用的可能

性。

接著參照第3~4圖,其中第3圖為顯示當上電極尺寸不同時LRS電阻值下降之示意圖;以及第4圖為顯示當上電極尺寸微縮時重置電流值下降之示意圖。由第3~4圖中可看出當上電極尺寸不同時,LRS電阻值下降,故可增加可辨別電阻值的比(ratio)。此外,當上電極尺寸微縮時,重置電流值會下降。

● 接著參照第5圖為利用DC電壓來回操作1000次下讀取0.5V下電流的耐操度測試。圖中可分為二個部份:低電阻態與高電阻態。從圖中可以看到經過1000次的操作後,高低電阻態仍有10倍電阻可判別區間。由此可以看出此種結構具有在現性與可重複性。

● 接著參照第6圖為高阻態和低阻態的記憶力測試,此測試方式是操作完件至高電阻態後放置不動,並且每隔一段時間後用0.5V電壓量測電流值,在固定時間內讀取一次電流值以觀察原先的電阻狀態是否改變。藉由記憶力測試可以看出此結構做出的元件其記憶能力的維持時間可以保持住,不管是在LRS或者HRS上,外插可以維持到10年的記憶能力。

須注意的是,該中間的轉態層(例如,由FeOx構成)其實是利用CVD沉積步驟中自然形成的。或者,該中間的轉態層亦可用後續外加的退火步驟再來製作形成。

以上所述者僅為本發明之較佳實施例,惟本發明之實施範圍並非侷限於此,例如:該絕緣層亦可靠PVD物理氣象沉積來

形成;此外,該絕緣層之厚度至少大於5nm(防止穿隧電流發生),亦可藉由調變厚薄來控制RRAM的電子形成電壓(electroforming voltage);再者,該絕緣層可藉由含有氧的絕緣體材料(如二氧化矽,氧化鋁,氧化鈦,氮氧化矽)來構成。因此在不脫離本發明之原理及精神下,所屬技術領域中具有通常知識者依據本發明申請專利範圍及發明說明書內容所作之修飾與變化,皆應屬於本發明專利所涵蓋之範圍。

【圖式簡單說明】

第1A~1E圖係顯示依照本發明之例示實施例之電阻式隨機存取記憶體之示意圖。

第2圖係顯示在本發明TiN/SiO₂/PtFe混合電極結構下之電流壓曲線圖。

第3圖係顯示當上電極尺寸不同時LRS電阻值下降之示意圖。

第4圖係顯示當上電極尺寸微縮時重置電流值下降之示意圖。

第5圖係顯示利用DC電壓來回操作1000次下讀取0.5V下電流的耐操度示意圖。

第6圖係顯示本發明於高阻態與低阻態之記憶力測試示意圖。

【主要元件符號說明】

10 二氧化矽層

-	11	第一電極層
	12	介電層
	13	第二電極層
	14	保護層
	15、16	量測電極

七、申請專利範圍：

1. 一種電阻式記憶體元件,包含:
 - 一第一電極;
 - 一第二電極,配置於該第一電極上方;
 - 一介電層,配置於該第一電極與該第二電極之間;以及
 - 電極混合系統層,配置於該第一電極與該介電層之間,其中該第一電極與該第二電極之至少一者係由一過渡態金屬元素所構成。
2. 如申請專利範圍第1項之電阻式記憶體元件,其中該過渡態金屬元素為Pt、Ta、Ti、Al之任一者或其合金。
3. 如申請專利範圍第1項之電阻式記憶體元件,其中該第一電極係由Ti、TiN、PtFe、CoFe、PtHf、Fe、Ni、Co之任一者所構成。
4. 如申請專利範圍第1項之電阻式記憶體元件,其中該第二電極係由Ti、TiN、PtFe、CoFe、PtHf、Fe、Ni、Co之任一者所構成。
5. 如申請專利範圍第1項之電阻式記憶體元件,其中該介電層係由矽氧化物或者矽氧氮化物所構成。
6. 如申請專利範圍第5項之電阻式記憶體元件,其中該矽氧化物為二氧化矽(SiO₂)。
7. 如申請專利範圍第1項之電阻式記憶體元件,其中於該電極混合系統層與該介電層之間更可藉由CVD或退火製程而包

含一由氧化鐵(FeO)或氧化鈷(CoO)所構成之第一電阻轉態層。

8. 如申請專利範圍第1項之電阻式記憶體元件,其中當該電極混合系統層係配置於該介電層與該第二電極層之間時,於該介電層與該電極混合系統層之間更可藉由CVD或退火製程而包含一由氧化鐵(FeO)或氧化鈷(CoO)所構成之第二電阻轉態層。

9. 如申請專利範圍第1項之電阻式記憶體元件,其中該電極混合系統層係由Co, Fe, Ni, or PtFe, CoFe, PtHf之任一者或其合金所構成。

10. 一種電阻式記憶體元件之製造方法,包含:

於一基底上依序形成一第一電極、一電極混合系統層、一介電層及一第二電極,

其中在形成該介電層與該電極混合系統層時,可藉由CVD製程或退火製程而於該電極混合系統層與該介電層之間形成一第一電阻轉態層;

其中該第一電極與該第二電極之至少一者係由一過渡態元素所構成。

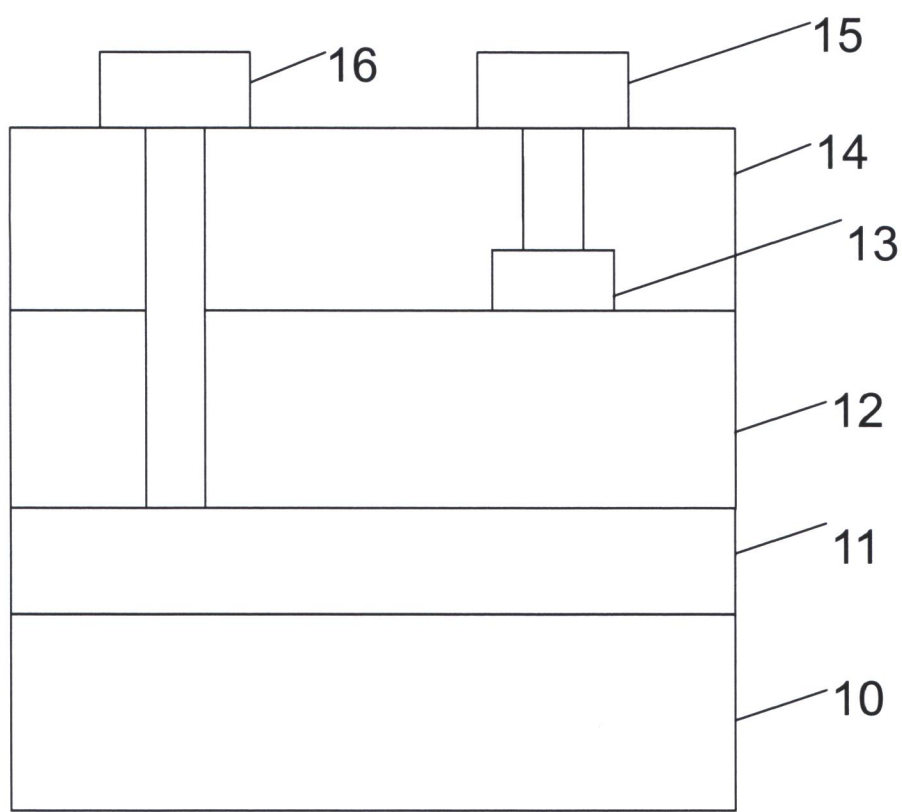
11. 如申請專利範圍第10項之製造方法,其中該過渡態金屬元素為Pt、Ta、Ti、Al之任一者或其合金。

12. 如申請專利範圍第10項之製造方法,其中該第一電極係由Ti、TiN、PtFe、CoFe、PtHf、Fe、Ni、Co之任一者所構成。

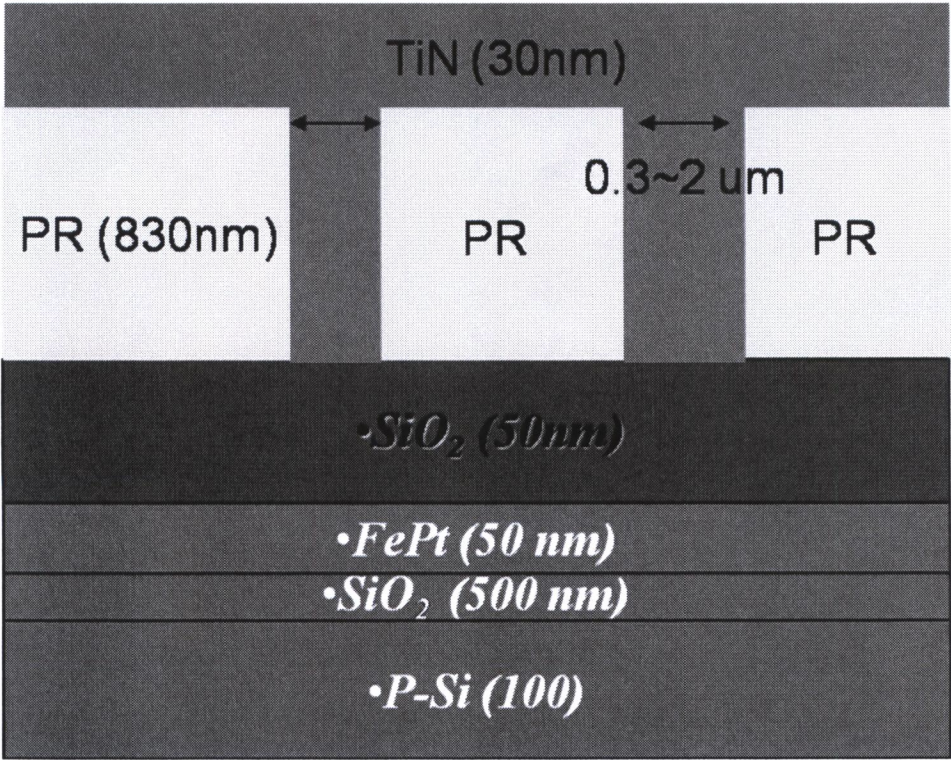
- 13.如申請專利範圍第10項之製造方法,其中該第二電極係由 Ti、TiN、PtFe、CoFe、PtHf、Fe、Ni、Co之任一者所構成。
- 14.如申請專利範圍第10項之製造方法,其中該介電層係由矽氧化物或者矽氧氮化物所構成。
- 15.如申請專利範圍第14項之製造方法,其中該矽氧化物為二氧化矽(SiO_2)。
- 16.如申請專利範圍第10項之製造方法,其中當該電極混合系統層係配置於該介電層與該第二電極層之間時,於該介電層與該電極混合系統層之間更可藉由CVD或退火製程而包含一由氧化鐵(FeO)或氧化鈷(CoO)所構成之第二電阻轉態層。
- 17.如申請專利範圍第10項之製造方法,其中該電極混合系統層係由Co, Fe, Ni, or PtFe, CoFe, PtHf之任一者或其合金所構成。
- 18.一種電阻式記憶體元件之製造方法,包含:
- 預備一基板;
- 沈積一第一電極;
- 於該第一電極上沉積一電極混合系統層;
- 利用 CVD 系統沉積一氧化絕緣層,接著利用沉積環境的加熱系統及沉積時通入的氧氣氣體環境而自然形成一層擴散、過渡的極薄電阻轉態層;
- 沈積一第二電極;以及
- 利用黃光、微影、蝕刻技術訂出記憶體原件形狀並且後續再配

合金屬連線牽引拉出量測電極以作為量測時探針擺放的位置。

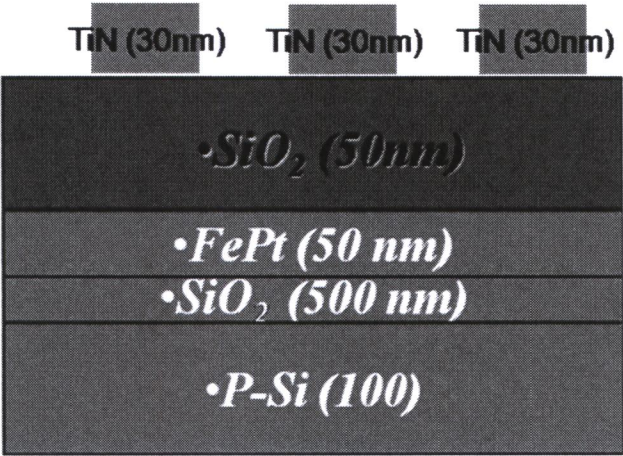
八、圖式：



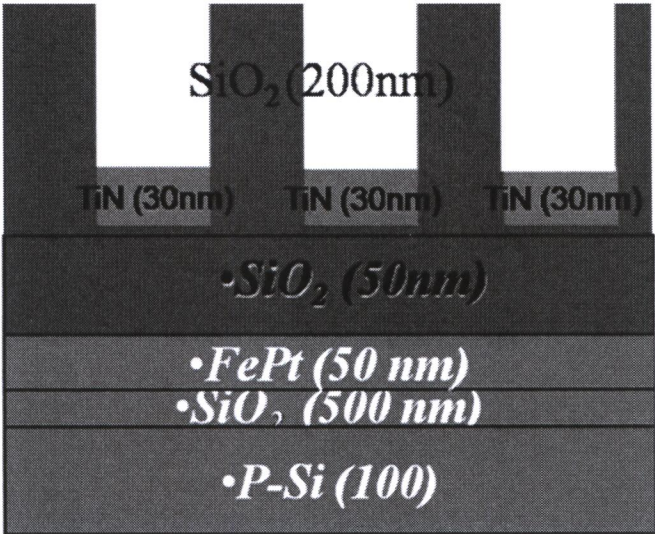
第 1 A 圖



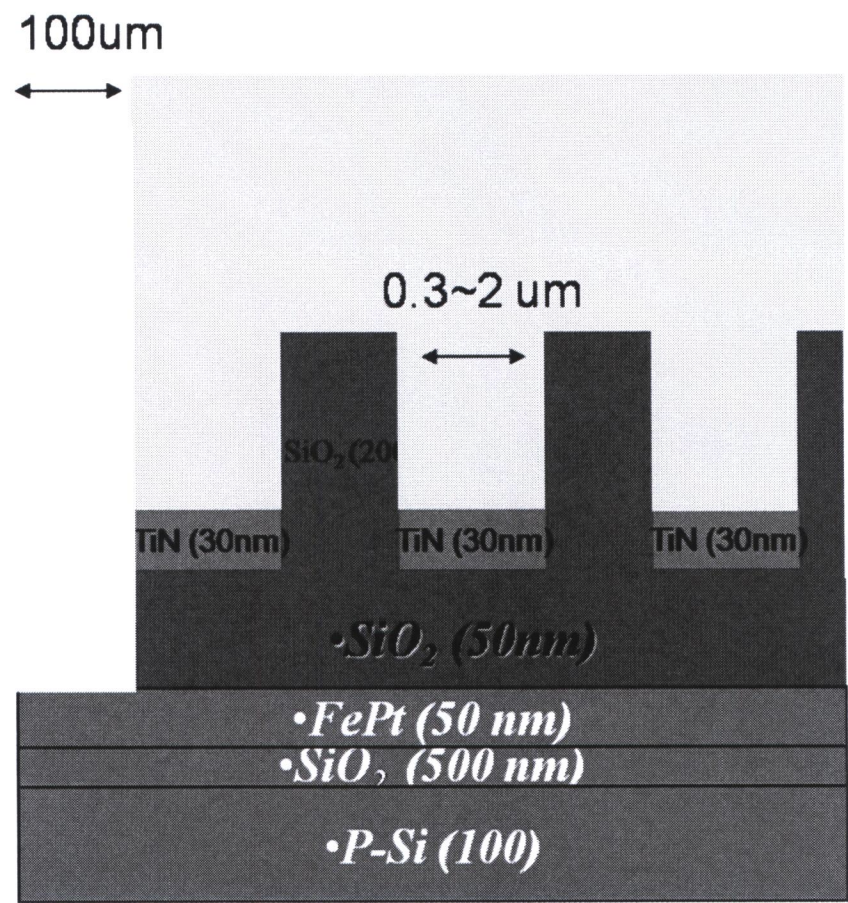
第 1 B 圖



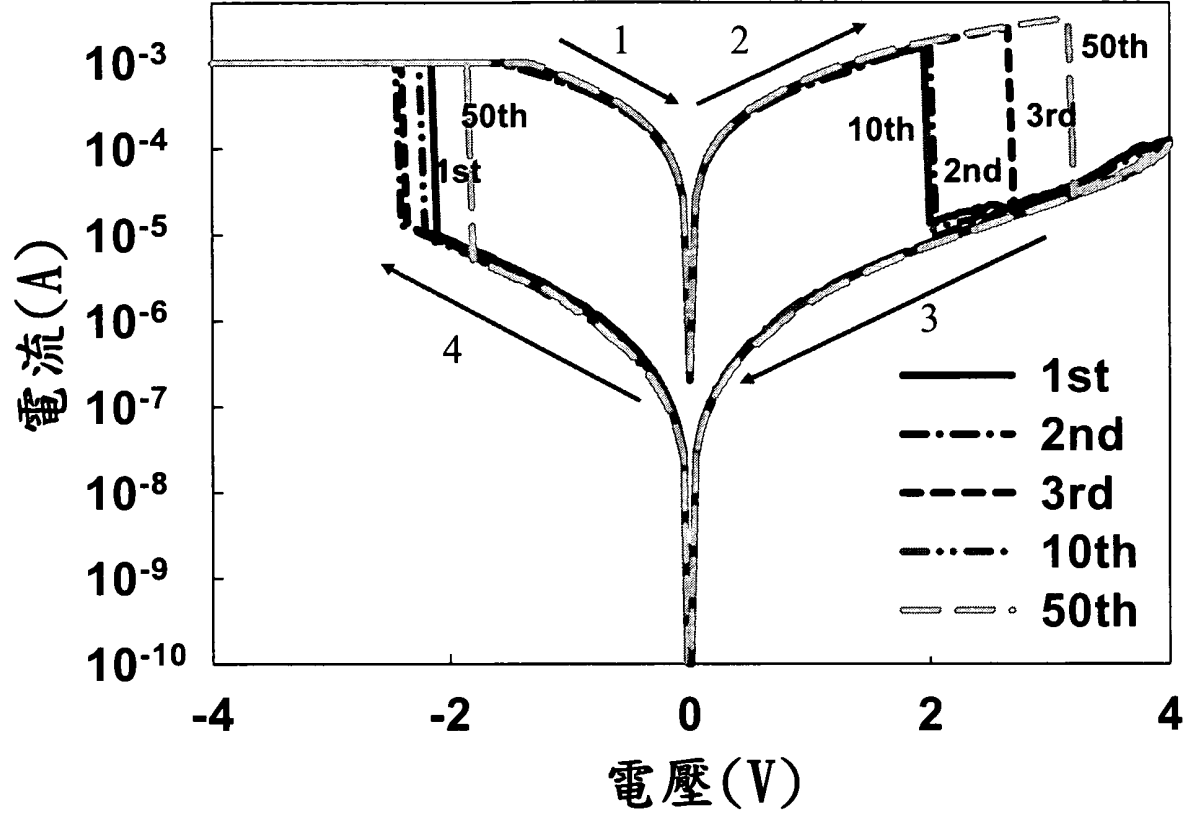
第 1 C 圖



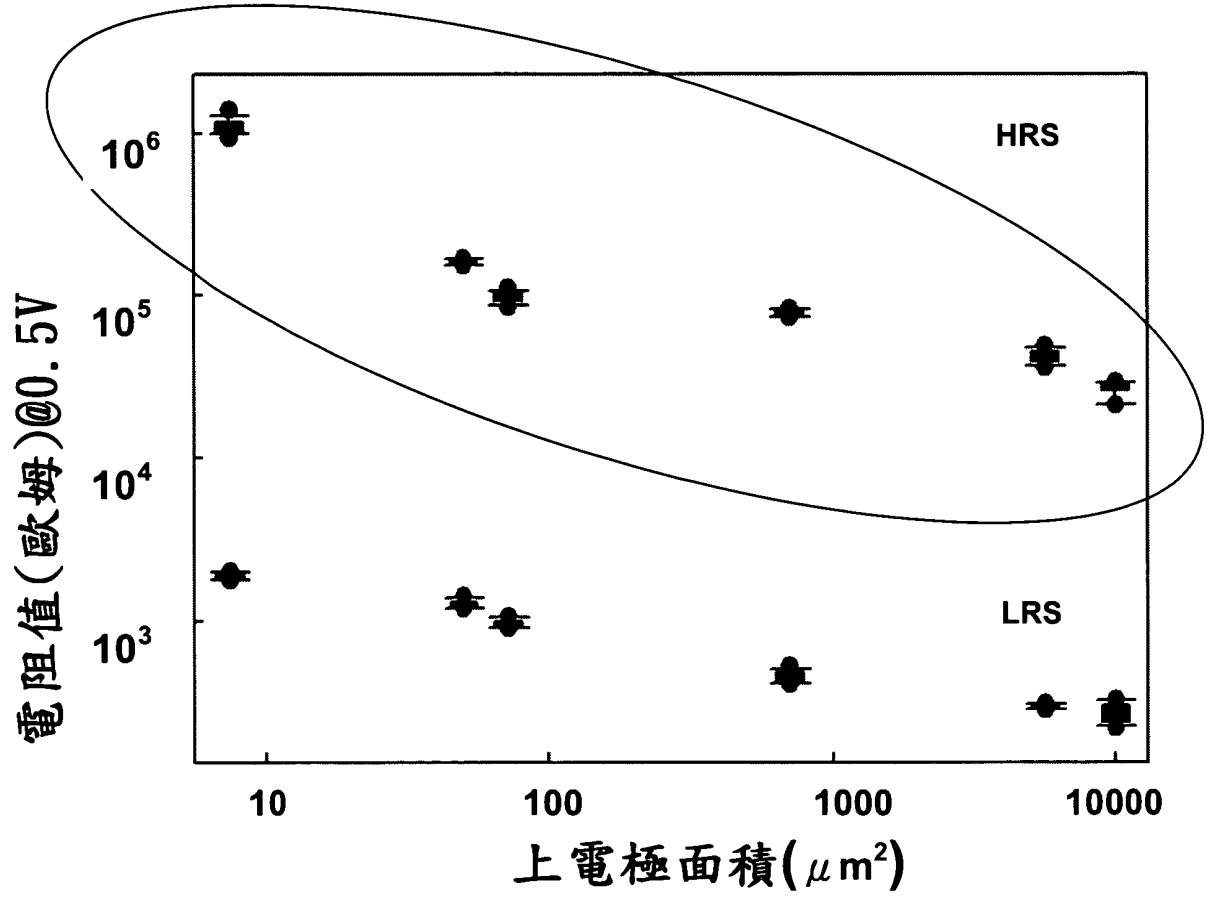
第 1 D 圖



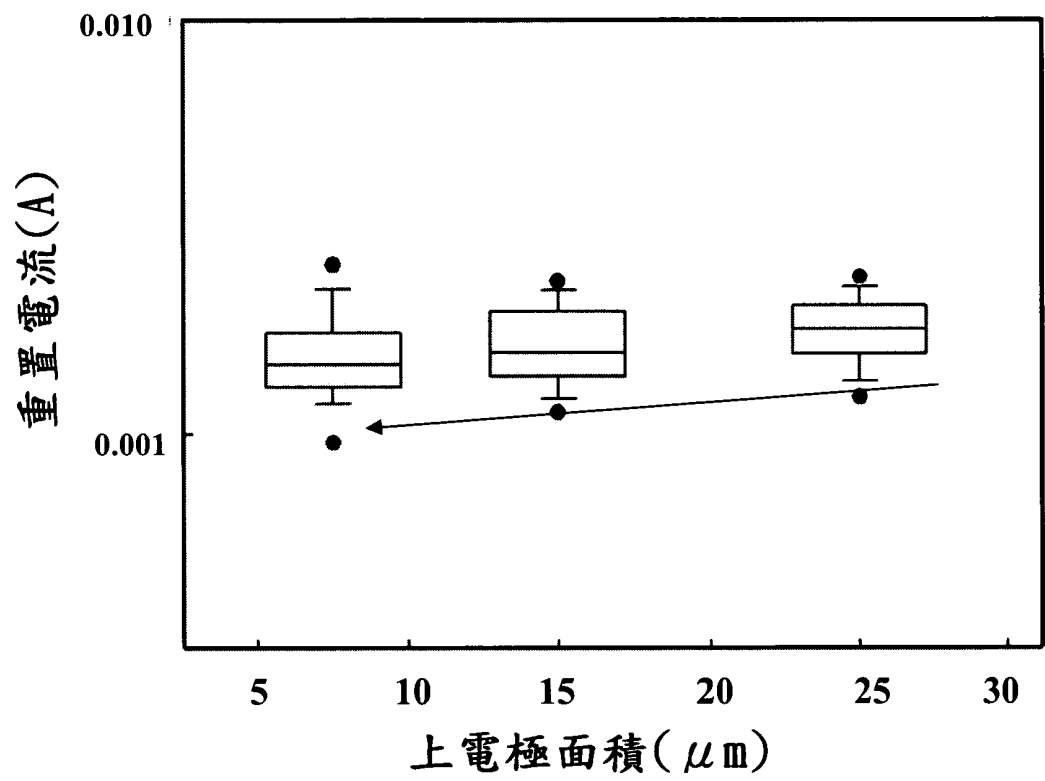
第 1 E 圖



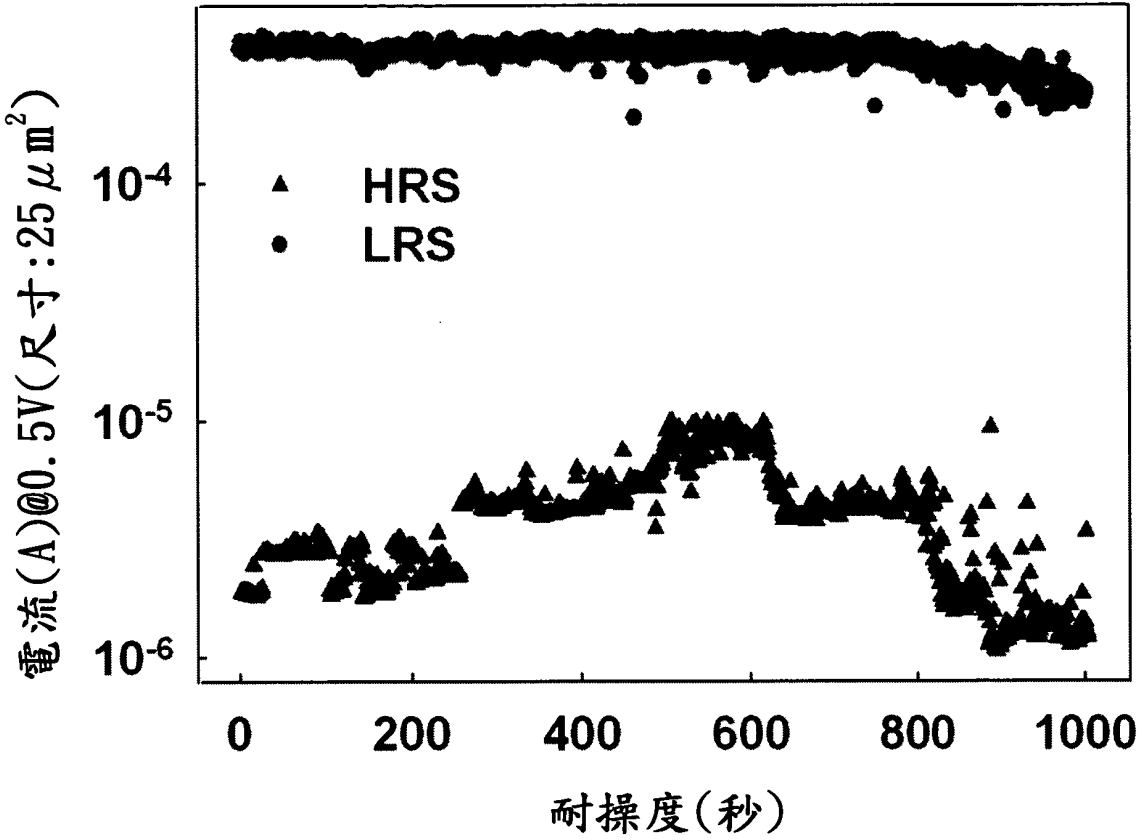
第 2 圖



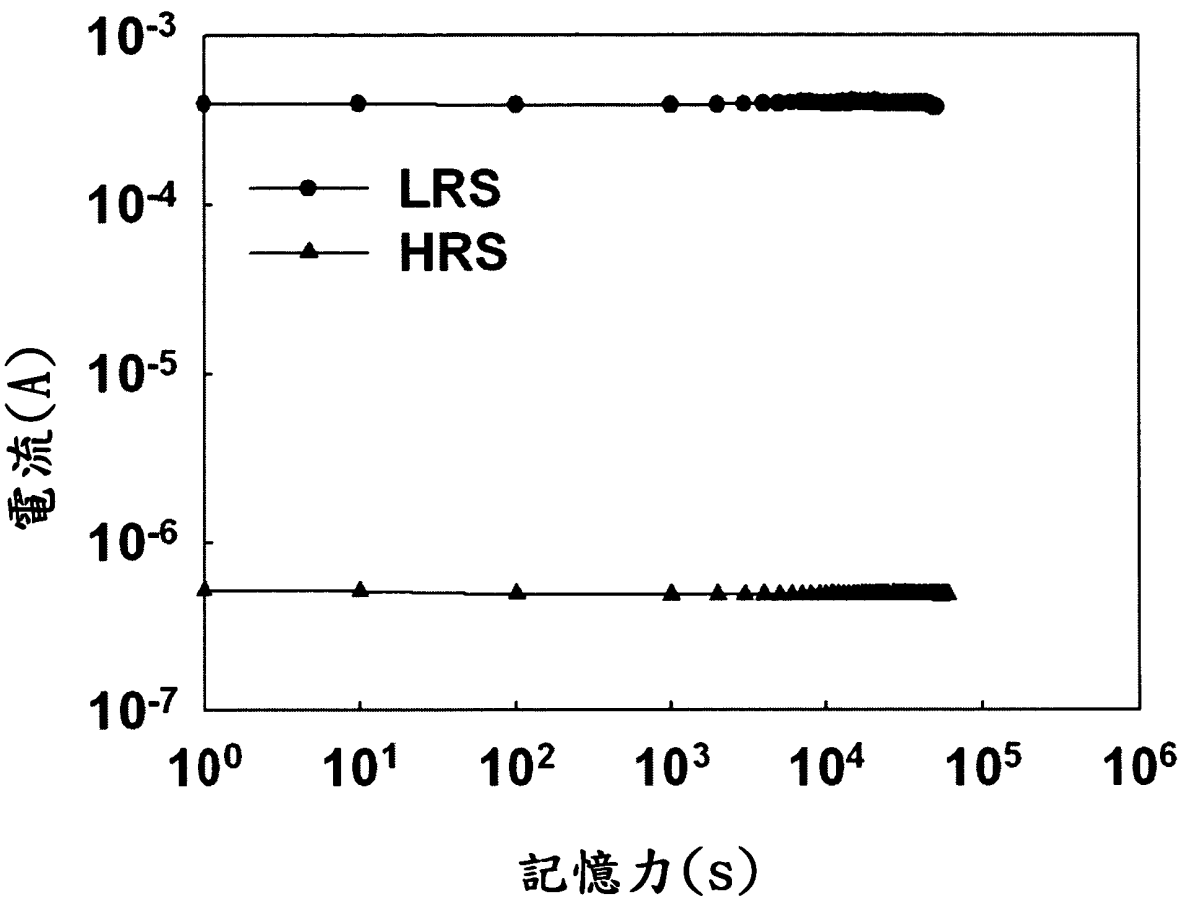
第 3 圖



第 4 圖



第 5 圖



第 6 圖

發明專利說明書

PD1095730

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98136784

※ 申請日：

※IPC 分類：

一、發明名稱：(中文/英文)

(2010 年

2 月 26 日
修正
補充

電阻式隨機存取記憶體及其製作方法

二、中文發明摘要：

一種電阻式記憶體元件，包含：一第一電極；一第二電極，配置於該第一電極上方；一介電層，配置於該第一電極與該第二電極之間；以及電極混合系統層，配置於該第一電極與該介電層之間，亦或配置於該第二電極與該介電層之間，其中該電極混合系統層係由一過渡態金屬元素所構成。當該電極混合系統層配置於該第一電極與該介電層之間時，該電極混合系統層可於化學氣相沈積(CVD)該介電層時所含的熱與氧之製程環境中，而自發性地於該第一電極與該介電層之間形成一由氧化鐵(FeO)或氧化鈷(CoO)等過渡金屬氧化薄層所構成之第一電阻轉態層；另一種方式為藉由額外之退火製程，使得過渡態金屬元素與該介電層間形成由過渡金屬氧化薄層所構成之第一電阻轉態層於該第一電極與該介電層之間；當該電極混合系統層配置於該第二電極與該介電層之間時，則藉由額外之退火製程，使得過渡態金屬元素與該介電層間形成由過渡態金屬氧化薄層所構成之第二電阻轉態層於該第二電極與該介電層之間。

.201115721

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

9	基板
10	二氧化矽層
11	第一電極層
12	介電層
13	第二電極層
14	保護層
15、16	量測電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種電阻式隨機存取記憶體以及其製法，特別地，係關於一種具有搭配電極混合系統所形成之電阻式記憶體結構以及其製法。

【先前技術】

專利文獻 1(TW200818190)與專利文獻 2(TW200824046)皆揭露一種電阻式記憶體元件及其製造方法，然而其具有下列缺失：

1. 專利文獻 1 與專利文獻 2 均為利用金屬氧化物做為電阻轉態層，其中此金屬氧化層之成分通常為非化學計量比(non-stoichiometric)且該成分在製程上並不容易製作：亦即製程均勻性變異大。
2. 若以專利文獻 1 與專利文獻 2 之技術來製作非化學計量比的金屬氧化物，必須要利用原子層磊晶技術(ALD)來精確控制，然而此製作方法須耗費大量製作成本，不符合量產需求。
3. 以金屬氧化物做電阻式記憶體之製程和 CMOS 製程較不相容。
4. 利用金屬氧化物做為電阻轉態層時，其蝕刻過程相對於剝離(Lift-off)方法來說較為困難，而且金屬氧化物電阻轉態層常須經過高溫處理，此步驟會大幅增加製程成本與製作時間。

此外，非專利文獻 1(Lee et al., "Electromigration

effect of Ni electrodes on the resistive switching characteristics of NiO thin films,” Appl. Phys. Lett. 91, 082104 (2007))係利用混合電極作為電阻式記憶體之電極，雖於此文獻中揭露其有轉態特性，然而由於中間轉態層仍沿用氧化鎳(NiO)過渡態金屬氧化物，故非專利文獻 1 將無法解決製作小尺寸時所遇到的蝕刻問題，並且混合電極白金鎳(NiPt)電極可能因為長時間操作下，造成電致遷移效應，使得 Ni 金屬導入絕緣層內造成轉態層內過多金屬成分而讓轉態特性消失。

再者，非專利文獻 2(S. B. Lee et al., “Resistance switching in Electroformed Pt/FeO_x/Pt Structure,” Journal of the Korean Physical Society, 51, S96 (2007).)所揭露之利用氧化鐵做為電阻式記憶體材料，雖說其具有轉態特性，然而在製程微縮後氧化鐵厚度於減薄時將會使轉態特性消失。

非專利文獻 3(I. S. Park et. al., “Resistance Switching Characteristics for Nonvolatile Memory Operation of Binary Metal Oxides,” Jpn. J. Appl. Phys., Vol. 46, No. 4B (2007), pp. 2172-2174.)係揭露利用 SiO₂ 當作絕緣層來使用，轉態特性差(高低電阻比約 10 左右)，且操作電壓大(8V 與 12V)，這使得元件在操作時產生過多的功率消耗，因此非專利文獻 3 在實際應用層面上可能性低。

基於上述習知技術缺失，本發明在此提供一種電阻式隨機存取記憶體以及其製造方法。

【發明內容】

本發明之主要目的之一係提供一種電阻式記憶體元件，其包含：一第一電極；一第二電極，配置於該第一電極上方；一介電層，配置於該第一電極與該第二電極之間；以及一電極混合系統層，可配置於該第一電極與該介電層之間或者該第二電極與該介電層之間，其中該電極混合系統層係由一過渡態元素所構成，以至於在後續外加之退火製程或者於沉積該介電層與該第一電極及該第二電極之其中一者之過程中，藉由自發性所產生之介面擴散，於所貼近之電極混合系統層與該介電層之介面區間產生至少一層電阻轉態層。亦即，於該第一電極與該介電層之間形成一第一電阻轉態層；或者於該第二電極與該介電層之間形成一第二電阻轉態層，更甚者藉由上述製程而於該第一電極與該介電層之間形成一第一電阻轉態層以及在該第二電極與該介電層之間形成一第二電阻轉態層。

本發明之另一目的係提供一種電阻式記憶體元件之製造方法，其包含：於一基底上依序形成一第一電極、一介電層、一電極混合系統層及一第二電極，其中在該介電層與該電極混合系統層之間，藉由化學氣相沈積(CVD)時所含的熱與氧之製程環境，或者於後續外加之退火製程中，於該電極混合系統層與該介電層之間形成一第一電阻轉態層；其中該電極混合系統層由過渡態元素所構成，而該第一電極與該第二電極可由任意金屬、金屬合金、良好導電材料之物質所構成。

本發明之再一目的係提供一種電阻式記憶體元件之製造方法，其包含下列步驟：預備一基板；沈積一第一電極；於該第一電極上沉積一電極混合系統層；利用化學氣相沈積(CVD)系統沉積氧化絕緣層，接著利用沉積環境的加熱系統及沉積時通入的氧氣氣體環境而自然形成一層擴散、過渡的極薄電阻轉態層；以及沈積一第二電極，其中該電極混合系統層係由過渡態元素所構成，而該第一電極與該第二電極可由任意金屬、金屬合金、良好導電材料之物質所構成。

此外，後續製程可利用黃光、微影、蝕刻技術訂出記憶體元件形狀並且後續再配合金屬連線牽引拉出量測電極以作為能輕易整合於各類製程之記憶體元件。

依照上述該電阻式記憶體元件以及其製造方法，其中該過渡態元素為白金鐵(FePt)、鐵鈷(CoFe)、白金鈾(HfPt)、鐵(Fe)、鎳(Ni)、鈷(Co)之任一者或者其合金。

依照上述該電阻式記憶體元件以及其製造方法，當該結構中無電極混合系統層時，該第一電極與該第二電極係由鈦(Ti)、氮化鈦(TiN)、鋁(Al)、鉭(Ta)等任意金屬、金屬合金、良好導電材料之物質所構成。此外，當該結構中含有電極混合系統層時，該第一電極與該第二電極係由FePt、CoFe、HfPt、Fe、Ni、Co之任一者所構成。

依照上述該電阻式記憶體元件以及其製造方法，其中該氧化絕緣層以及該介電層係由矽氧化物或者矽氧氮化物或者氧化鈦、氧化鋁等含氧且屬於絕緣材料之物質所構成。

依照上述該電阻式記憶體元件以及其製造方法，其中該矽氧化物為二氧化矽(SiO_2)。

依照上述該電阻式記憶體元件以及其製造方法，其中該電阻轉態層、該第一電阻轉態層以及該第二電阻轉態層係由氧化鐵(FeO)或者氧化鈷(CoO)所構成。

本發明具有下列技術特點及功效：

1. 本發明係以化學氣相沉積方式在電極混合系統(如 Co 、 Fe 、 Ni 、或者 FePt 、 CoFe 、 HfPt 等)上沉積氧化物絕緣體(二氧化矽等)相關之絕緣氧氮薄膜，並利用沉積環境氣氛中之熱與氧，形成電阻轉態層。

2. 本發明係利用鐵白金(FePt)或是由過渡態元素所構成之電極混合系統(如 Co 、 Fe 、 Ni 、 FePt 或者 CoFe 等)做為電極使用，搭配化學氣相沉積方式形成二氧化矽等相關矽氧氮絕緣薄膜，做為非揮發性電阻式儲存之記憶體元件。

3. 採用二氧化矽與相關矽氧氮氧化物(如： SiON 、 SiN_x)及氧化物絕緣體(如： Al_2O_3 、 TiO_2)，搭配電極混合系統(如 Co 、 Fe 、 Ni 或者 FePt 、 CoFe 、 HfPt 等)元件作為電阻式記憶體的結構。藉由化學氣相沉積系統沉積氧化物絕緣體層時：(1)藉由沉積的溫度(如 300°C)與有氧氣氛之環境，亦或(2)藉由沉積完成後的接續長時間熱退火製程(如 300°C)，所伴隨形成的極薄電阻轉態層(如 FeO 、 CoO 等)做為元件電阻轉態的有效區域。

4. 由於二氧化矽與 CMOS 製程相容性高，故本發明可應用於非揮發性記憶體上。

5. 使用二氧化矽與下電極所形成之極薄電阻轉態層可使得元件尺寸更往下微縮，進而提升儲存密度。

6. 不須高熱處理製程，且最高製程溫度(約 300°C)為用化學氣相沉積氧化物絕緣體(如二氧化矽)時的溫度，並且在後段製程上與 CMOS 製程相容性高。

7. 利用過渡態元素易氧化的特性，加上藉由適當的絕緣體作為絕緣層減少因為過薄的氧化物造成穿遂電流的可能，使得本發明之電阻式記憶體元件在操作上相對穩定。因此具有做為下一代非揮發性儲存記憶體元件的潛力。

為使本發明之上述和其他目的、特徵及優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明之應用不侷限於下列敘述、圖式或所舉例說明之組件構造和配置等細節所作之說明。本發明更具有其他實施例，且可以各種不同的方式予以實施或進行。此外，本發明所使用之措辭及術語均僅用來說明本發明之目的，而不應視為本發明之限制。

以下將參照圖式先詳細說明電阻式隨機存取記憶體之製造方法。

參照第 1A~1E 圖，其為依照本發明之例示實施例說明一電阻式隨機存取記憶體之剖面示意圖(如第 1A 圖所示)以及製程流程圖(如第 1B 至 1E 圖所示)。惟本發明並不侷

限於此例示實施例，亦即，其它實施例為所屬技術領域中具有通常知識者依照本說明書之圖式及內容而仍可被推知。

如第 1A~1E 圖中所示，首先在任意能耐至少 300°C 之基材板 9(諸如，矽(Si)、玻璃、塑膠或金屬等)上生長一層厚度約 500nm 之氧化物緩衝層 10(諸如，二氧化矽(SiO_2))，之後利用濺鍍方式於該氧化物緩衝層 10 上鍍上一層厚度約 50nm 之 FePt(或者過渡態電極混合系統(諸如，Co、Fe、Ni 及 CoFe 之任一者))作為第一電極層 11，接著利用化學氣相沉積方式沉積一層厚度約 50nm 之矽氧氮絕緣薄膜(諸如，二氧化矽)12 於該第一電極層 11 上，經過黃光與蝕刻製程，於該矽氧氮絕緣薄膜 12 上鍍上一層厚度約 30nm 之 FePt 或 TiN 作為不同第二電極層 13 大小的定義，最後拉出諸如以 Ti 或 Al 所構成之量測電極 15、16(每個電極約厚 30nm)作為量測時探針擺放的位置。須注意的是，當利用 CVD 於該第一電極層 11 上沈積一層矽氧氮絕緣薄膜 12 作為氧化絕緣層時，在沉積環境的加熱系統以及沉積時所通入的氧氣體環境中，可自然形成一層擴散、過渡的極薄電阻轉態層(例如，由 FeO_x 構成)做為元件電阻轉態的有效區域。或者，該電阻轉態層亦可用後續外加的退火步驟再來製作形成。

因此，在利用過渡態元素易氧化的特性加上以適當的絕緣體作為絕緣層，故可減少因為氧化物過薄而發生穿隧電流的可能，使得電阻式記憶體元件在操作上相對穩定。

接著參照第 2 圖，其為在 Ti/TiN/SiO₂/FePt 混合電極結構下之電流電壓曲線圖。圖中右下角標示從第一次掃描到第五十次掃描，箭頭標示經過負電壓形成(Forming)後的操作方向。由圖中可觀察到，利用二氧化矽高能隙氧化物在過渡態混合電極上可以有穩定的電阻轉態特性，且利用小尺寸製作方法可以讓轉態功率消耗低，增加元件實際應用的可能性。

接著參照第 3~4 圖，其中第 3 圖為顯示當上電極尺寸不同時 LRS(低電阻態)電阻值下降之示意圖；以及第 4 圖為顯示當上電極尺寸微縮時重置電流值下降之示意圖。由第 3~4 圖中可看出當上電極尺寸不同時，LRS 電阻值下降，故可增加可辨別電阻值的比(ratio)。此外，當上電極尺寸微縮時，重置電流值會下降。

接著參照第 5 圖為利用 DC 電壓來回操作 1000 次下讀取 0.5V 及 25 μ m 電極尺寸下之電流耐操度測試。圖中可分為二個部份：低電阻態(LRS)與高電阻態(HRS)。從圖中可以看到經過 1000 次的操作後，高低電阻態仍有 10 倍電阻可判別區間。由此可以看出此種結構具有在現性與可重複性。

接著參照第 6 圖為高電阻態(HRS)和低電阻態(LRS)的記憶力測試，此測試方式是操作元件至高電阻態後放置不動，並且每隔一段時間後用 0.5V 電壓量測電流值，在固定時間內讀取一次電流值以觀察原先的電阻狀態是否改變。藉由記憶力測試可以看出此結構做出的元件其記憶能力的

維持時間可以保持住，不管是在 LRS 或者 HRS 上，外插可以維持到 10 年的記憶能力。

以上所述者僅為本發明之較佳實施例，惟本發明之實施範圍並非侷限於此，例如：該絕緣層亦可靠物理氣相沉積 (PVD) 來形成；此外，該絕緣層之厚度至少大於 5nm (防止穿隧電流發生)，亦可藉由調變厚薄來控制電阻式隨機存取記憶體 (RRAM) 的電子形成電壓 (electroforming voltage)；再者，該絕緣層可藉由含有氧的絕緣體材料 (如二氧化矽，氧化鋁，氧化鈦，氮氧化矽) 來構成。因此在不脫離本發明之原理及精神下，所屬技術領域中具有通常知識者依據本發明申請專利範圍及發明說明書內容所作之修飾與變化，皆應屬於本發明專利所涵蓋之範圍。

【圖式簡單說明】

第 1A ~ 圖係顯示依照本發明之例示實施例之電阻式隨機存取記憶體之示意圖。

第 1B 至 1E 圖係顯示依照本發明之例示實施例之電阻式隨機存取記憶體之製造流程圖。

第 2 圖係顯示在本發明 TiN/SiO₂/FePt 混合電極結構下之電流壓曲線圖。

第 3 圖係顯示當上電極尺寸不同時 LRS 電阻值下降之示意圖。

第 4 圖係顯示當上電極尺寸微縮時重置電流值下降之示意圖。

第 5 圖係顯示利用 DC 電壓來回操作 1000 次下讀取

0.5 V 下電流的耐操度示意圖。

第 6 圖係顯示本發明於高阻態與低阻態之記憶力測試示意圖。

【主要元件符號說明】

9	基板
10	二氧化矽層
11	第一電極層
12	介電層
13	第二電極層
14	保護層
15、16	量測電極

第 98136784 號「電阻式隨機存取記憶體及其製作方法」
專利案

(2010 年 2 月 26 日修正)

七、申請專利範圍：

1. 一種電阻式記憶體元件，包含：

一第一電極；

一第二電極，配置於該第一電極上方；

一介電層，配置於該第一電極與該第二電極之間；以

及

電極混合系統層，可配置於該第一電極與該介電層之間或者該第二電極與該介電層之間，

其中該電極混合系統層係由一過渡態金屬元素所構成。

2. 如申請專利範圍第1項之電阻式記憶體元件，其中該過渡態金屬元素為Pt、Ta、Ti以及Al之任一者或其合金。

3. 如申請專利範圍第1項之電阻式記憶體元件，其中該第一電極係由Ti、TiN、FePt、CoFe、HfPt、Fe、Ni以及Co之任一者所構成。

4. 如申請專利範圍第1項之電阻式記憶體元件，其中該第二電極係由Ti、TiN、FePt、CoFe、HfPt、Fe、Ni以及Co之任一者所構成。

5. 如申請專利範圍第1項之電阻式記憶體元件，其中該介電層係由矽氧化物、矽氧氮化物、氧化鈦、氧化鋁以及含氧且屬於絕緣材料之物質的任何一者所構成。

6. 如申請專利範圍第5項之電阻式記憶體元件，其中該矽氧

化物為二氧化矽(SiO_2)。

7. 如申請專利範圍第1項之電阻式記憶體元件，其中當該電極混合系統層配置於該第一電極與該介電層之間時，更可藉由化學氣相沈積(CVD)該介電層時所包含之熱與氧之製程環境而自發性地於該第一電極與該介電層之間形成一第一電阻轉態層。
8. 如申請專利範圍第7項之電阻式記憶體元件，其中該第一電阻轉態層係由氧化鐵(FeO)或氧化鈷(CoO)所構成。
9. 如申請專利範圍第1項之電阻式記憶體元件，其中當該電極混合系統層配置於該第一電極與該介電層之間時，更可藉由一額外的退火製程使得該第一電極與該介電層之間形成一由過渡金屬氧化薄層所構成之第一電阻轉態層。
10. 如申請專利範圍第1項之電阻式記憶體元件，其中當該電極混合系統層係配置於該介電層與該第二電極層之間時，更可藉由一額外的退火製程使得該第二電極與該介電層之間形成一由過渡金屬氧化薄層所構成之第二電阻轉態層。
11. 如申請專利範圍第1項之電阻式記憶體元件，其中該電極混合系統層係由Co、Fe、Ni、FePt、CoFe以及HfPt之任一者或其合金所構成。
12. 一種電阻式記憶體元件之製造方法，包含：
於一基底上依序形成一第一電極、一電極混合系統層、一介電層及一第二電極，

其中藉由化學氣相沈積(CVD)時所含的熱與氧之製程環境,於該電極混合系統層與該介電層之間形成由過渡金屬氧化薄層所構成之第一電阻轉態層;

其中該電極混合系統層係由過渡態元素所構成。

13. 如申請專利範圍第12項之製造方法,其中該第一電阻轉態層更可藉由額外之退火製程於過渡態金屬元素與該介電層間以過渡金屬氧化薄層來構成。

14. 如申請專利範圍第12或13項之製造方法,其中該過渡金屬氧化薄層係由氧化鐵(FeO)或氧化鈷(CoO)所構成。

15. 如申請專利範圍第12項之製造方法,其中該第一電阻轉態層係由氧化鐵(FeO)或氧化鈷(CoO)所構成。

16. 如申請專利範圍第12項之製造方法,其中該過渡態金屬元素為Pt、Ta、Ti以及Al之任一者或其合金。

17. 如申請專利範圍第12項之製造方法,其中該第一電極係由Ti、TiN、FePt、CoFe、HfPt、Fe、Ni以及Co之任一者所構成。

18. 如申請專利範圍第12項之製造方法,其中該第二電極係由Ti、TiN、FePt、CoFe、HfPt、Fe、Ni以及Co之任一者所構成。

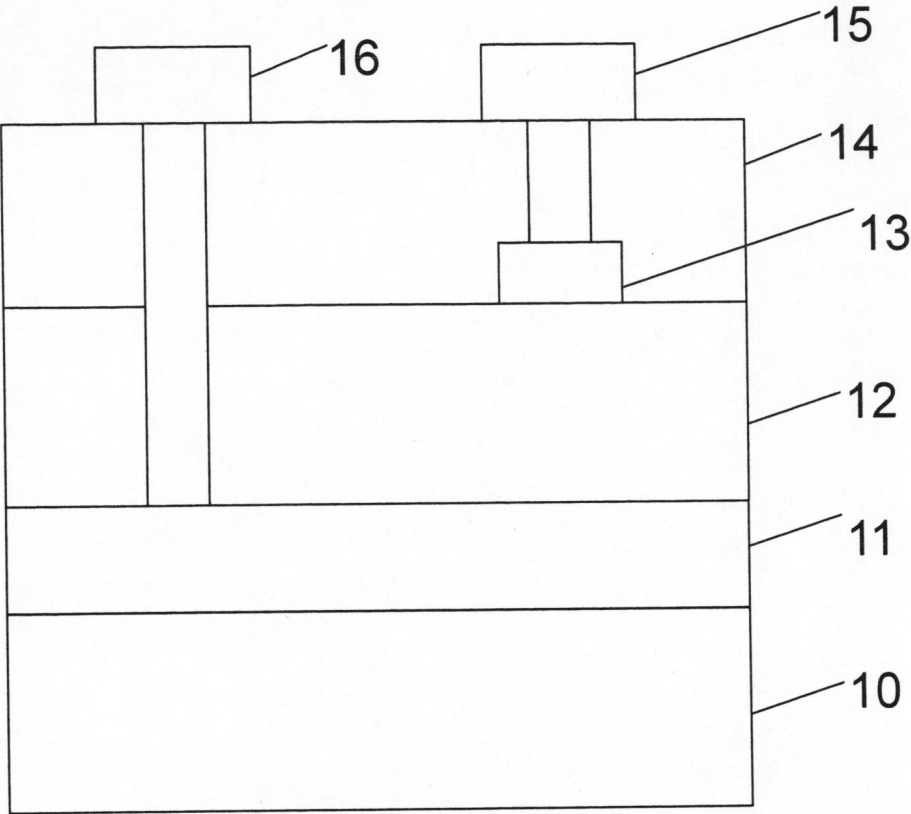
19. 如申請專利範圍第12項之製造方法,其中該介電層係由矽氧化物、矽氧氮化物、氧化鈦、氧化鋁以及含氧且屬於絕緣材料之物質的任何一者所構成。

20. 如申請專利範圍第19項之製造方法,其中該矽氧化物為二氧化矽(SiO₂)。

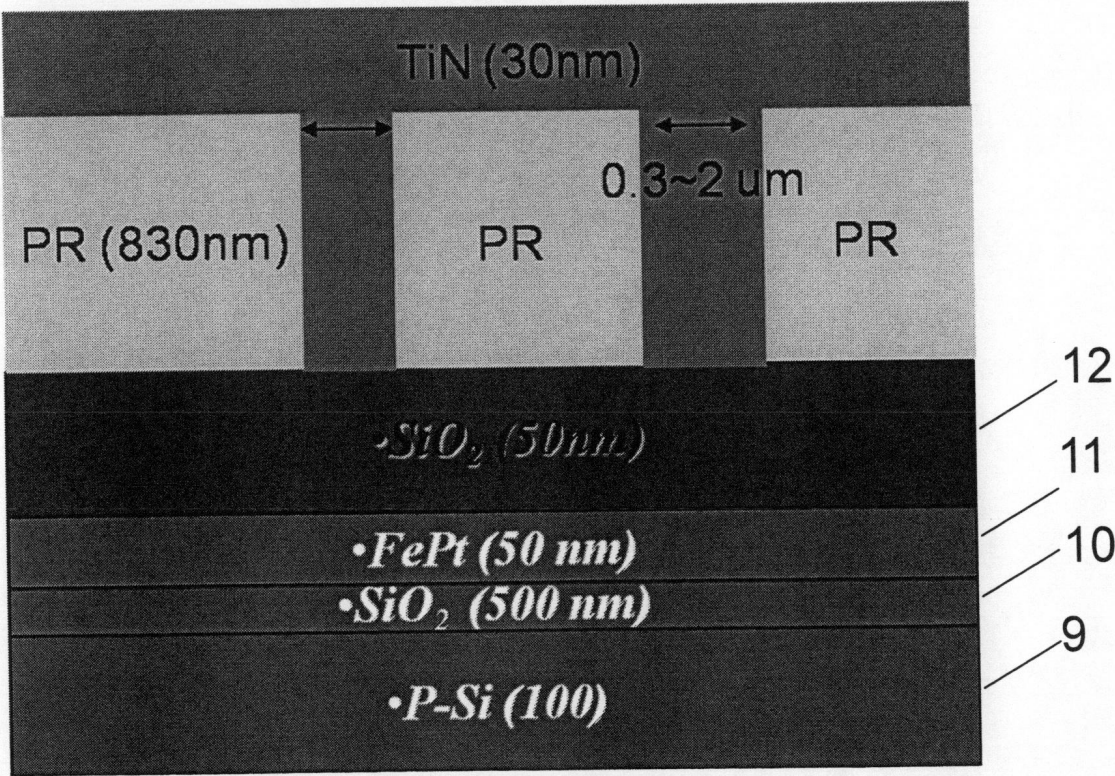
21. 如申請專利範圍第12項之製造方法，其中當該電極混合系統層係配置於該介電層與該第二電極層之間時，於該介電層與該電極混合系統層之間更可藉由化學氣相沈積(CVD)或退火製程而包含一由氧化鐵(FeO)或氧化鈷(CoO)所構成之第二電阻轉態層。
22. 如申請專利範圍第12項之製造方法，其中該電極混合系統層係由Co、Fe、Ni、FePt、CoFe以及HfPt之任一者或其合金所構成。
23. 一種電阻式記憶體元件之製造方法，包含：
- 預備一基板；
 - 沈積一第一電極；
 - 於該第一電極上沉積一電極混合系統層；
 - 利用化學氣相沈積(CVD)系統於該電極混合系統層上沉積一氧化絕緣層，接著利用沉積環境的加熱系統及沉積時通入的氧氣氣體環境而於該氧化絕緣層與該電極混合系統層之間自然形成一層擴散、過渡的極薄電阻轉態層；以及
 - 沈積一第二電極。
24. 如申請專利範圍第23項之製造方法，其中該電極混合系統層係由Co、Fe、Ni、FePt、CoFe以及HfPt之任一者或其合金所構成。
25. 如申請專利範圍第23項之製造方法，其中該氧化絕緣層係由矽氧化物、矽氧氮化物、氧化鈦、氧化鋁以及含氧且屬於絕緣材料之物質的任何一者所構成。

- 26.如申請專利範圍第 23 項之製造方法，其中該電極混合系統層係由一過渡態金屬元素所構成。
- 27.如申請專利範圍第 26 項之製造方法，其中該過渡態金屬元素為 Pt、Ta、Ti 以及 Al 之任一者或其合金。
- 28.如申請專利範圍第 26 項之製造方法，其中該第一電極係由 Ti、TiN、FePt、CoFe、HfPt、Fe、Ni 以及 Co 之任一者所構成。
- 29.如申請專利範圍第 26 項之製造方法，其中該第二電極係由 Ti、TiN、FePt、CoFe、HfPt、Fe、Ni 以及 Co 之任一者所構成。
- 30.如申請專利範圍第 26 項之製造方法，其中該電阻轉態層係由氧化鐵(FeO)或氧化鈷(CoO)所構成。

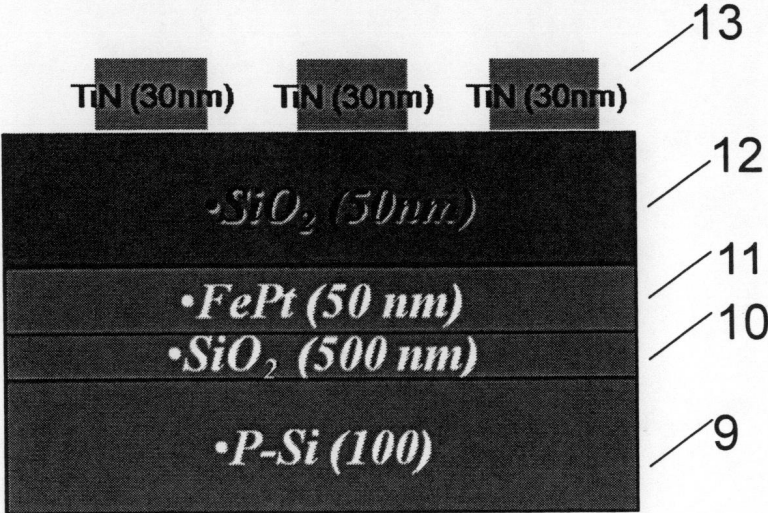
八、圖式：



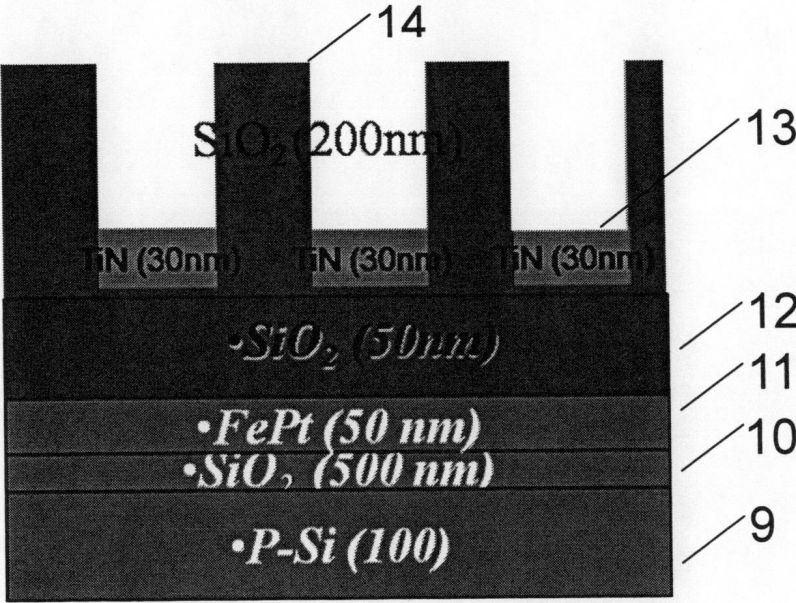
第 1A 圖



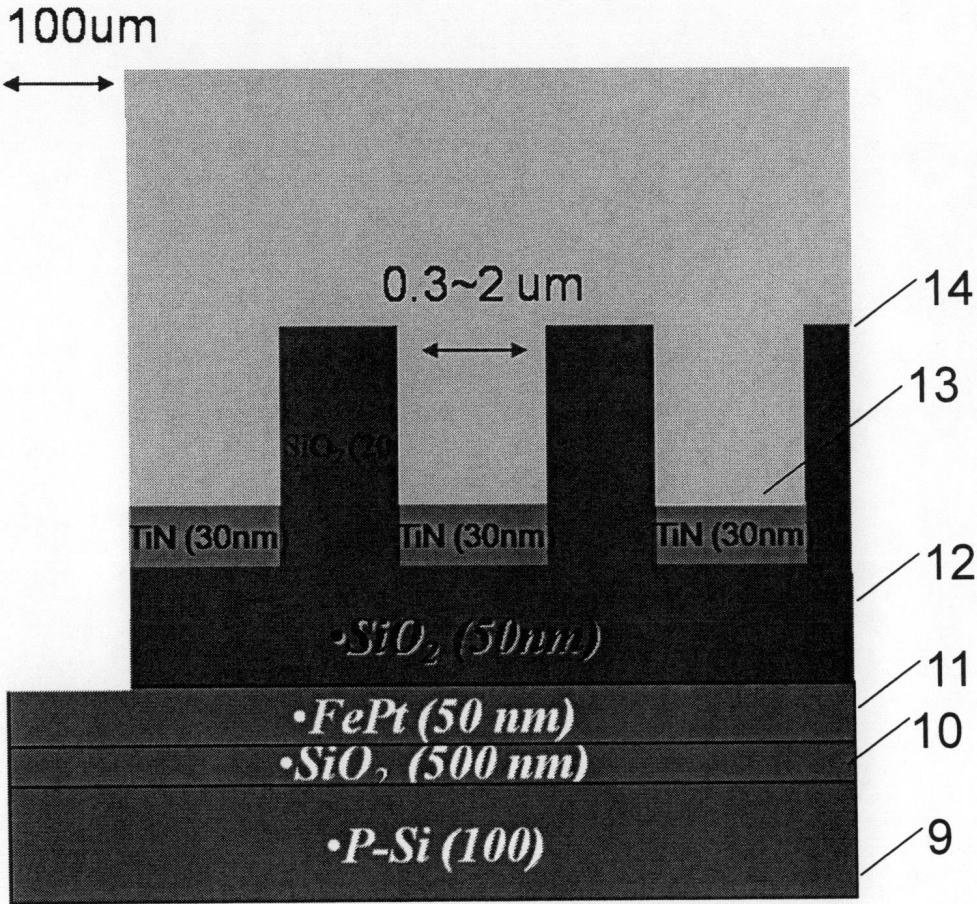
第 1B 圖



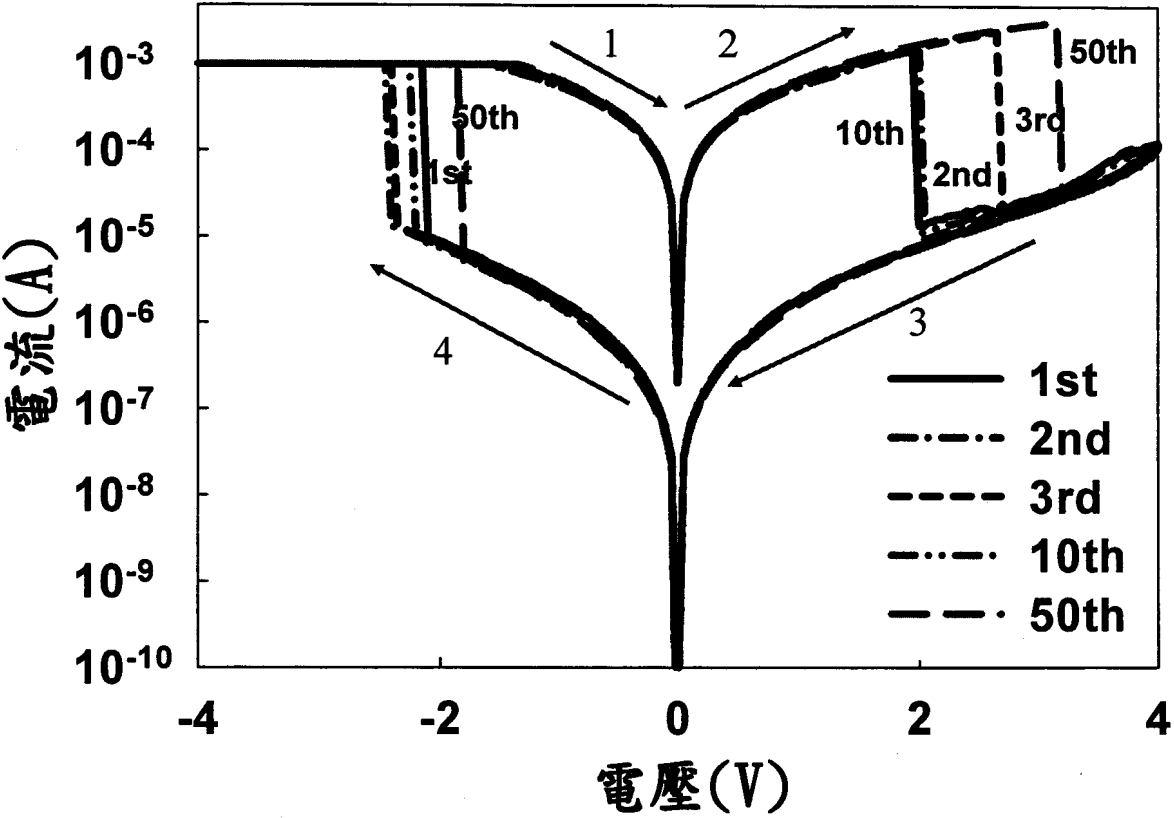
第 1C 圖



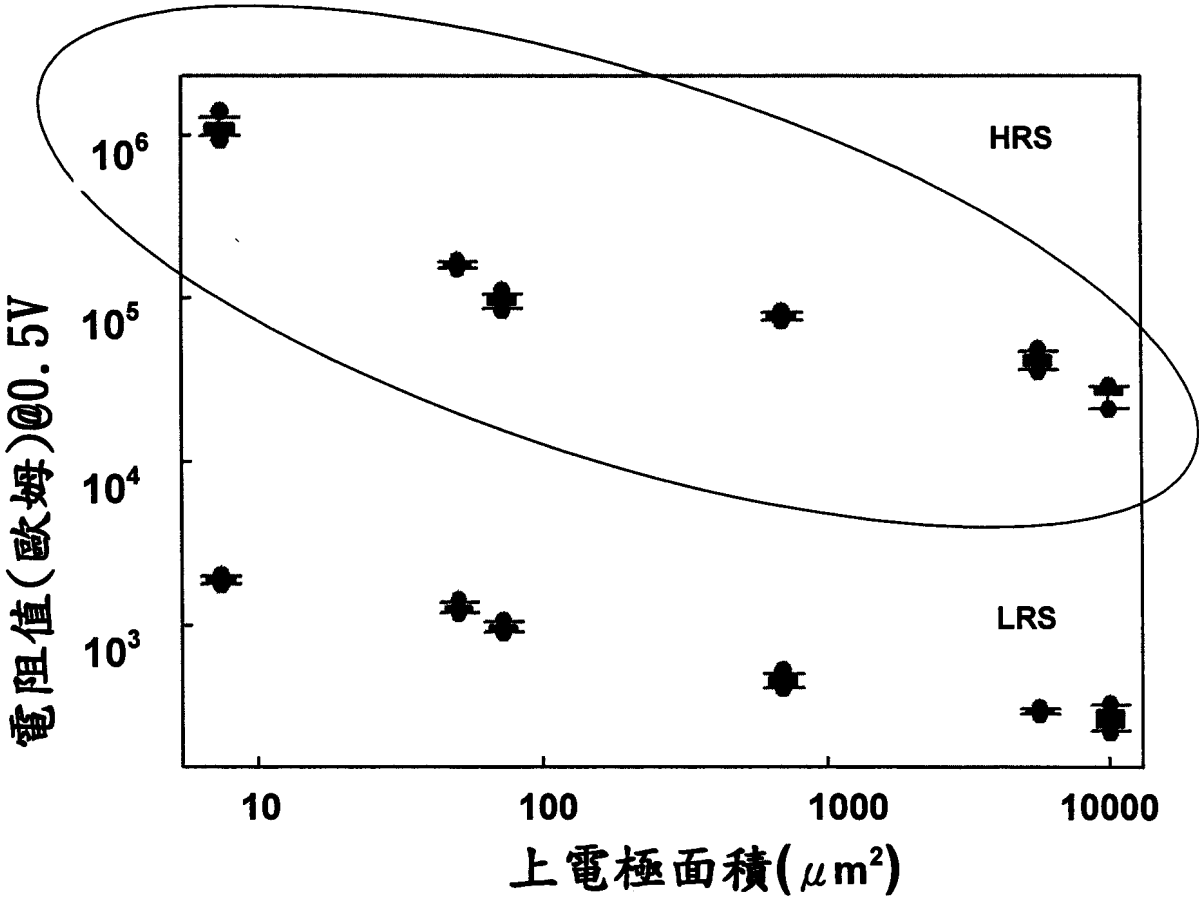
第 1D 圖



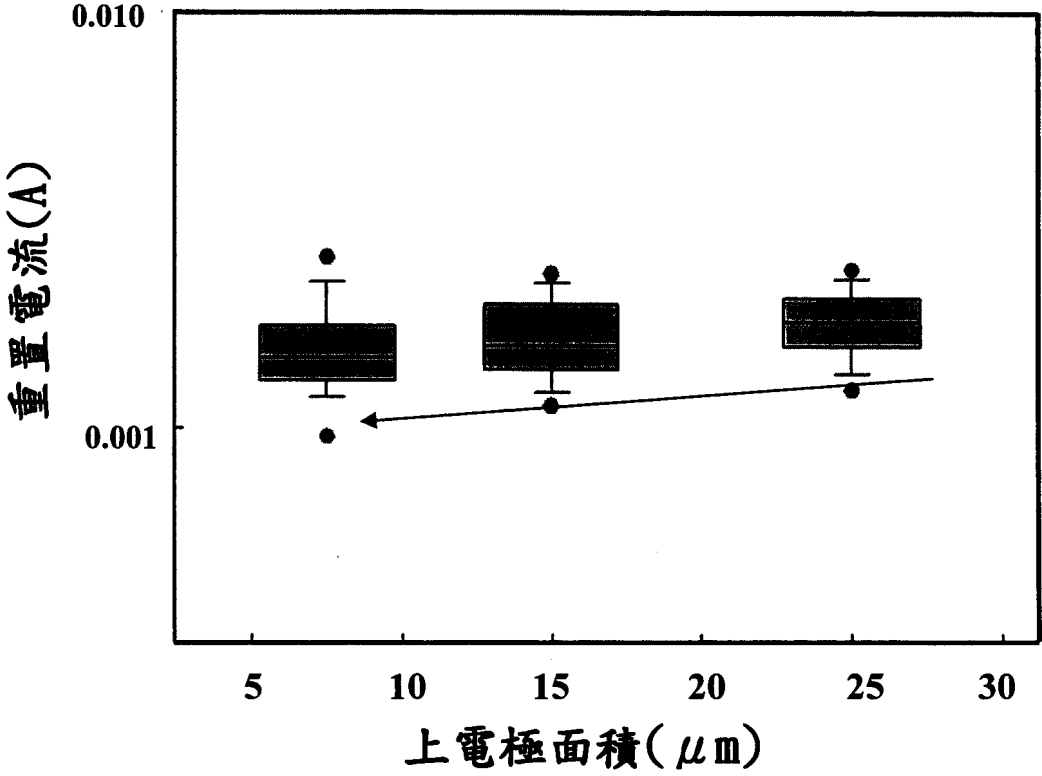
第 1E 圖



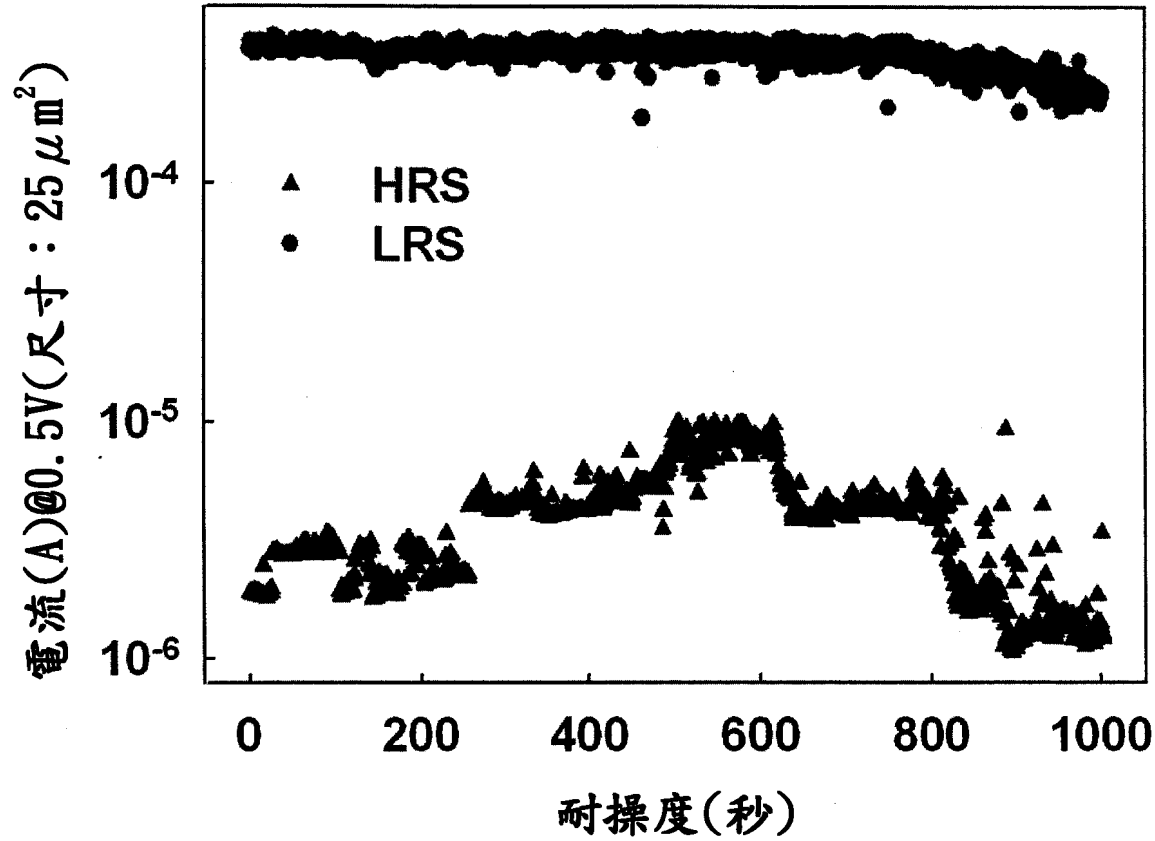
第 2 圖



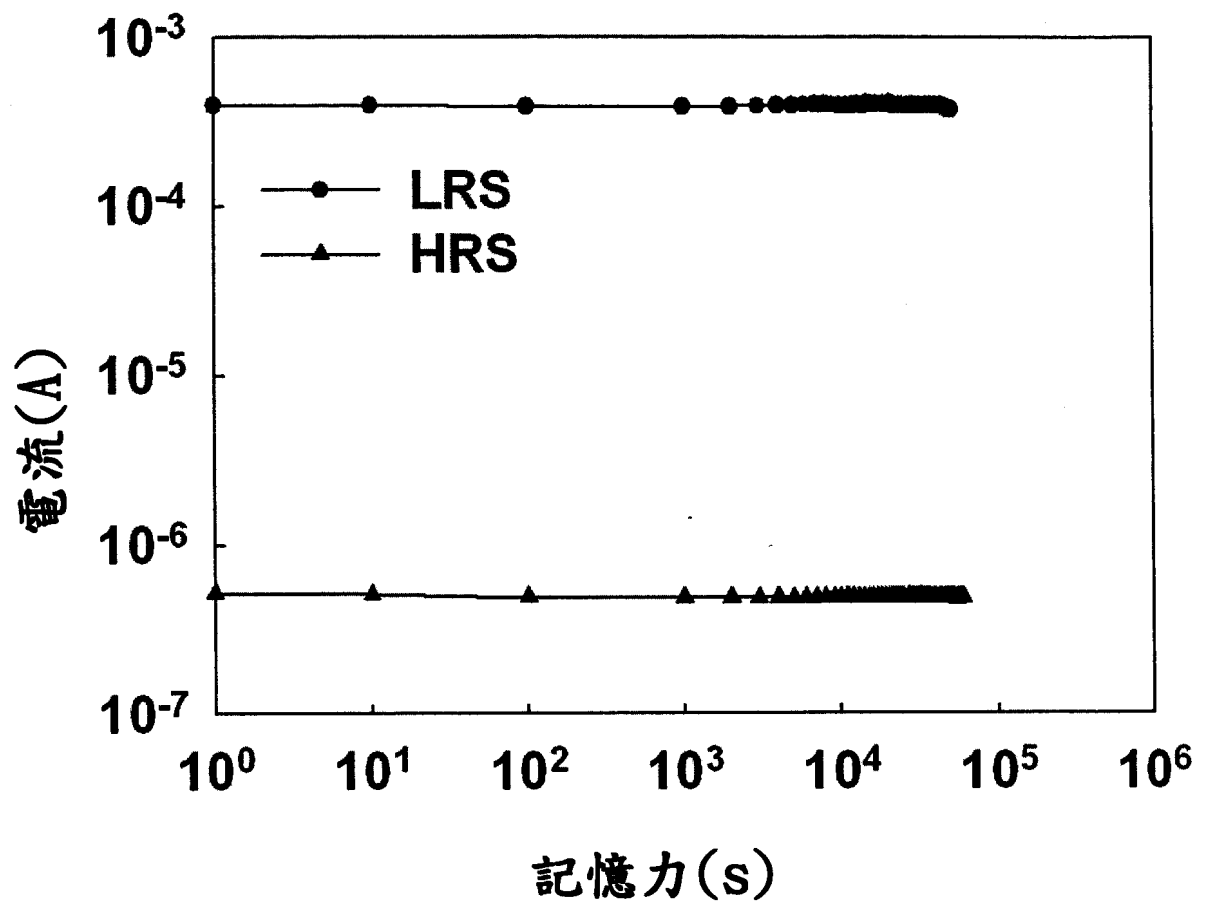
第 3 圖



第 4 圖



第 5 圖



第 6 圖