

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 82134015

※申請日： 88.10.7

※IPC 分類： H01L 29/778 (2006.01)
H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

可供製造高電遷性電晶體之結構、包含此結構的元件及其之製造方法 / A STRUCTURE OF HIGH ELECTRON MOBILITY TRANSISTOR, A DEVICE COMPRISING THE STRUCTURE AND A METHOD OF PRODUCING THE SAME

二、中文發明摘要：

所揭示者為一種適合做為半導體元件之砷化鎵金氧半導體假型高電遷性電晶體(MOS-PHEMT)的結構，及一種製造此結構的方法。此 MOS-PHEMT 結構的特徵在於具有一層以原子層沉積方式形成的閘極介電質，且該閘極介電質是由以下任一種材料製成： Al_2O_3 、 HfO_2 、 La_2O_3 或 ZrO_2 ；使得包含此 MOS-PHEMT 結構的元件，例如高頻開關元件，具有較低的閘極漏電流、較少的直流電力損耗、較少的衰減損耗以及較佳的隔絕性質。

三、英文發明摘要：

Disclosed herein are a structure of a GaAs metal oxide semiconductor pseudomorphic high electron mobility transistor

(MOS-PHEMT) suitable for use as a semiconductor device, and a method of producing the same. The MOS-PHEMT structure is characterized in having a gate dielectric layer formed by atomic deposition from a gate dielectric selected from the group consisting of Al_2O_3 , HfO_2 , La_2O_3 , and ZrO_2 ; thereby rendering the semiconductor device comprising the same, such as a high frequency switch device, to have less DC power loss, less insertion loss and better isolation.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明大致係關於一種製造在第 III-V 族複合半導體晶圓上之結構，及一種製造此結構的方法；上述之晶圓適合作為一種半導體元件來使用，例如做為開關或單石微波積體電路元件(monolithic microwave integrated circuit, MMIC)之放大器。

【先前技術】

習知的複合半導體元件，例如高電遷性電晶體(high electron mobility transistor, HEMT)，通常會使用蕭特基二極體閘極來進行電流的調控。但是，這類元件的缺點是具有較高的閘極漏電流。因此，此領域中亟需一種可克服上述缺點的改良結構，以及可製造出此種改良結構的方法。

【發明內容】

基於上述缺點，本發明目地之一在於提供一種製造可應用在微波及雷達領域之半導體元件上的改良結構，使用此改良結構的半導體元件將表現出較低的閘極漏電流、較少的直流電力損耗、較少的衰減損耗以及較佳的隔絕性質。

因此，本發明是有關於一種製造在第 III-V 族複合半導體晶圓(其適合用在半導體元件上)上的結構，一種包含此結構的半導體元件以及一種製造此結構的方法。

在本發明一態樣中，提供一種 GaAs 金氧半導體假型高電遷性電晶體(GaAs metal oxide semiconductor pseudomorphic high electron mobility transistor,

MOS-PHEMT)結構。此結構包括：一基板；一第 III-V 族複合半導體；一閘極介電質，其係經由原子層沉積法 (atomic layer deposition, ALD) 而沉積覆蓋在該第 III-V 族複合半導體上；複數個歐姆接點，耦接至該第 III-V 族複合半導體；以及一閘極電極，位在該閘極介電質上。在一實例中，此閘極介電質乃是一層厚度介於 8 nm 至 20 nm 間的氧化鋁 (Al_2O_3) 薄膜。

在本發明第二態樣中，提供一種製造上述結構的方法。此方法包括以下步驟：在一基板上形成一第 III-V 族複合半導體；以原子層沉積法在該第 III-V 族複合半導體上形成一閘極介電質；以電子槍沉積法 (electron gun deposition, E-gun) 形成多個與該第 III-V 族複合半導體耦接之歐姆接點；及以施加一層金屬在該閘極介電質上以形成一閘極電極。

在本發明第三態樣中，提供一種 GaAs MOS-PHEMT 單刀雙擲 (single-pole-double-throw, SPDT) 開關，其包含以前述方法製成的 GaAs MOS-PHEMT 結構。相較於習知的 PHEMT 開關來說，此 GaAs MOS-PHEMT SPDT 開關的特徵在於具有較低的閘極漏電流、較少的直流電力損耗、較少的衰減損耗以及較佳的隔絕性質。

透過以下的詳細明與附隨之申請專利範圍將可更了解本揭示內容的這些及其他特徵。需知以上的概述及以下的詳細說明僅為例示，用來闡述本揭示內容，而非用以限制本揭示內容之範疇。

【實施方式】

以下，將參照附圖詳細說明本發明實施方式。在說明附圖時，相同元件符號代表相同或對應的元件。

本發明是有關於一種製造在第 III-V 族複合半導體晶圓上的 MOS-PHEMT 結構；以及一種製造此結構的方法，其中該第 III-V 族複合半導體晶圓可做為一種半導體元件來使用，例如當作 MOS-PHEMT SPDT 開關來使用。

在本發明之較佳實施方式中，一種製造在第 III-V 族複合半導體晶圓上之砷化鎵金氧半導體假型高電遷性電晶體(GaAs metal oxide semiconductor pseudomorphic high electron mobility transistor, GaAs MOS-PHEMT)結構，其特徵在於具有一層經由原子層沉積法(atomic layer deposition, ALD)所沉積而成的氧化鋁閘極介電質。此高 k 值之氧化鋁介電質可提供較低的閘極漏電流與較佳的熱安定性，因此可讓所製成的半導體元件(例如，MOS-PHEMT SPDT 開關)具有較少的直流電損失，較少的衰減損失(insertion loss)，並可使高頻開關元件具有較佳的隔絕效果。

在一實施方式中，提供一種製造在第 III-V 族複合半導體晶圓上之 MOS-PHEMT 元件 10。此元件是以習知的微影蝕刻和剝離(lift-off)技術製成，包括台面蝕刻(mesa etch)、凹陷蝕刻(recess etch)、介電質沉積、形成歐姆接點和閘極等技術。表 1 詳細列出有關此製造在第 III-V 族複合半導體晶圓上之砷化鎵金氧半導體假型高電遷性電晶體(GaAs MOS-PHEMT)之特定實例的細節。表 1 各欄中分別列出此特定實例中每一層的功能、厚度(Å)及各成分

的莫耳比例。

表 1

MOS-PHEMT 結構上之磊晶層順序

| | 功能 | 厚度 (Å) | 莫耳比例 |
|--------------------------------|---------------|-----------|-----------|
| Ge-Au, Ti-Au | 歐姆接點 蕭特基接點 | n/a | n/a |
| Al ₂ O ₃ | 閘極介電質 | 80-200 | n/a |
| n+ GaAs | 帽蓋層 | 600 | n/a |
| AlAs | 蝕刻終止層 | 15 | n/a |
| 無摻雜的 AlGaAs | 阻障層 | 370 | Al = 0.25 |
| δ-摻雜 | 提供電子 | n/a | n/a |
| 無摻雜的 AlGaAs | 間隔層 | 30 | Al = 0.25 |
| 無摻雜的 InGaAs | 通道 | 130 | In = 0.2 |
| 無摻雜的 GaAs | 緩衝層 | n/a | n/a |
| 基板 (GaAs) | | n/a | n/a |

n/a : 未測定

第 1A 圖繪示出尚未完全完成之 GaAs MOS-PHEMT 結構的橫斷面示意圖。依據此實施方式，可在基板 100 上依序生長出各種磊晶層。可以任何一種第 III-V 族材料 (例如，GaAs、InP 或其他類似物，且較佳是 GaAs 或任一種以 GaAs 為基礎的材料) 來製造此基板 100，也可使用任何已知的技術 (例如，金屬有機化學氣相沉積法

(metal-organic chemical vapor deposition, MOCVD)、或分子束磊晶(molecule beam epitaxy, MBE))在基板 100 上成長上述的各種磊晶層。在本發明一態樣中，先在基板 100 上創造出一層緩衝層 101。在第 1A 圖的實例中，此特定的緩衝層 101 是一種不含摻質的 GaAs 層。接著，依序在該緩衝層 101 上磊晶生長厚度為 13 nm 之無摻質的 InGaAs 層 102、及厚度為 40 nm 且含有 δ -摻雜 106 於其中之無摻質的 AlGaAs 層 103。在第 1A 圖中，此 δ -摻雜 106 係以虛線表示。在第 1A 圖之特定實施方式中，此不含摻質的 InGaAs 層 102 是一種無摻質的 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層，且此含有 δ -摻雜 106 於其中之無摻質的 AlGaAs 層 103 是一種無摻質的 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層 103。接著，也可於第 1A 圖之特定結構上生長約 1.5 nm 之 AlAs 層 104，接著生長約 60 nm 之含有 n+型摻質的 GaAs 層 105。

接著，以任何適當之已知的蝕刻技術來蝕刻第 1A 圖之特定結構，以形成如第 1B 圖所示具有凹槽的結構。可以任何標準的蝕刻技術來執行此蝕刻步驟，包括濕蝕刻或乾蝕刻。接著，再利用原子層沉積法(ALD)沉積一層閘極介電質 107 於第 1B 圖之結構中。適合做為閘極介電質的材料可選自由 Al_2O_3 、 HfO_2 、 La_2O_3 、 ZrO_2 、 Ga_2O_3 、 Y_2O_3 、 TiO_2 、 Ta_2O_5 、 HfAlO 、 TiAlO 和 LaAlO 所組成的群組中。適合做為閘極介電質的材料較佳是選自以下任一者： Al_2O_3 、 HfO_2 、 La_2O_3 ，或 ZrO_2 。在第 1C 圖的結構中，係以原子層沉積法在約 300°C 的溫度下沉積出約 8 nm 至約 20 nm 的 Al_2O_3 層。較佳是，從包含有三甲基鋁

(trimethylaluminum, TMA)和水蒸氣的來源氣體中，沉積出約 16 nm 的 Al_2O_3 層。在一實施方式中，執行由 TMA、 N_2 、 H_2O 及 N_2 組成之氣體循環，其中該 TMA、 N_2 、 H_2O 及 N_2 的時間分別被設定為 1、10、1 及 10 秒，且在此氣體循環中，氧化鋁的沉積速率約為 $1.3\text{\AA}/\text{循環}$ 。在一實施方式中，用以執行 ALD 製程的腔室是由儀器科技研究中心(台灣)所提供，但是也可使用其他適當的製程腔室來實施此 ALD 製程。相較於習知用來形成 Al_2O_3 薄膜的方法來說，例如，濺鍍、化學氣相沉積法或是將純鋁膜氧化，由 ALD 法沉積而成的 Al_2O_3 薄膜，其品質較佳。ALD 是一種利用依序使用氣相反應物來進行沉積的技術，其可沉積出超薄薄膜。透過使生長表面重複地暴露在反應氣體下，可使每一次循環中所沉積出來的膜層量維持不變(即，固定)，因此，可在原子層的層級上來控制沉積膜層的厚度。在所示的實施例中，所沉積出來的 Al_2O_3 介電膜具有極低的漏電流，對厚度約 16 nm 的膜層來說，漏電流的密度約在 10^{-8} A/cm^2 。

接著，在所示的實例中，於第 III-V 族複合半導體結構中一活性區域 109 的兩相對立側邊附近，形成與此複合結構(即，基板 100 及其上之多層磊晶層)耦接的兩個歐姆接觸 108，如第 1D 圖所示。這些歐姆接觸 108 是透過電子束槍(E-gun)方式，以一種選自 Ni、Ge、Cu、Pd、Au 及其之組合的金屬所沉積而成的。在所示的實例中，係以 Ge-Au 來形成所述的歐姆接觸 108。此外，也可利用電子束槍法在上述的閘極介電質 107 上形成金屬閘極電極

110，且其包含選自 Ti、Pt、Cu、Al、TaN、Au 及其之組合的金屬(其與用來形成該些歐姆接觸 108 之材料不盡相同)所製成的電極。在所揭示的實施例中，該閘極電極 110 是由 Ti-Au 所製成。

在此揭示的實施方式均可應用在第 III-V 族複合半導體晶圓上。依據本發明實施方式之方法而形成的複合半導體結構可用來製造各種 MMICs，包括 SPDT 開關。可依據所揭示方法實施方式來製造適當的高電遷性電晶體 (HEMT)，其包括，但不限於，假型高電遷性電晶體 (PHEMT)、金氧半導體場效電晶體 (metal-oxide-semiconductor field effect transistor, MOSFET)、金屬半導體場效電晶體 (metal-semiconductor field effect transistor, MESFET) 和改性高電遷性電晶體 (metamorphic high electron mobility transistor, MHEMT)。

在一較佳實施方式中，以上述方法製造出閘極長度為 $0.5\ \mu\text{m}$ 之 MOS-PHEMT 結構。在此實例中，此 MOS-PHEMT 結構的特徵是具有約 16 nm 的 Al_2O_3 閘極介電質。接著利用測量漏電流、控制電流和微波頻率特徵等方式來評估所製造出來的開關。結果示於第 2 圖中。

參照第 2 圖，相較於以習知方法製成的 PHEMT 結構來說，包含本發明 MOS-PHEMT 結構的開關在各種電位下，對各種閘極偏壓的容忍度較大(第 2 圖)，在 $V_G = -25\ \text{V}$ 時，幾乎沒有漏電流；然而，同樣電壓下，具有習知 PHEMT 結構的開關之漏電流則高達約 $-0.5\ \text{mA/mm}$ 。

第 3 圖繪示出 SPDT 開關的控制電流與控制電壓間的關係。相較於以習知 PHEMT 結構所製造而成的開關來說，具有本發明 MOS-PHEMT 結構的 SPDT 開關在整個 1.5 V 至 5.0 V 的測試範圍，都表現出較低的控制電流。

SPDT 開關元件的衰減損失(insertion loss)和隔絕性繪示於第 4 圖中。具有本發明 MOS-PHEMT 結構的 SPDT 開關在 2.5 GHz (控制電壓 = +3/0 V)下的衰減損失大約為 0.3 dB，隔絕性約 33.4 dB。此外，RF 特性也顯示使用本發明 MOS-PHEMT 結構可顯著的改善開關的隔絕效果，表示可使用本發明 MOS-PHEMT 結構來製造 MMICs。

雖然已參照特定實施例詳細敘述本發明精神，然而該等實施例僅是用於說明本發明，而非限制本發明。須了解熟悉此技術者可在不偏離本發明範圍及精神的情況下變化或修改該實施例。

【圖式簡單說明】

為讓本揭示內容之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1A~1E 圖示出依據本發明方法所製造出來的 GaAs MOS-PHEMT 結構在各製造階段中的截面示意圖；

第 2 圖示出在(a) 習知 PHEMT 元件，與(b)依據本發明一較佳實施方式所製造出來的 GaAs MOS-PHEMT 元件上，所分別量測到的閘極漏電流隨電壓變化的情形；

第 3 圖示出在(a)習知 PHEMT 元件，與(b)依據本發明一較佳實施方式所製造出來的 GaAs MOS-PHEMT 元件上，所分別量測到的控制電流隨控制電壓變化的情形；和

第 4 圖示出在(a)習知 PHEMT 元件，與(b)依據本發明一較佳實施方式所製造出來的 GaAs MOS-PHEMT 元件上，所分別量測到的衰減損失隨頻率變化的情形。

【主要元件符號說明】

| | |
|-------------------|----------------------|
| 100 基板 | 101 緩衝層 |
| 102 無摻質的 InGaAs 層 | 103 無摻質的 AlGaAs 層 |
| 104 AlAs 層 | 105 含有 n+型摻質的 GaAs 層 |
| 106 δ -摻雜 | 107 閘極介電質 |
| 108 歐姆接觸 | 109 活性區域 |
| 110 金屬閘極電極 | |

【主要元件符號說明】

無

七、申請專利範圍：

1. 一種金氧半導體假型高電遷性電晶體(MOS-PHEMT)之結構，包含：

一基板；

一第 III-V 族複合半導體；

一閘極介電質，經由原子層沉積法而沉積覆蓋在該第 III-V 族複合半導體上，其中該閘極介電質是由以下任一種材料製成：

Al_2O_3 、 HfO_2 、 La_2O_3 或 ZrO_2 ；

多個歐姆接觸，與該第 III-V 族複合半導體耦接；及

一閘極電極，設在該閘極介電質上。

2. 如請求項 1 所述之結構，其中該閘極介電質為 Al_2O_3 。

3. 如請求項 1 所述之結構，其中該閘極介電質之厚度為約 8 nm 至約 20 nm 間。

4. 如請求項 3 所述之結構，其中該閘極介電質之厚度為約 16 nm。

5. 如請求項 1 所述之結構，其中該些歐姆接觸是由選自以下之材料所製成，包括 Ni、Ge、Cu、Pd、Au 及其之組合；且該閘極電極是由選自以下之材料所製成，包括 Ti、Pt、Cu、Al、TaN、Au 及其之組合。

6. 如請求項 1 所述之結構，其中該基板是 GaAs。
7. 如請求項 1 所述之結構，其中該第 III-V 族複合半導體包含 InGaAs 和 AlGaAs。
8. 如請求項 7 所述之結構，其中該 InGaAs 是無摻質的 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ；且該 AlGaAs 是包含有一 δ -摻雜於其中之 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 。
9. 如請求項 1 所述之結構，其中該結構是可用來製造單石微波積體電路(NMIC)單刀雙擲(SPDT)開關。
10. 一種製造可用於 MMIC SPDT 開關之 MOS-PHEMT 結構的方法，包含：
 - 在一基板上形成一第 III-V 族複合半導體；
 - 以原子層沉積法在該第 III-V 族複合半導體上形成一閘極介電質，其中該閘極介電質是由以下任一種材料製成： Al_2O_3 、 HfO_2 、 La_2O_3 ，或 ZrO_2 ；
 - 形成多個歐姆接觸，且該些歐姆接觸係與該第 III-V 族複合半導體耦接；及
 - 施加一金屬在該閘極介電質上以形成一閘極電極。
11. 如申請專利範圍第 10 項所述之方法，其中該基板

是 GaAs。

12. 如申請專利範圍第 10 項所述之方法，其中該形成第 III-V 族複合半導體的步驟包含在該 GaAs 上形成 InGaAs，以及在該 InGaAs 上形成 AlGaAs。

13. 如申請專利範圍第 12 項所述之方法，其中該形成第 III-V 族複合半導體的步驟包含在該 GaAs 上形成 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ ，以及在該 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 上形成 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ ，其中該 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 包含一 δ -摻雜於其中。

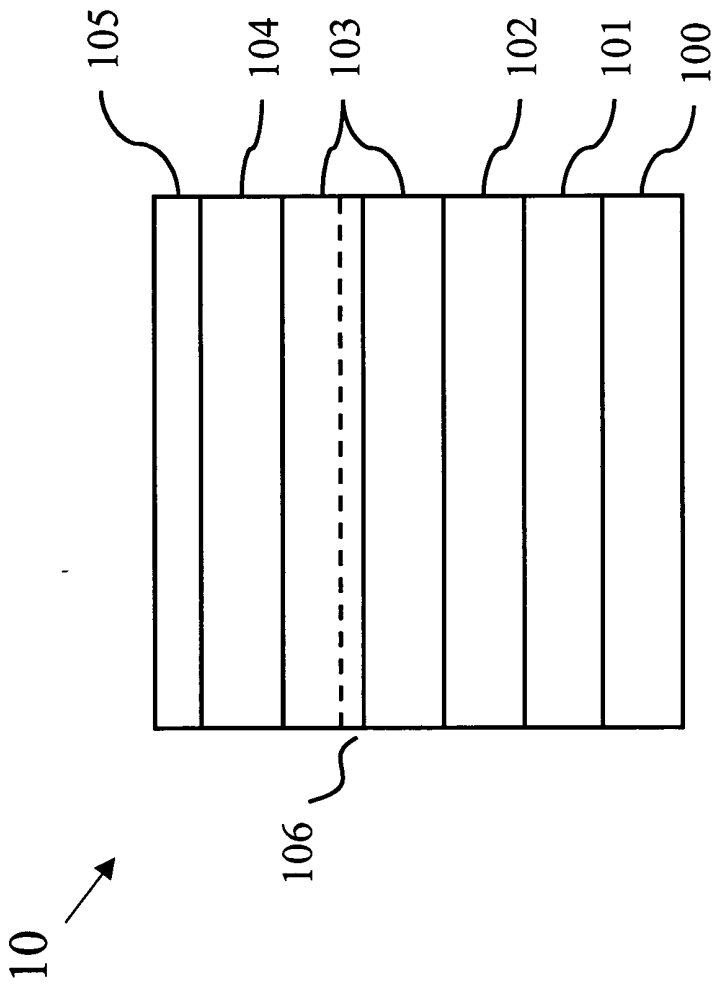
14. 如申請專利範圍第 10 項所述之方法，其中該形成閘極介電質的步驟包含在該第 III-V 族複合半導體上沉積出厚度約 8 nm 至約 20 nm 間之 Al_2O_3 層。

15. 如申請專利範圍第 14 項所述之方法，其中該形成閘極介電質的步驟包含在該第 III-V 族複合半導體上沉積出厚度約 16 nm 之 Al_2O_3 層。

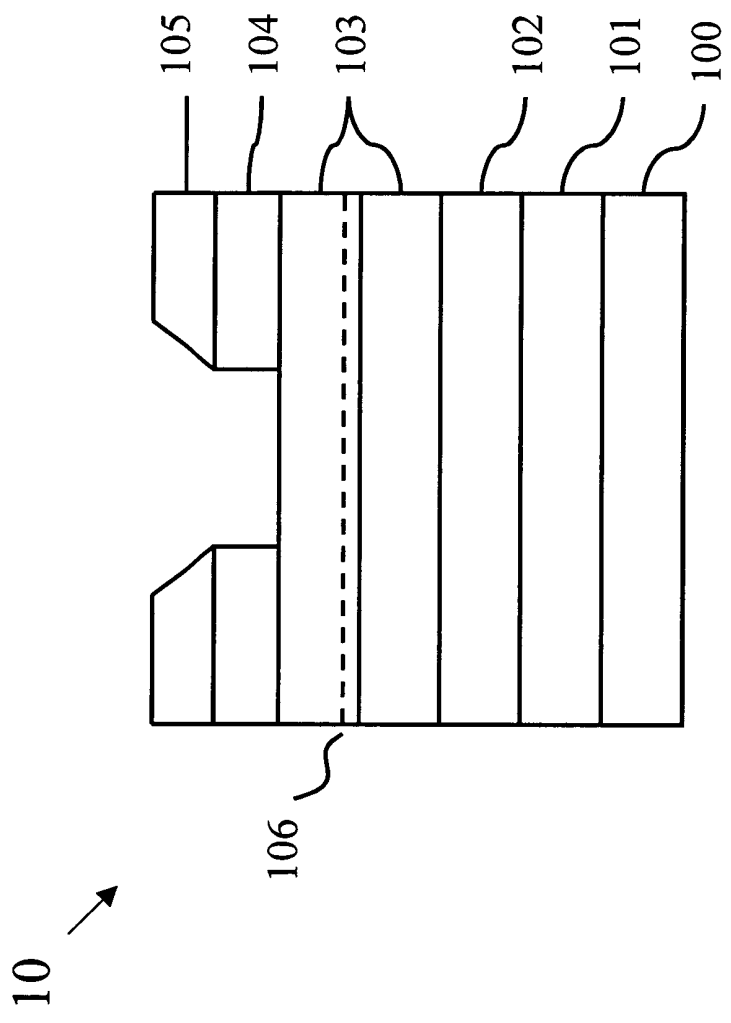
16. 如申請專利範圍第 10 項所述之方法，其中該形成多個歐姆接觸的步驟包含以電子槍沉積法沉積 Ge/Au 來形成該些歐姆接觸；且該施加金屬的步驟包含施加 Ti/Au 到該閘極介電質上以形成該閘極電極。

17. 如申請專利範圍第 10 項所述之方法，其中該些歐姆接觸是由選自以下之材料所製成，包括 Ni、Ge、Cu、Pd、Au 及其之組合；且該閘極電極是由選自以下之材料所製成，包括 Ti、Pt、Cu、Al、TaN、Au 及其之組合。

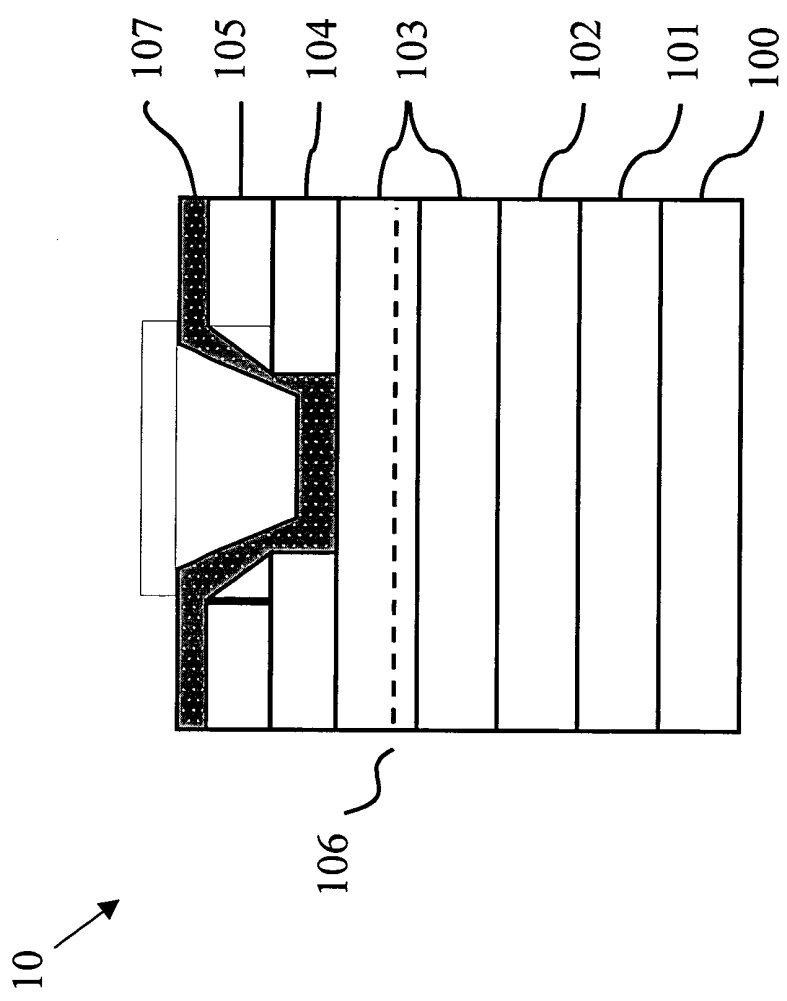
18. 一種 GaAs MOS-PHEMT 開關，包含如請求項 1 所述之結構，其中該結構包含厚度約 16 nm 的 Al_2O_3 層且該開關具有一長度約為 0.5 μm 的閘極。



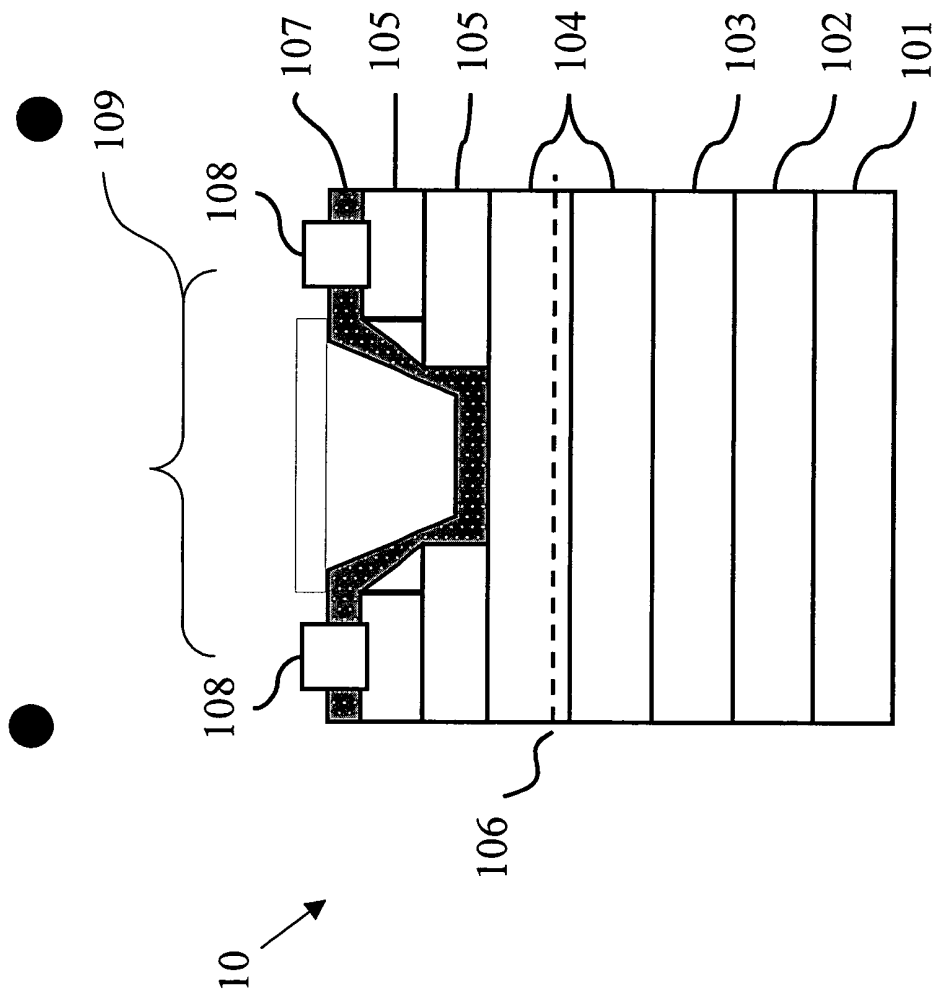
第 1A 圖



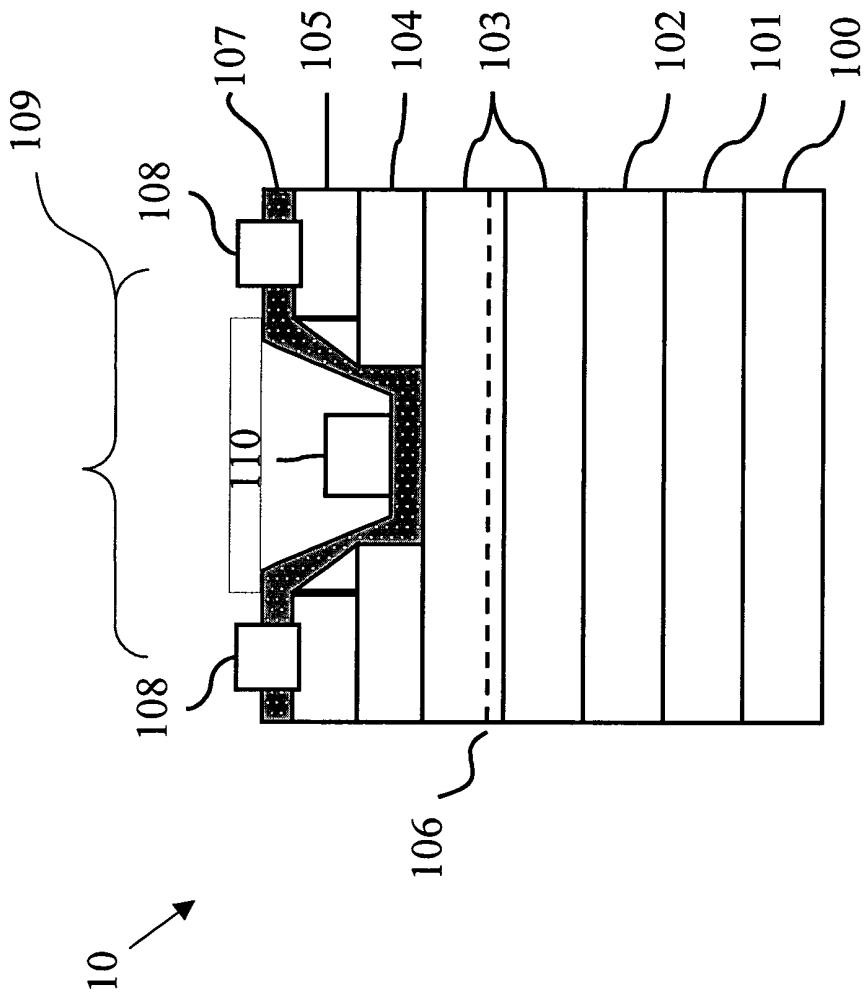
第 1B 圖



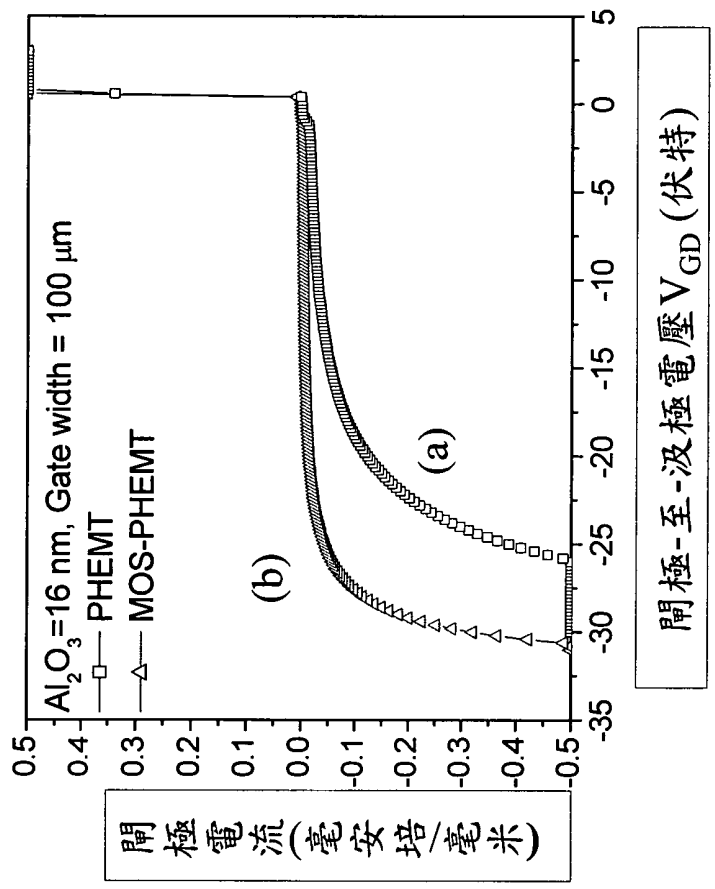
第 1C 圖



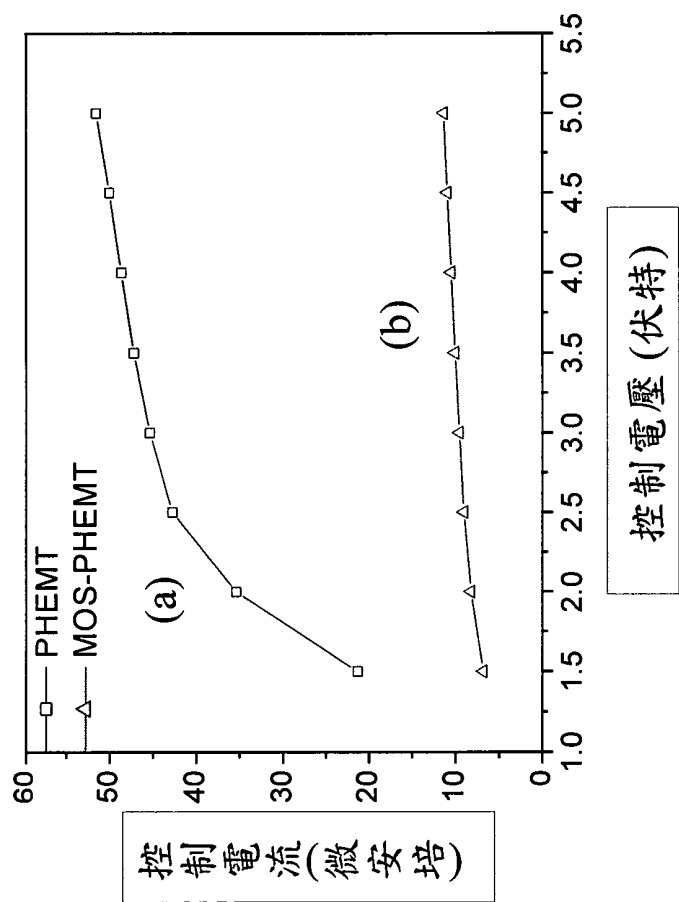
第 1D 圖



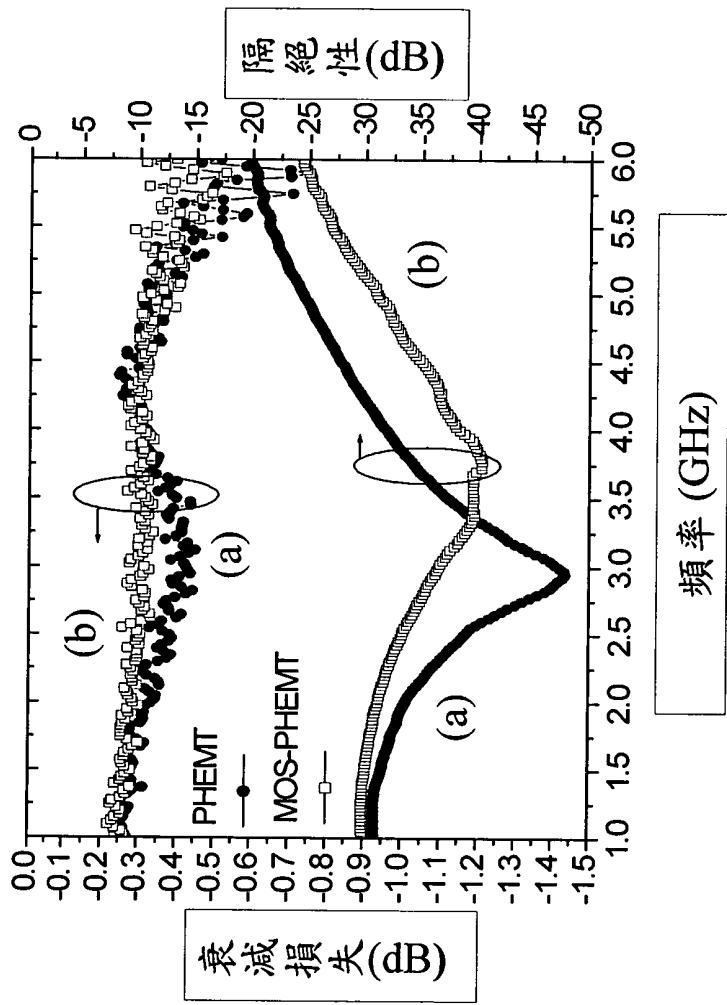
第 1E 圖



第 2 圖



第 3 圖



第 4 圖