

(21) 申請案號：098130267

(22) 申請日：中華民國 98 (2009) 年 09 月 08 日

(51) Int. Cl. :

H01Q1/48 (2006.01)

H05K1/00 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：鍾世忠 CHUNG, SHYHJONG (TW) ; 凌菁偉 LING, CHINGWEI (TW) ; 楊子嫻 YANG, TZUHSIEN (TW)

(74) 代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：29 項 圖式數：10 共 33 頁

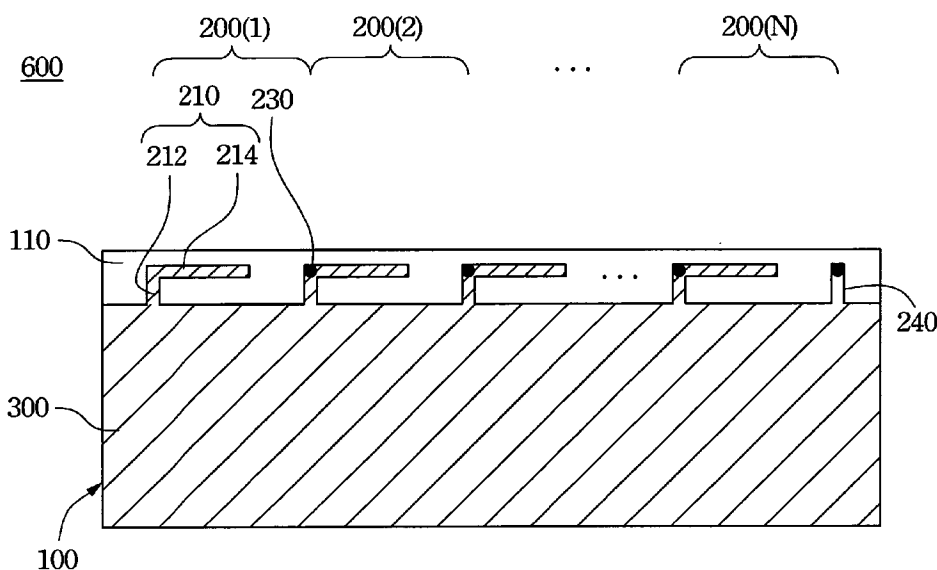
(54) 名稱

全平面天線及其電磁能隙結構

PLANAR ANTENNA AND ELECTROMAGNETIC BAND GAP STRUCTURE THEREOF

(57) 摘要

一種電磁能隙結構，包含一電路板、接地層與複數個電磁能隙結構單元。電路板包含兩相對的一第一表面與一第二表面，而接地層則位於第一表面。複數個電磁能隙結構單元形成於第一表面與第二表面上，彼此間隔排列且分別連接於接地層之一邊，其中每一電磁能隙結構單元包含一第一走線、一第二走線與一連通柱。第一走線形成於電路板之第一表面，並且第一細走線具有一相對短細線與一相對長細線，而相對短細線與相對長細線相互連接，其中相對短細線更連接至接地層。第二細走線形成於第二表面，並且部分對齊於第一長細線。連通柱則貫穿電路板，使第二細走線得以透過連通柱連接相鄰之電磁能隙結構單元中的第一細走線。



100：電路板

110：第一表面

200(1)~200(N)：電磁能隙結構單元

210：第一走線

212：相對短細線

214：相對長細線

230：連通柱

240：第三走線

300：接地層

600：電磁能隙結構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98130267

※申請日： 98-9-8

※IPC 分類：H01Q 1/48 (2006.01)

H05k 1/00 (2006.01)

一、發明名稱：(中文/英文)

全平面天線及其電磁能隙結構

PLANAR ANTENNA AND ELECTROMAGNETIC BAND
GAP STRUCTURE THEREOF

二、中文發明摘要：

一種電磁能隙結構，包含一電路板、接地層與複數個電磁能隙結構單元。電路板包含兩相對的一第一表面與一第二表面，而接地層則位於第一表面。複數個電磁能隙結構單元形成於第一表面與第二表面上，彼此間隔排列且分別連接於接地層之一邊，其中每一電磁能隙結構單元包含一第一走線、一第二走線與一連通柱。第一走線形成於電路板之第一表面，並且第一細走線具有一相對短細線與一相對長細線，而相對短細線與相對長細線相互連接，其中相對短細線更連接至接地層。第二細走線形成於第二表面，並且部分對齊於第一長細線。連通柱則貫穿電路板，使第二細走線得以透過連通柱連接相鄰之電磁能隙結構單元中的第一細走線。

三、英文發明摘要：

An electromagnetic band gap structure includes a circuit board, a ground and pluralities of electromagnetic band gap elements. The circuit board includes a first side and a second side, and the ground is on the first side. The pluralities of electromagnetic band gap elements are formed on both the first side and the second side, and sequentially connected to an edge of the ground, wherein every electromagnetic band gap element includes a first strip line, a second strip line and a via hole. The first strip line is formed on the first side, including a first relative long strip line and a first relative short strip line connected to the ground. The second strip line is formed on the second side. The second strip line is connected to the first strip line of the adjacent electromagnetic band gap through the via hole.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100：電路板

110：第一表面

200(1)~200(N)：電磁能隙結構單元

210：第一走線

212：相對短細線

214：相對長細線

230：連通柱

240：第三走線

300：接地層

600：電磁能隙結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種電磁能隙結構，且特別是有關於一種使用此電磁能隙結構之全平面天線。

【先前技術】

由於科技通訊產業的快速發展，資訊產品的應用也隨之愈趨普及，例如筆記型電腦與個人數位助理等電子產品，頻繁地出現在日常周遭之中。而這不僅大幅提升生活上的便利性，亦更是在時間與空間上造成了壓縮，使得現代的每個人不再侷限制約於地理上的疆界，而能夠使彼此間更緊密的結合互動以及大量訊息知識的交流，使追求達成共同利益福祉最優化。是故，無線通訊中，天線儼然居中發揮重要功能，使得信息傳遞與知識交流更便捷、無阻礙。

在天線設計中，常使用一金屬平面做為天線的反射面或者接地平面，可以等效為一完全電導體(perfect electric conductor; PEC)。然而，倘若金屬平面與天線兩者之間距離越趨接近時，金屬平面上產生的鏡向電流(image current)，其電流方向與天線上的電流方向相反，使得電流相互抵銷，進而造成天線增益與輻射效率(radiation efficiency)不佳的結果。因此，天線與金屬接地層間的距離必須足夠大，除能有效增加天線增益(antenna gain)之外，並且能降低天線的背向輻射量(backward radiation)，進而減少不必要的能量損失。但由於現今通訊產品小型化的

演進下，天線所能使用的高度往往取決於產品的整體高度，因而產生縮小化、低剖面的需求。其中，應用於筆記型電腦與個人數位助理等電子產品之內藏式天線設計，天線主要配置於顯示螢幕邊緣，天線可用的區域，通常是有限寬度的狹長面積，亦即天線與接地平面距離非常接近，因而往往導致輻射效率大幅降低，並影響通訊品質的問題產生。而先前技術方法係採用加入二維電磁能隙結構，等效為 LC 共振網路，當電容電感共振的時候，整個網路為開路，此時阻抗為無限大，因此能達成電磁能隙的功用。當高阻抗電磁表面的結構加入後，由於接地平面上之鏡向電流與天線同相位，因此不會影響天線本身的特性，所以可以達成低剖面的設計需求。然而，二維電磁能隙結構在使用上，必須為一整片面積，且當與天線一併設計使用時，將形成一 3D 立體結構。因此，二維電磁能隙結構的實用性顯得相當不足。

有鑒於此，目前所需求的是呈現一維結構的電磁能隙結構，用以等效為一完全磁導體(perfect magnetic conductor; PMC)，並根據其特性，將不僅有效縮短天線與接地層的間距，且保持天線之特性，更可整合於現今日趨規格縮小化的通訊產品中。

【發明內容】

本發明一方面是提供一種電磁能隙結構，其具有依序排列之電磁能隙結構單元，並且於此電磁能隙結構之操作頻率下，等效為一電感電容並聯電路，使此電磁能隙結構

進而可視作為一完全磁導體。

根據本發明之一實施方式，一種電磁能隙結構，包含電路板、接地層與複數個電磁能隙結構單元。電路板包含兩相對的一第一表面與一第二表面，而接地層位於第一表面上。複數個電磁能隙結構單元則形成於第一表面與第二表面上，彼此間隔排列且分別連接於接地層之一邊，其中每一電磁能隙結構單元包含一第一走線、一第二走線與一連通柱。第一走線形成於電路板之第一表面，並且第一走線具有一相對短線與一相對長線，而相對短細線則與相對長細線相互連接，其中相對短線更連接至接地層。第二走線則形成於該電路板之第二表面，其中第二走線部分對齊於相對長線。此外，連通柱貫穿電路板，使第二走線得以透過連通柱連接相鄰之電磁能隙結構單元的第一走線。

本發明之另一實施方式，一種電磁能隙結構包含電路板、接地層與複數個電磁能隙結構單元。電路板包含一表面，而接地層位於表面上。複數個電磁能隙結構單元形成於電路板之表面上，並且沿著接地層之一邊彼此相互連接，其中每一電磁能隙結構單元包含一走線與一晶片電容。走線形成於電路板之表面，並且具有一相對短線、一第一相對長線與一第二相對長線，其中相對短細線則與第一相對長細線相互連接，相對短線連接至接地層。而晶片電容則電性串接於第一相對長細線與第二相對長線之間。

本發明另一方面是提供一種具電磁能隙結構之全平面天線，其具有依序排列之電磁能隙結構單元，能有效的縮短天線與接地層的間距。

根據本發明之另一實施方式，一種具電磁能隙結構之全平面天線，包含一電路板、一接地層、複數個電磁能隙結構單元與一天線。電路板包含兩相對的一第一表面與一第二表面，而接地層位於第一表面上。複數個電磁能隙結構單元則形成於第一表面與第二表面上，彼此間隔排列且分別連接於接地層之一邊，其中每一電磁能隙結構單元包含一第一走線、一第二走線與一連通柱。第一走線形成於電路板之第一表面，並且第一走線具有一相對短線與一相對長線，而相對短細線與相對長細線相互連接，其中相對短線更連接至接地層。第二走線則形成於第二表面，其中第二走線部分對齊於相對長線。連通柱貫穿電路板，使第二走線得以透過連通柱連接相鄰之電磁能隙結構單元的第一走線。此外，天線則配置於電磁能隙結構單元上方。

【實施方式】

請參照第 1 圖與第 2 圖。第 1 圖與第 2 圖係分別繪示依照本發明一實施方式之電磁能隙結構的第一面與第二面。如圖所示，電磁能隙結構 600，包含電路板 100、接地層 300 與複數個電磁能隙結構單元 200(1)~200(N)。當中，電路板 100 包含兩相對的一第一表面 110 與一第二表面 120，而接地層 300 位於第一表面 110 上。複數個電磁能隙結構單元 200(1)~200(N)，則共同形成於第一表面 110 與第二表面 120 上，彼此間隔排列且分別連接於接地層 300 之一邊，其中每一電磁能隙結構單元均包含一第一走線 210、一第二走線 220 與一連通柱 230。第一走線 210 形成於第

一表面 110 上，並且第一走線 210 具有一相對短線 212 與一相對長線 214，而相對短細線 212 與相對長細線 214 相互連接，其中相對短線 212 更連接至接地層 300。第二走線 220 則形成於第二表面 120 上，其中第二走線 220 與相對長線 214 部分對齊。此外，連通柱 230 貫穿電路板 100，使得第二走線 220 透過連通柱 230 連接相鄰之電磁能隙結構單元的第二走線 210。

請繼續參照第 1 圖與第 2 圖。如圖所示，電磁能隙結構 600，更包含一第三走線 240 連接至接地層 300，其中第三細走線 240 形成於第一表面 110 上並排列於最末個電磁能隙結構單元 200(N)之旁。因此，第三走線 240 則經由最末個電磁能隙結構單元 200(N)之連通柱 230，以與最末個電磁能隙結構單元 200(N)之第二細走線 220 相連接。另外，接地層 300 的尺寸大小則為適用於一般市面筆記型電腦或個人數位助理的接地層之規格。

上述之電磁能隙結構 600 中，接地層 300 具有一類矩形外觀。第一走線 210 與第二走線 220 則分別具有一類 L 形外觀與一類長條形外觀。而且，第三細走線 240 亦具有一類長條形外觀。另外，第一細走線 210、第二細走線 220 與第三細走線 240 皆為電路板 100 上的印刷走線。

請參照第 3 圖與第 4 圖。第 3 圖係繪示依照本發明一實施方式之電磁能隙結構的上視圖，而第 4 圖係繪示沿著第 3 圖之 3-3 線的剖面圖。如圖所示，每一電磁能隙結構單元的相對長線 214 與第二走線 220 之對齊部分，即虛線標示處，將於此電磁能隙結構之操作頻段下，等效為一平

行板電容，其中當相對長線 214 與該第二走線 220 對齊部分越多，則所對應之平行板電容的電容值越高。另外，每一第一走線 210 與第二走線 220 不相對齊之部分以及其相鄰接地層 300 的邊緣處，將於此電磁能隙結構之操作頻段下，等效為一電感，其中當第一走線 210、第二走線 220 之長度越長時，則所對應等效電感之電感值越高。

因此，當一平面波正向入射時，上述複數個電磁能隙結構單元 200(1)~200(N)將等效為一電感電容並聯電路，並且具有高阻抗電磁表面(high impedance surface)與反射相位為 0° 的特性。是故，於電磁能隙結構之操作頻段下，此電磁能隙結構將可近似等效為完全磁導體。

請參照第 5 圖，其繪示依照本發明另一實施方式之具有晶片電感的局部電磁能隙結構圖。如圖所示，電磁能隙結構 600 包含晶片電感 510，電性串接至第一走線 210 與第二走線 220 不相對齊之部分，用以改變其等效電路的電感值，進而調校電磁能隙結構 600 之操作頻率。惟本發明不限於圖式所示，上述之晶片電感 510 可依實際需求決定其個數以及配置方式。

請參照第 6 圖，其繪示依照本發明另一實施方式之電磁能隙結構圖。如圖所示，電磁能隙結構 600 包含電路板 100、接地層 300 與複數個電磁能隙結構單元 200(1)~200(N)。電路板 100 包含一表面 130，而接地層位於表面 130 上。複數個電磁能隙結構單元 200(1)~200(N)形成於電路板 100 之表面 130 上，並且沿著接地層 300 之一邊彼此相互連接，其中每一電磁能隙結構單元包含一走

線 250 與一晶片電容 520。走線 250 形成於表面 130，並且具有一相對短線 252、一第一相對長線 254 與一第二相對長線 256，其中相對短細線 252 與第一相對長細線 254 相互連接，相對短線 252 連接至接地層 300。而晶片電容 520 則電性串接於第一相對長細線 254 與第二相長細線 256 之間。

上述電磁能隙結構 600 中，走線 250 具有一類 L 形外觀，並且為電路板 100 上的印刷走線。接地層 300 則具有一類矩形外觀，其尺寸大小則適用於一般市面筆記型電腦或個人數位助理的接地層之規格。

此外，每一電磁能隙結構單元之走線 250 將於電磁能隙結構之操作頻段下，等效為一電感，其中當走線 250 的長度越長時，則所對應等效電感之電感值越高。並且藉由電性串接晶片電容 520，進而等效形成一電感電容並聯電路，並且具有高阻抗電磁表面(high impedance surface)與反射相位為 0° 的特性。

第 7 圖係繪示根據第 1 圖之具有四個電磁能隙結構單元 200 的電磁能隙結構 600，其中每一電磁能隙結構單元之第一長細線 214 的長度(L_{L1})與第二細走線 220 的長度(L_2)均為 14.2 毫米，並且每一電磁能隙結構單元 200 之長度(L_U)為 20 毫米。每一電磁能隙結構單元之第一短細線 212 的長度(L_{S1})與第三細走線 240 的長度(L_3)皆為 4 毫米。而接地層 300 之長(L_g)、寬(W_g)則分別為 30 毫米與 153 毫米，並且採用厚度為 0.4 毫米的纖維玻璃-環氧電路板(FR-4)，作為電路基板。

第 8A 圖係繪示第 7 圖之電磁能隙結構，藉以電磁模擬軟體 Ansoft High Frequency Structure Simulator (HFSS) 所得之 S_{11} 參數大小值與 S_{21} 參數大小值。其中， S_{11} 參數與 S_{21} 參數可分別代表反射損失(Return Loss)與插入損失(Insertion Loss)。如圖所示，當頻率為 900 百萬赫茲(MHZ)時， S_{11} 參數接近為 0dB，而 S_{21} 參數則趨近於-20dB，其代表此電磁能隙結構，於其操作頻段下將呈現一高阻抗開路的狀態。

第 8B 圖係繪示第 7 圖之電磁能隙結構，以電磁模擬軟體(HFSS)所得之 S_{11} 參數相位值。如 8B 圖所示，當頻率為 900 百萬赫茲時，所對應 S_{11} 參數之相位為 0° 。因此，由上述第 8A 圖與第 8B 圖模擬 S 參數可明瞭，本發明所提供之電磁能隙結構，於 900 百萬赫茲之操作頻率下，將可等效為一電感電容並聯電路，使進而視作為一完全磁導體。

請參照第 9A 圖與第 9B 圖。第 9A 圖與第 9B 圖係繪示依照本發明另一實施方式之具電磁能隙結構之全平面天線的上視圖及下視圖。如圖所示，具電磁能隙結構之全平面天線 700，包含一電路板 100、一接地層 300、八個電磁能隙結構單元 200(1)~200(8)與一天線 400。電路板 100 包含兩相對的一第一表面 110 與一第二表面 120，而接地層 300 位於第一表面 110 上。複數個電磁能隙結構單元 200(1)~200(8)，共同形成於第一表面 110 與第二表面 120 上，彼此間隔排列且分別連接於接地層 300 之一邊，其中每一電磁能隙結構單元均包含一第一走線 210、一第二走線 220 與一連通柱 230。第一走線 210 形成於第一表面 110，並且第一走線 210 具有一相對短線 212 與一相對長線

214，而相對短細線 212 與相對長細線 214 相互連接，其中相對短線 212 更連接至接地層 300。第二走線 220 則形成於第二表面 120，其中第二走線 220 與相對長線 214 部分對齊。連通柱 230 貫穿電路板 100，使得第二走線 220 透過連通柱 230 連接相鄰之電磁能隙結構單元的第二走線 210。此外，天線 400 配置於複數個電磁能隙結構單元 200(1)~200(8)上方。

請繼續參照第 9A 圖。如圖所示，電磁能隙結構更包含一第三走線 240 連接至接地層 300，其中第三走線 240 形成於第一表面 110 上，並且排列於最末個電磁能隙結構單元 200(8)之旁，第三走線 240 經由第 8 個電磁能隙結構單元 200(8)之連通柱 230，以與該第 8 個電磁能隙結構單元 200(8)之第二細走線 220 相連接。並且，接地層 300 的尺寸大小為適用於一般市面筆記型電腦或個人數位助理的接地層之規格。另外，天線 400 則為一單極天線或一偶極天線。

而上述具電磁能隙結構之全平面天線 700 中，接地層 300 具有一類矩形外觀。第一走線 210 與第二走線 220 則分別具有一類 L 形外觀與一類長條形外觀。並且，第三細走線 240 亦具有一類長條形外觀。另外，第一細走線 210、第二細走線 220、第三細走線 240 與天線 400 皆為電路板 100 上的印刷走線。

然而，根據第 8A 圖與第 8B 圖的模擬數據及其說明可知，當一平面波正向入射時，此些複數個電磁能隙結構單元 200(1)~200(8)將可等效為電感電容並聯電路，並且具有

高阻抗電磁表面與反射相位為 0° 的特性，使得接地層 300 近似等效為完全磁導體。因此，根據電磁能隙結構之電磁特性，天線 400 上之電流將與接地層上的鏡向電流同向，進而在不影響天線 400 之場型及增益等特性的狀況下，使天線 400 與接地層 300 之距離大幅縮短。此外，上述實施方式雖僅以八個電磁能隙結構單元說明表達技術特徵，惟本發明並不受限於此，其適切之電磁能隙結構單元數目則端視實際應用時之需求。

請繼續參照第 9A 圖，如圖所示每一電磁能隙結構單元之相對長線 214 的長度(L_{L1})與第二走線 220 的長度(L_2)均為 13.75 毫米，而每一電磁能隙結構單元之相對短線 212 的長度(L_{S1})與第三細走線 240 的長度(L_3)皆為 4 毫米。接地層 300 之長(L_g)、寬(W_g)則分別為 30 毫米與 153 毫米，而天線 400 與接地層 300 的間隔距離長度(L_d)為 9 毫米，並且採用厚度為 0.4 毫米的纖維玻璃-環氧電路板(FR-4)，作為電路基板。天線 400 則為一偶極天線，其天線本體長度設計以對應於二分之一波長，因此，自天線饋入點至開路端的長度(L_o)為 57 毫米。

第 10A 圖係繪示根據第 9A 圖與第 9B 圖之具電磁能隙結構之全平面天線 700，分別使用電磁模擬軟體(HFSS)與實際量測所得之反射損失。由圖中所示之模擬數據與實際量測數據可知，此電磁能隙結構於其操作頻率下，將可等效為完全磁導體。

第 10B 圖係繪示未具電磁能隙結構之全平面天線，分別使用電磁模擬軟體(HFSS)與實際量測所得之輻射場型。

第 10C 圖係繪示根據第 9A 圖與第 9B 圖之具電磁能隙結構之全平面天線 700，分別使用電磁模擬軟體(HFSS)與實際量測所得之輻射場型。如第 10B 圖與第 10C 圖所示，由於此電磁能隙結構，於其操作頻率下，將可視為完全磁導體，使得接地層的鏡向電流與天線上的電流同向，進而保持其原有輻射場型。此外，更改善因為天線與接地層的間距過近，所導致輻射場型歪斜與輻射效率的問題。

然而，當具電磁能隙結構之全平面天線的接地層尺寸改變時，可藉由微調天線長度，以保持天線原有輻射場型特性。舉例而言，在一實施方式中，接地層的尺寸係設計以符合於一般市面筆記型電腦螢幕電路板之接地層規格，其中接地層 300 之長(L_g)、寬(W_g)分別為 200 毫米與 288 毫米，所以此時，自天線饋入點至兩端的長度(L_a)則需縮短為 51 毫米，以獲得相同天線特性。上述實施方式之具電磁能隙結構之全平面天線，其中，天線 400 皆可為單頻天線或雙頻天線。而於設計實務上，雙頻天線與接地層的距離，需至少滿足低頻操作，並可藉由電磁能隙結構以縮短之。另外，在高頻操作下時，由於波長與頻率成反比，其間距將足以使雙頻天線的高頻特性不受接地層所影響退化。

於本發明另一實施方式中，具電磁能隙結構之全平面天線的等效電容電感並聯電路，可透過晶片電感，電性串接於電磁能隙結構單元中，以改變其等效電感值，進而調校電磁能隙結構之操作頻率。然而，由於晶片電感之配置方式已在以上實施方式中具體揭露，因此不再重複贅述之。

雖然本發明已以實施例揭露如上，然其並非用以限定

本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係繪示依照本發明一實施方式之電磁能隙結構的第一面。

第 2 圖係繪示依照本發明一實施方式之電磁能隙結構的第二面。

第 3 圖係繪示依照本發明一實施方式之電磁能隙結構的上視圖。

第 4 圖係繪示沿著第 3 圖之 3-3 線的剖面圖。

第 5 圖係繪示依照本發明另一實施方式之具有晶片電感的局部電磁能隙結構圖。

第 6 圖則繪示依照本發明另一實施方式之電磁能隙結構圖。

第 7 圖係繪示根據第 1 圖之具有四個電磁能隙結構單元之電磁能隙結構。

第 8A 圖係繪示第 7 圖之電磁能隙結構，以電磁模擬軟體(HFSS)所得之 S_{11} 參數大小值與 S_{21} 參數大小值。

第 8B 圖係繪示第 7 圖之電磁能隙結構，以電磁模擬軟體(HFSS)所得之 S_{11} 參數相位值。

第 9A 圖係繪示依照本發明另一實施方式之具電磁能隙結構之全平面天線的上視圖。

第 9B 圖係繪示依照本發明另一實施方式之具電磁能隙結構之全平面天線的下視圖。

第 10A 圖係繪示根據第 9A 圖與第 9B 圖之具電磁能隙結構之全平面天線，分別使用電磁模擬軟體(HFSS)與實際量測所得之反射損失。

第 10B 圖係繪示未具電磁能隙結構之全平面天線，分別使用電磁模擬軟體(HFSS)與實際量測所得之輻射場型。

第 10C 圖係繪示根據第 9A 圖與第 9B 圖之具電磁能隙結構之全平面天線，分別使用電磁模擬軟體(HFSS)與實際量測所得之輻射場型。

【主要元件符號說明】

100：電路板

110：第一表面

120：第二表面

130：表面

200(1)~200(N)：電磁能隙結構單元

210：第一走線

212：相對短線

214：相對長線

220：第二走線

230：連通柱

240：第三走線

250：走線

252：相對短線

254：相對長線

256：相對長線

300：接地層

400：天線

510：晶片電感

520：晶片電容

600：電磁能隙結構

700：具電磁能隙結構之全平面天線

七、申請專利範圍：

1. 一種電磁能隙結構，包含：

一電路板，包含兩相對的一第一表面與一第二表面；

一接地層，位於該第一表面；以及

複數個電磁能隙結構單元，形成於該第一表面與該第二表面上，彼此間隔排列且分別連接於該接地層之一邊，其中每一該電磁能隙結構單元包含：

一第一走線，形成於該電路板之第一表面，該第一走線具有一相對短細線與一相對長細線，該相對短細線與該相對長細線相互連接，且該相對短細線連接至該接地層；

一第二走線，形成於該電路板之第二表面，其中該第二走線部分對齊於該相對長線；以及

一連通柱，貫穿該電路板，並且連接該第二走線與相鄰另一電磁能隙結構單元之該第一走線。

2. 如申請專利範圍第 1 項所述之電磁能隙結構，更包含：

一第三走線，形成於該電路板之第一表面上，其中該第三走線連接該接地層，並且排列於該最末個電磁能隙結構單元之旁，而該第三走線經由該最末個電磁能隙結構單元之連通柱與該最末個電磁能隙結構單元之第二走線連接。

3. 如申請專利範圍第 1 項所述之電磁能隙結構，其中該接地層具有一矩形外觀。

4. 如申請專利範圍第 1 項所述之電磁能隙結構，其中該第一走線具有一 L 形外觀。

5. 如申請專利範圍第 1 項所述之電磁能隙結構，其中該第二走線具有一長條形外觀。

6. 如申請專利範圍第 2 項所述之電磁能隙結構，其中該第三走線具有一長條形外觀。

7. 如申請專利範圍第 2 項所述之電磁能隙結構，其中該第一走線、該第二走線與該第三走線係該電路板上的印刷走線。

8. 如申請專利範圍第 1 項所述之電磁能隙結構，其中每一該電磁能隙結構單元的該相對長線與該第二走線之對齊部分形成一電容。

9. 如申請專利範圍第 1 項所述之電磁能隙結構，其中每一該電磁能隙結構單元的該第一走線與該第二走線分別形成一電感。

10. 如申請專利範圍第 1 項所述之電磁能隙結構，其中更包含至少一晶片電感，電性串接於該些電磁能隙結構單元，用以調校該電磁能隙結構之操作頻率。

11. 如申請專利範圍第 1 項所述之電磁能隙結構，其中該接地層為一筆記型電腦或一個人數位助理的接地層。

12. 一種電磁能隙結構，包含：

一電路板，包含一表面；

一接地層，位於該表面上；以及

複數個電磁能隙結構單元，形成於該表面上，並且沿著該接地層之一邊彼此相互連接，其中每一該電磁能隙結構單元包含：

一走線，形成於該電路板之表面上，該走線具有一相對短細線、一第一相對長細線與一第二相對長細線，該相對短細線與該第一相對長細線相互連接，且該相對短細線連接至該接地層；以及

一晶片電容，電性串接於該第一相對長細線與該第二相對長細線之間。

13. 如申請專利範圍第 12 項所述之電磁能隙結構，其中該走線具有一 L 形外觀。

14. 如申請專利範圍第 12 項所述之電磁能隙結構，其

中該走線係該電路板上的印刷走線。

15. 如申請專利範圍第 12 項所述之電磁能隙結構，其中每一該電磁能隙結構單元的該走線接分別形成一電感。

16. 如申請專利範圍第 12 項所述之電磁能隙結構，其中該接地層為一筆記型電腦或一個人數位助理的接地層。

17. 具電磁能隙結構之全平面天線，包含：

一電路板，包含兩相對的一第一表面與一第二表面；

一接地層，位於該第一表面；

複數個電磁能隙結構單元，形成於該第一表面與該第二表面上，彼此間隔排列且分別連接於該接地層之一邊，其中每一該電磁能隙結構單元包含：

一第一走線，形成於該電路板之第一表面，該第一走線具有一相對短細線與一相對長細線，並且該相對短細線與相對長細線相互連接，其中該相對短細線連接至該接地層；

一第二走線，形成於該電路板之第二表面，其中該第二走線部分對齊於該相對長線；以及

一連通柱，貫穿該電路板，並且連接該第二走線與相鄰另一電磁能隙結構單元之該第一走線；

一第三走線，形成於該電路板之第一表面上，其中該第三細走線連接該接地層，並且排列於該最末個電磁能隙

結構單元之旁，而該第三走線經由該最末個電磁能隙結構單元之連通柱與該最末個電磁能隙結構單元之第二走線連接；以及

一天線，配置於該些電磁能隙結構單元上方。

18. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該接地層具有一矩形外觀。

19. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該第一走線具有一 L 形外觀。

20. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該第二走線具有一長條形外觀。

21. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該第三走線具有一長條形外觀。

22. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該第一走線、該第二走線、該第三走線與該天線係該電路板上的印刷走線。

23. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該電磁能隙結構單元之長度至少大於該天線之長度。

24. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該電磁能隙結構單元的該相對長線與該第二走線之對齊部分形成一電容。

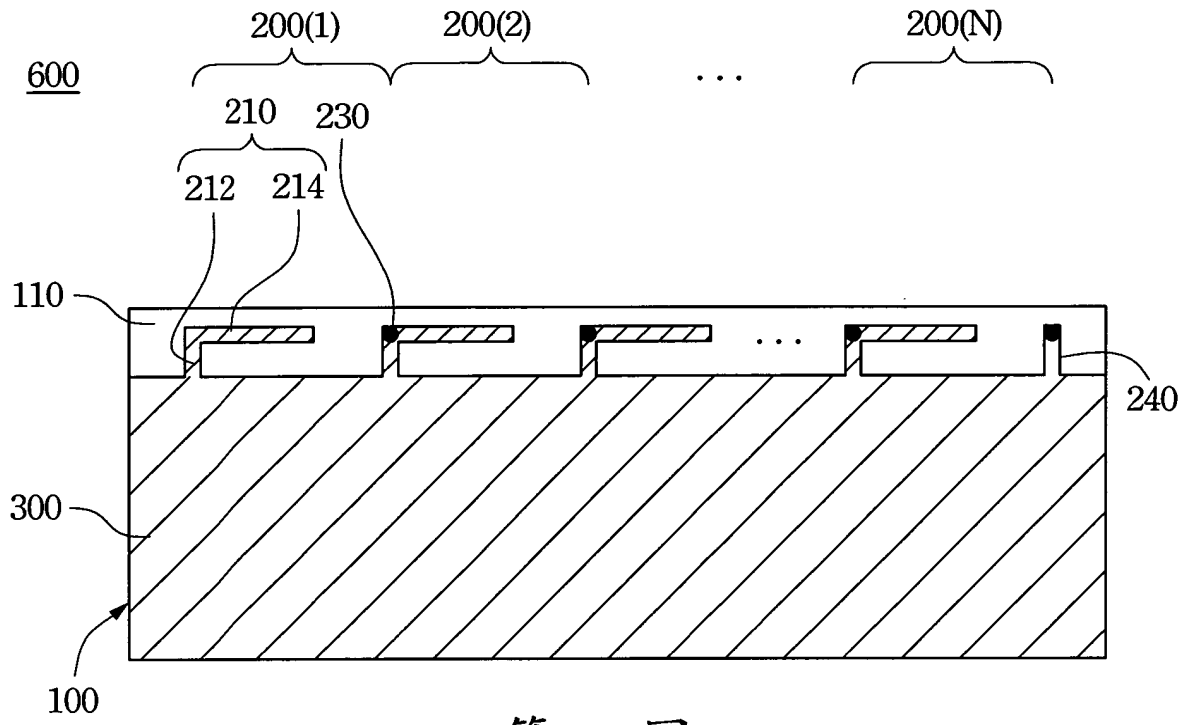
25. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該電磁能隙結構單元的該第一走線與該第二走線分別形成一電感。

26. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中更包含至少一晶片電感，電性串接於該些電磁能隙結構單元，用以調校該具電磁能隙結構之全平面天線結構的操作頻率。

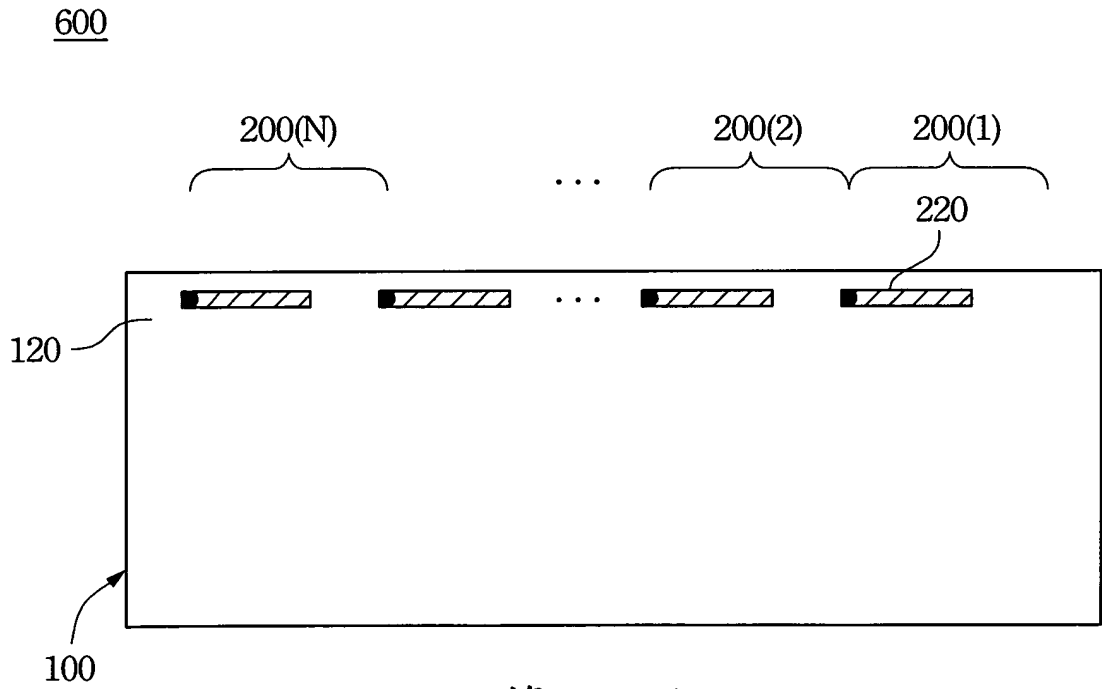
27. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該接地層為一筆記型電腦或一個人數位助理的接地層。

28. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該天線為一單極天線或一偶極天線。

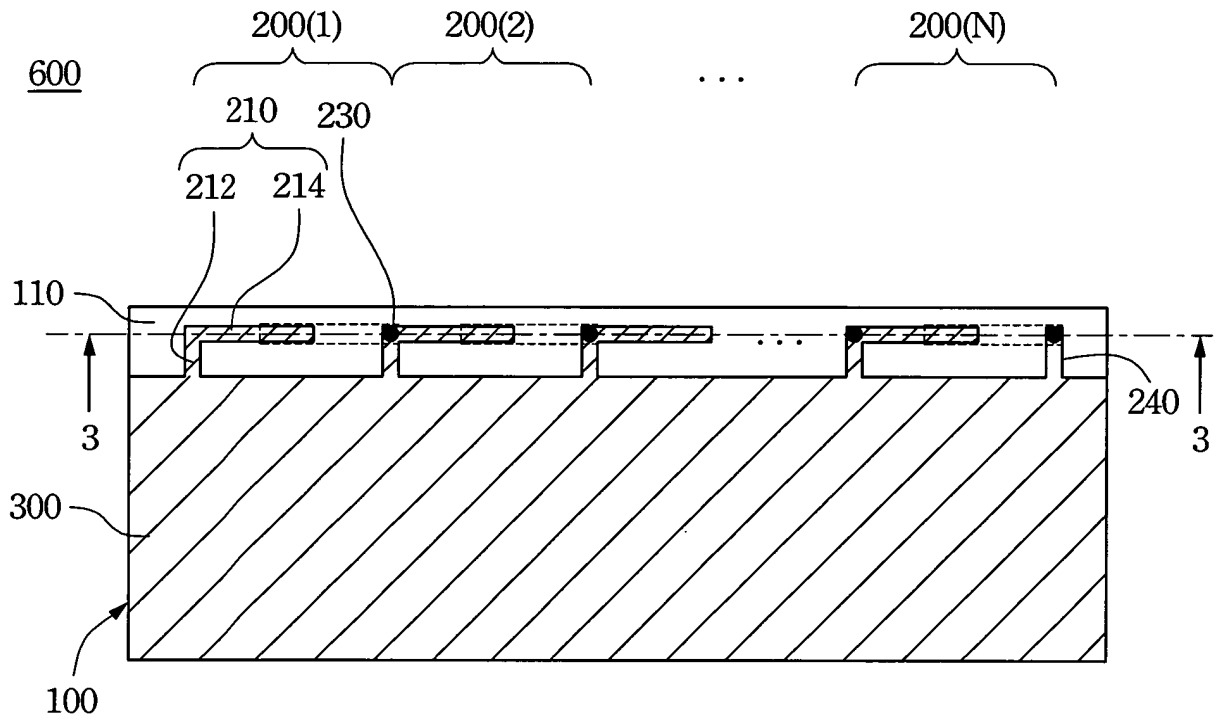
29. 如申請專利範圍第 17 項所述之具電磁能隙結構之全平面天線結構，其中該天線為一單頻天線或一雙頻天線。



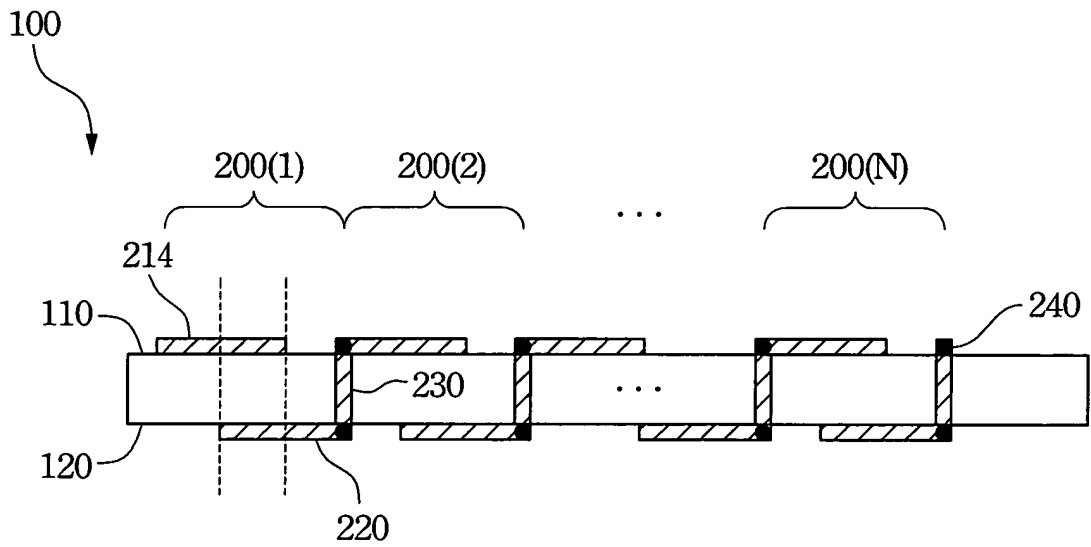
第 1 圖



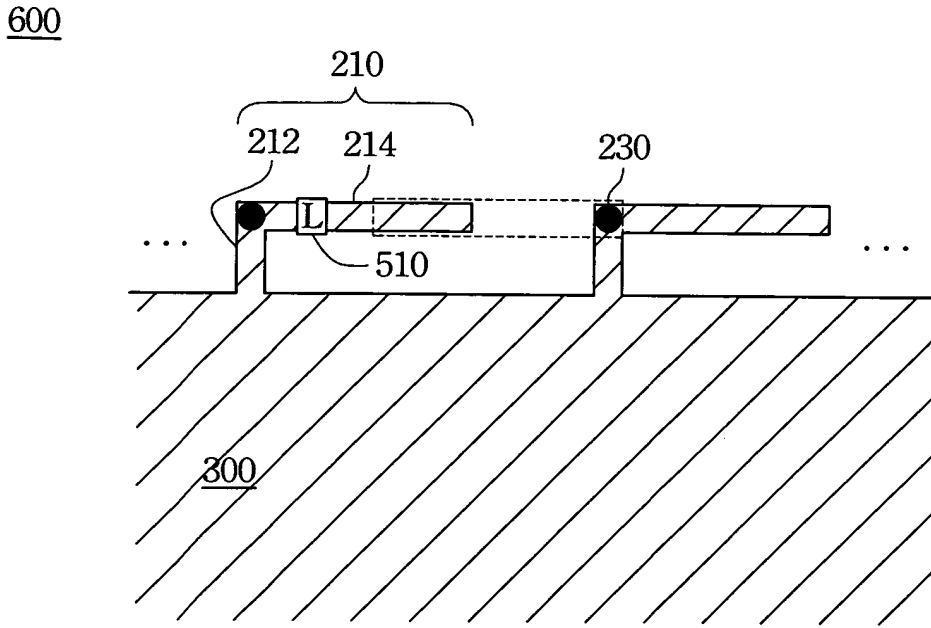
第 2 圖



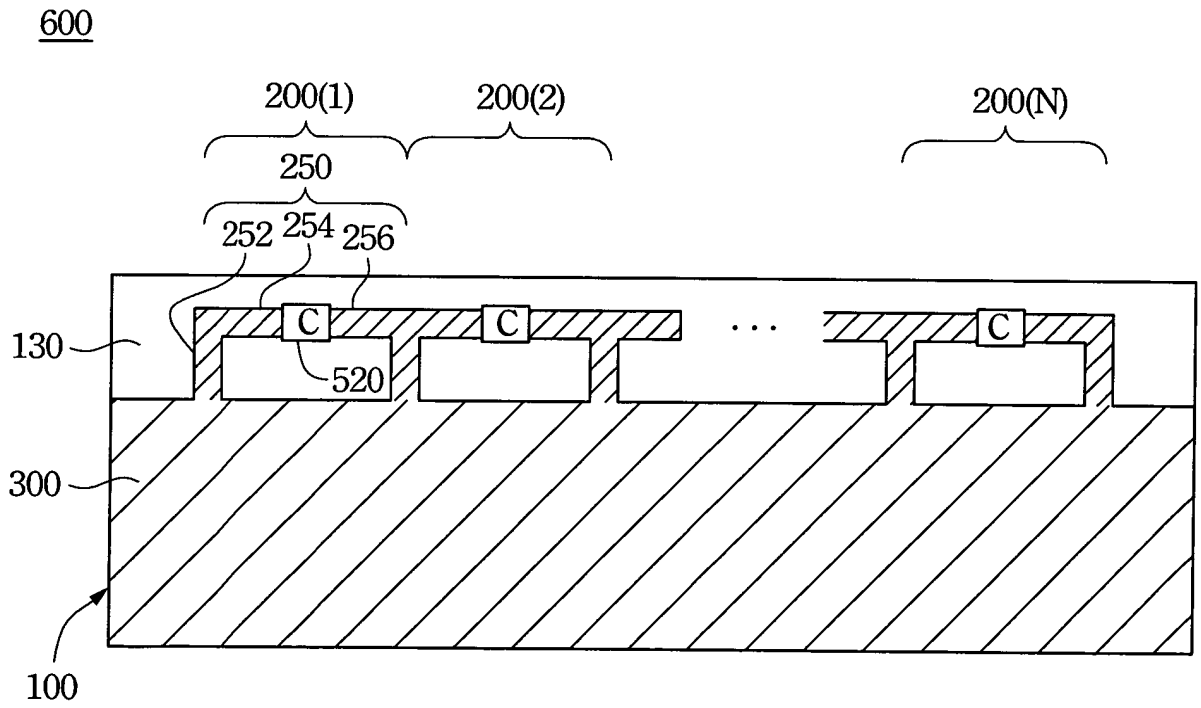
第 3 圖



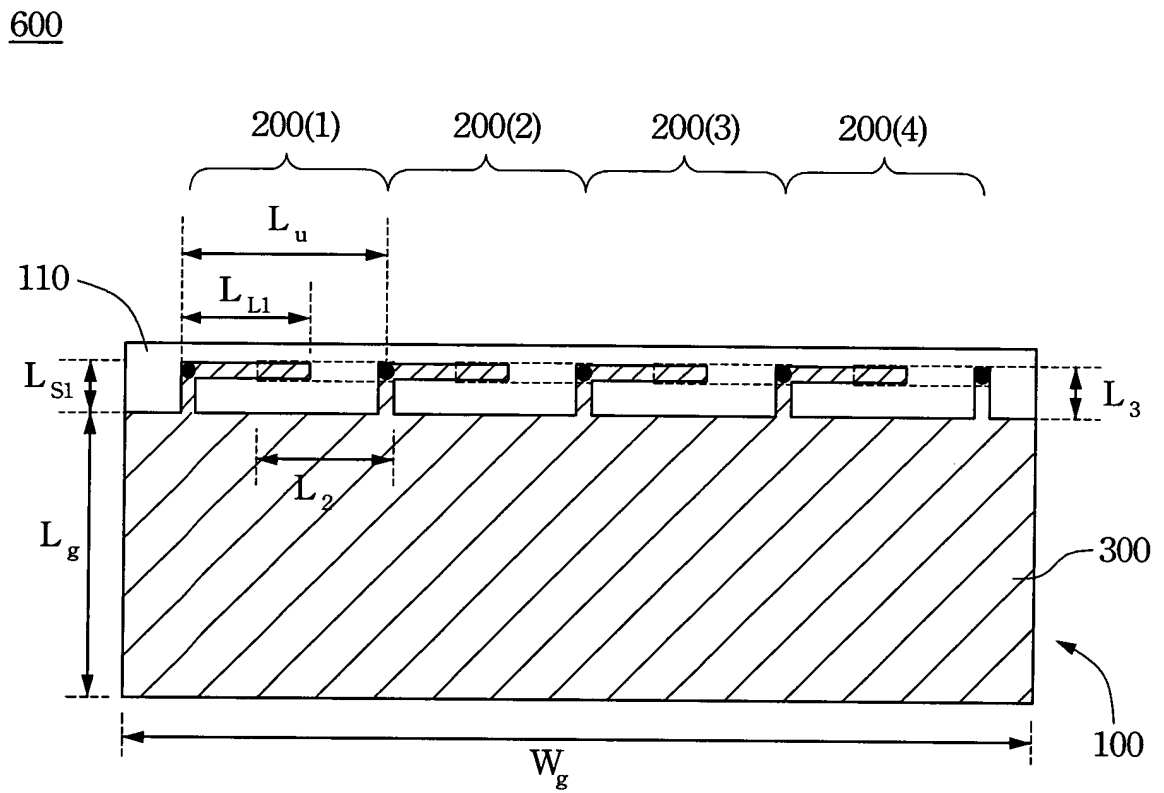
第 4 圖



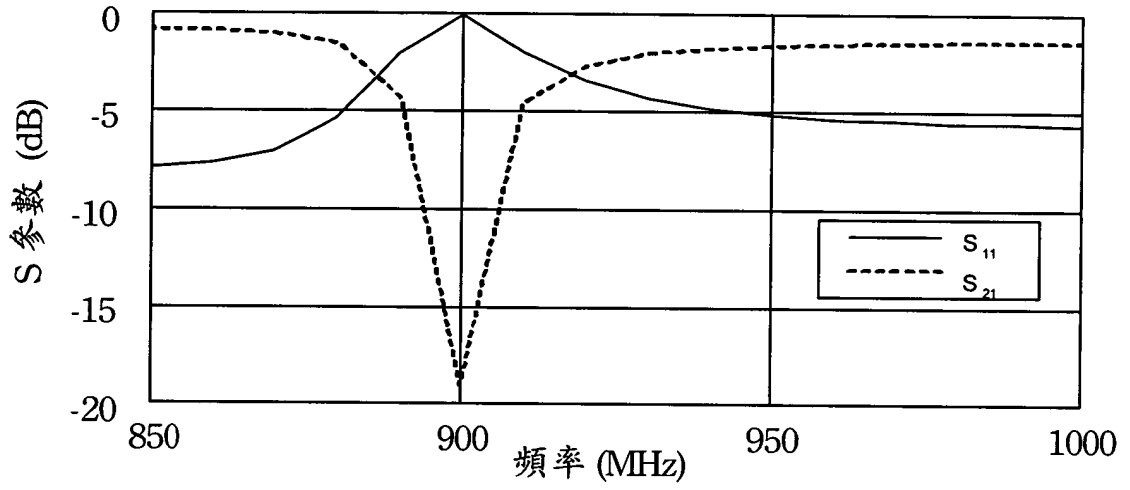
第 5 圖



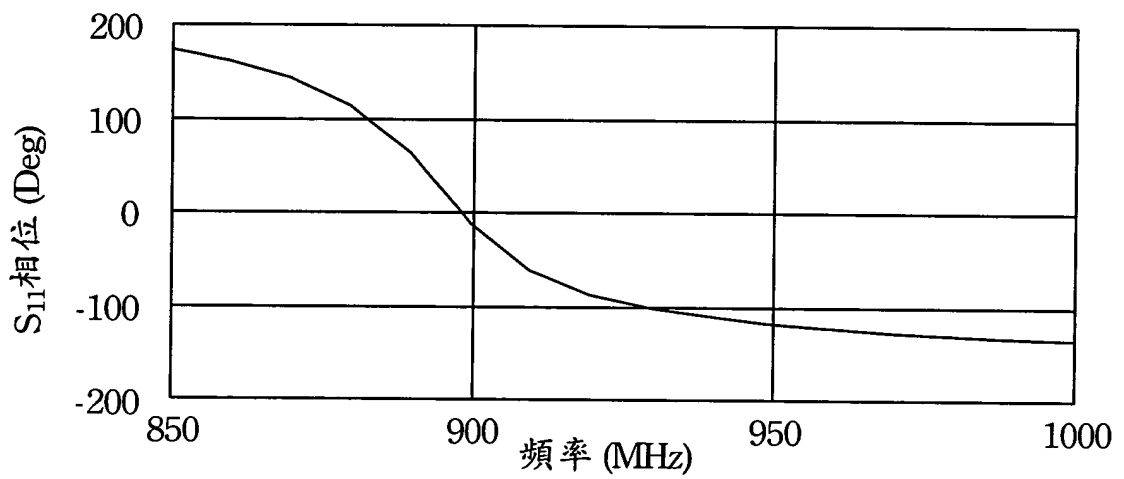
第 6 圖



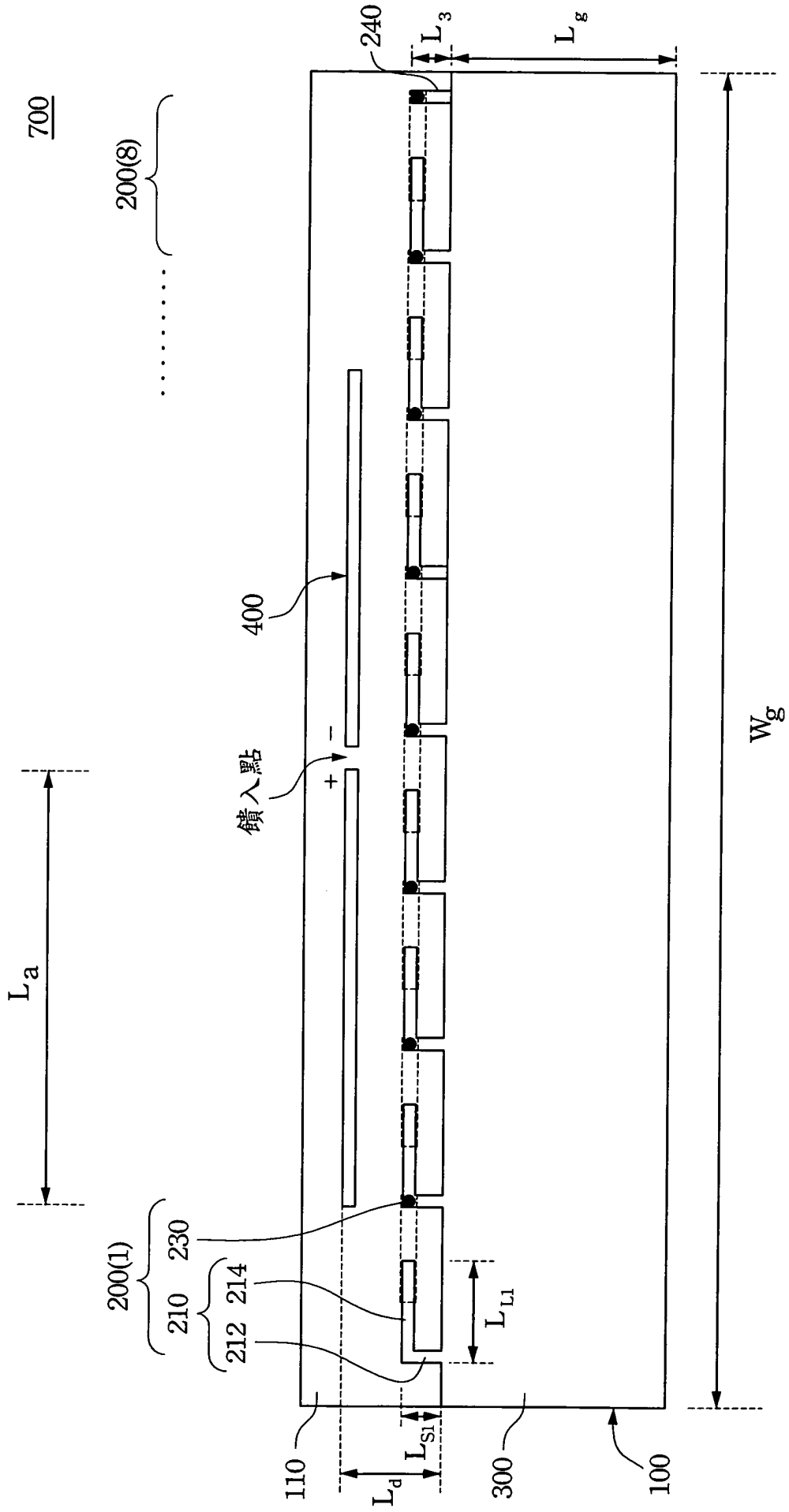
第 7 圖



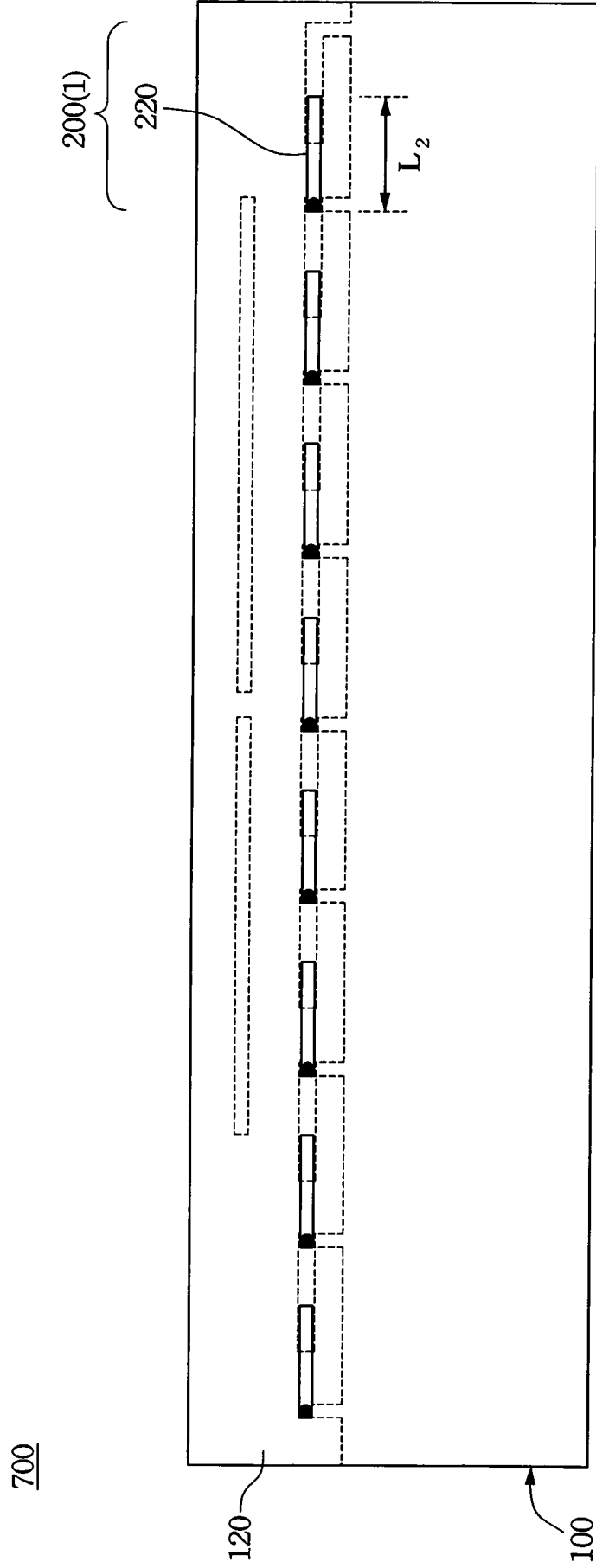
第 8A 圖



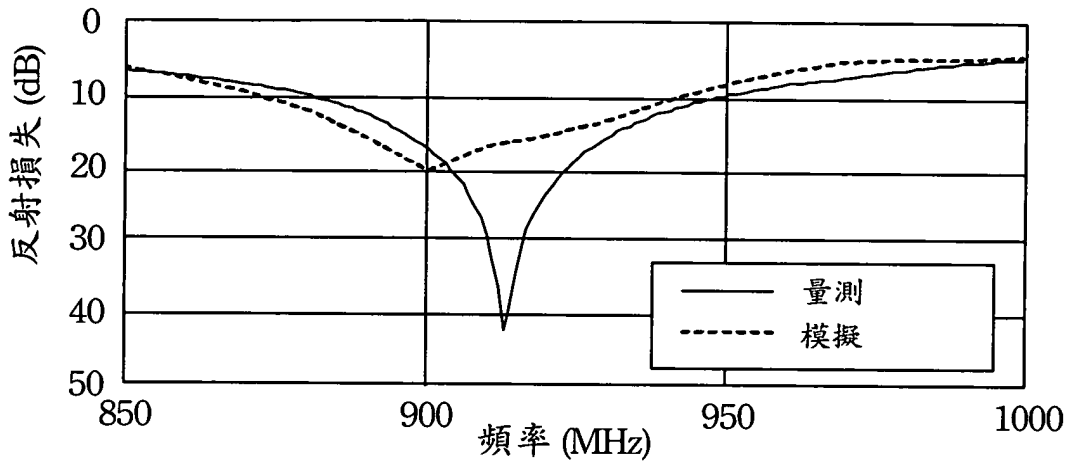
第 8B 圖



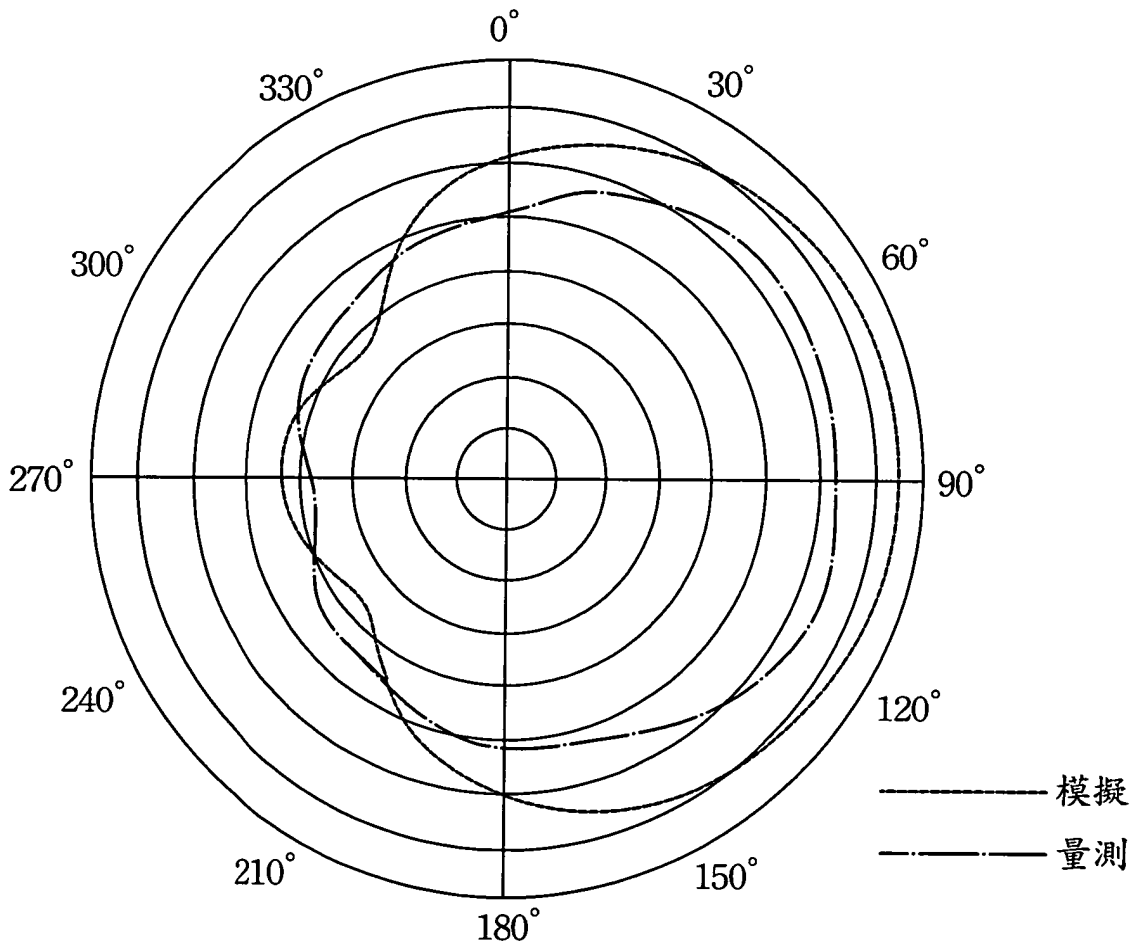
第 9A 圖



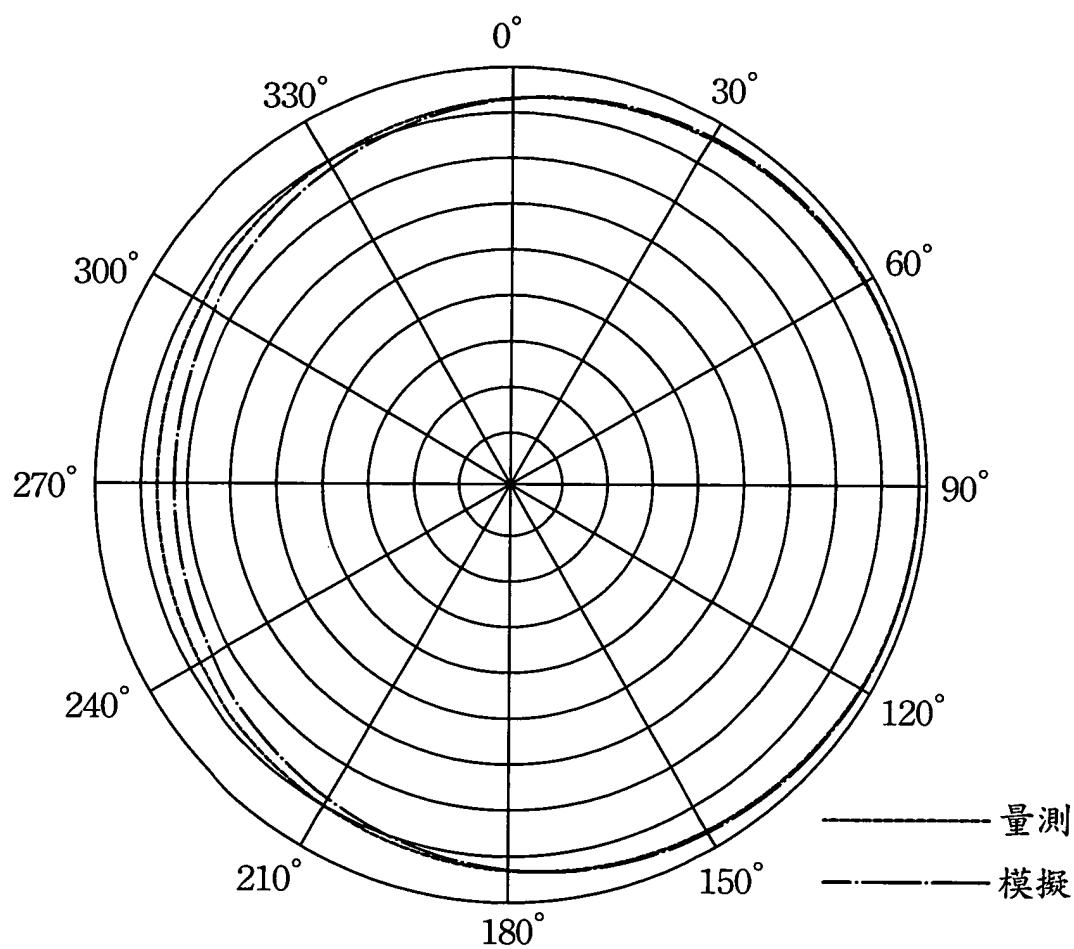
第 9B 圖



第 10A 圖



第 10B 圖



第 10C 圖