



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201108120 A1

(43)公開日：中華民國 100 (2011) 年 03 月 01 日

(21)申請案號：098128200

(22)申請日：中華民國 98 (2009) 年 08 月 21 日

(51)Int. Cl. : G06K19/07 (2006.01)

H01F17/04 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：鄭裕庭(TW)；趙子元(TW)；許名伽(TW)；陳智(TW)；劉健民(TW)

(74)代理人：蔡秀玫

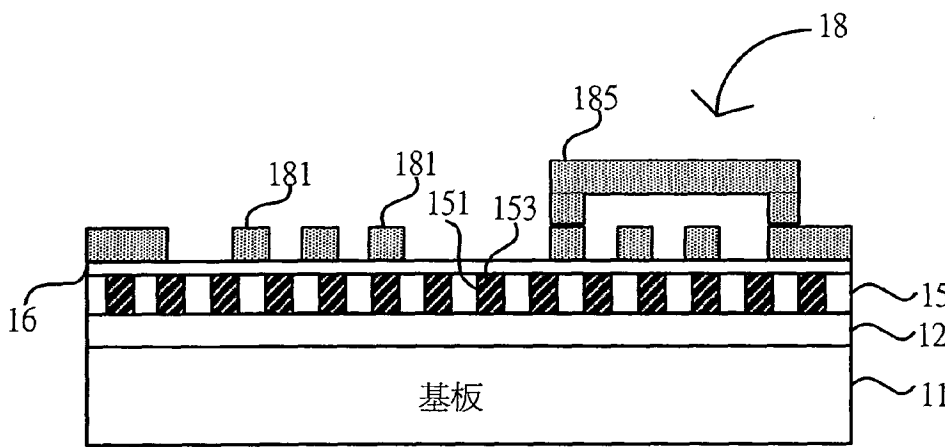
申請實體審查：有 申請專利範圍項數：31 項 圖式數：3 共 21 頁

(54)名稱

晶片電感結構及其製造方法

(57)摘要

本發明係有關於一種晶片電感結構及其製造方法，其包含一基板、一多孔層、複數導體與一電感，多孔層設置於基板上方且有複數孔洞，該些導體分別設於該些孔洞，電感設置於多孔層上方。本發明藉由該些導體作為核心，如此可增加電感值，且可縮小晶片電感的面積，並降低生產成本，此外本發明之製造方法簡單，且相容於 CMOS 製程，而可降低生產成本。



- 11：基板
- 12：絕緣層
- 15：多孔層
- 16：絕緣層
- 18：電感
- 151：孔洞
- 153：導體
- 181：線圈
- 185：連接導線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98128200

※申請日： 98.8.21

※IPC 分類： G06K 19/07 (2006.01)

一、發明名稱：(中文/英文)

H01F 17/04 (2006.01)

晶片電感結構及其製造方法

二、中文發明摘要：

本發明係有關於一種晶片電感結構及其製造方法，其包含一基板、一多孔層、複數導體與一電感，多孔層設置於基板上方且有複數孔洞，該些導體分別設於該些孔洞，電感設置於多孔層上方。本發明藉由該些導體作為核心，如此可增加電感值，且可縮小晶片電感的面積，並降低生產成本，此外本發明之製造方法簡單，且相容於 CMOS 製程，而可降低生產成本。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第（ 一 ）圖。

(二)本代表圖之元件符號簡單說明：

11	基板
12	絕緣層
15	多孔層
151	孔洞
153	導體
16	絕緣層
18	電感
181	線圈
185	連接導線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電感，特別是指晶片電感結構及其製造方法。

【先前技術】

隨著現今科技的進步，資訊時代的來臨，網路的蓬勃發展，進而發展出許多各式各樣的電子產品以供民眾使用，以因應民眾的需求，該些電子產品的功能越來越為強大周全，而帶給現今民眾在生活上許多便利。現今所有電子產品日趨小型化，而講究輕與薄，電子產品在高密度裝配下，相對的所需要的電子元件就會越來越小，尤其是對於應用於攜帶式無線通訊電子產品之射頻積體電路而言。

目前對於需求日漸增加的射頻積體電路而言，最緊迫的需要並不是主動元件的效率，而是電阻、電容及電感等被動元件的特性如何增加。以現行的半導體製程技術，可以提供比較良好且容易實現及模擬的電阻及電容，但對被動式電感而言，可以選擇使用的就只有螺旋式電感（Spiral inductor）。螺旋式電感的電感值會因所使用半導體製程的關係，而有相當大的差異。現今提升晶片電感之電感值的方式，大都是增加電感之線圈數目，如此即會增加電感所佔用之面積，如此即不利於晶片電感小型化。所以，如何有效提升晶片電感之電感值，仍然是現今發展晶片電感之一項重大課題。此外，電感的Q值(Quality factor)也會因為基材的損耗而降低。

因此，本發明即在針對上述問題而提出一種晶片電感結構及其製造方法，其不僅可改善上述習用缺點，而增加電感值，又可減少電感面積、降低製造成本，以解決上述問題。

【發明內容】

本發明之主要目的，在於提供一種晶片電感結構及其製造方法，其利用複數導體設置於一多孔層的複數孔洞中，以作為核心，而達提高電感值

與縮減電感占用面積之目的。

本發明之次要目的，在於提供一種晶片電感結構及其製造方法，其結構簡單，且製造方法相容於 CMOS 製程，所以可達降低成本之目的。

本發明之次要目的，在於提供一種晶片電感結構及其製造方法，其具有高強度之異向磁場 (anisotropy magnetic field)，而提高鐵磁共振 (Ferromagnetic Resonance, FMR) 之頻率。

本發明晶片電感結構，其包含一基板、一多孔層、複數導體與一電感，本發明之製造方法係提供基板；形成多孔層於基板上方，且多孔層有複數孔洞；形成該些導體於該些孔洞中；形成電感於多孔層的上方。由於本發明藉由該些導體作為核心，所以可有效提升晶片電感之電感值，且可有效降低電感所佔用之面積，且因為本發明之製造方法可相容於現有之 CMOS 製程，所以可降低生產成本。

【實施方式】

茲為使 貴審查委員對本發明之技術特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

首先，請參閱第一圖，其係本發明之晶片電感之一較佳實施例的結構圖。如圖所示，本發明晶片電感包含一基板 11、一多孔層 15、複數導體 153 與一電感 18。多孔層 15 設置於基板 11 上方，且多孔層 15 設有複數孔洞 151，而該些導體 153 分別設於該些孔洞 151，本發明之晶片電感之多孔層 15 之一較佳實施例為一奈米多孔層，導體 153 之材料為任何鐵磁材料，而鐵磁材料可包含鎳。本發明之多孔層 15 為一非導體，其一實施例可為氧化鋁層，但並不侷限本發明之多孔層 15 僅能為氧化鋁層。

由於，本發明之多孔層 15 為非導體，且該些孔洞 151 並未相通，所以該些導體 153 為互相電性隔離。本發明之導體 153 之一較佳實施例為呈柱狀，且導體 153 之一實施例的深寬比大於 3:1，導體 153 之長寬比可藉由多孔層 15 之厚度與孔洞 151 之直徑來決定。電感 18 設置於多孔層 15 上方，

多孔層 15 之厚度與孔洞 151 之直徑來決定。電感 18 設置於多孔層 15 上方，本發明之電感 18 之一實施例為螺旋電感，其包含複數線圈 181 與一連接導線 185。如第二圖所示，連接導線 185 為一跨線，其用於連接電感 18 最內部之線圈 181，並跨越其餘線圈 181。本發明之一實施例中，電感 18 之外形可為任何幾何形狀，例如矩形、八角形或者圓形等。本發明之晶片電感結構更包含一絕緣層 12，絕緣層 12 設置於基板 11 上方，而位於基板 11 與多孔層 15 之間，以用於電性隔離基板 11 與多孔層 15。

本發明設置多孔層 15，且設置該些導體 153 於該些多孔層 15 之該些孔洞 151 中，而成為一複合材料，以作為核心，如此可有效提高電感 18 之電感值，本發明與習知晶片電感相較之下，本發明可有效降低電感所佔用之晶片面積，以達小型化之目的。此外，本發明之晶片電感的結構簡單，所以可降低生產成本。

請一併參閱第三 A 圖至第三 H 圖，係本發明之一較佳實施例之晶片電感的製造過程的結構示意圖。首先，如第三 A 圖所示，提供基板 11，並形成一非導電層 14 於基板 11 上方，以供後續如第三 B 圖所示，形成孔洞 15 於非導電層 14，而形成多孔層 15。此外，於形成多孔層 15 之步驟前，係先形成絕緣層 12 於基板 11 上方，以電性隔離基板 11 與多孔層 15。接著，如第三 B 圖所示，形成孔洞 151 於非導電層 14，而形成多孔層 15。上述，非導電層 14 之一較佳實施例為氧化鋁層。之後，如第三 C 圖所示，形成導體 153 於孔洞 151 中，而形成複合材料以作為核心。接著，即可進行後續形成電感 18 於多孔層 15 之步驟。

上述形成非導電層 14 之步驟，係可先形成鋁層，之後氧化該鋁層而為氧化鋁層，即形成非導電層 14。上述形成氧化鋁層而作為非導電層 14 之方式，僅為本發明形成非導電層 14 之其一實施例，並非侷限本發明之非導電層 14 僅能為氧化鋁層。本發明可利用蒸鍍方式形成鋁層於基板 11，且利用陽極處理方式，而氧化該鋁層以形成非導電層 14。本發明製造多孔層 15 之一方式，係可在各種酸性溶液中對鋁層進行陽極處理 (anodizing process)，且控制各種特定處理參數，例如施加電壓、電流、溫度與時間

等，這些處理參數對該些孔洞 151 之直徑與長度而言具有相當大的關聯性。本發明之一實施方式，係將鋁層置於一 0.3 莫爾 (M) 之乙二酸 (oxalic acid, $H_2C_2O_4$) 溶液，且於室溫下施加 40 伏特 (V) 之電壓於鋁層，直到鋁層完全氧化為止，即形成氧化鋁層而為非導電層 14。

承接上述，於完全氧化該鋁層之後，於 $400^\circ C$ 下對氧化鋁層進行退火，退火時間為兩小時，以強化其結構。之後，於溫度 $30^\circ C$ 下將退火後的非導電層 14，置入至一 5% 磷酸溶液 (H_3PO_4) 中，置入時間為 50 分鐘，以形成均勻分佈之奈米孔洞 151，該些孔洞 151 的直徑為 70 奈米 (nm)，如此即形成多孔層 15。接著，即形成導體 153 於該些孔洞 151，本發明之一實施方式，係先將多孔層 15 分別浸泡於氯化錫 ($SnCl_2$) 2 分鐘與氯化鈀 ($PdCl_2$) 30 秒，以活化多孔層 15 之表面。接著，在 $60^\circ C$ 下電鍍鎳 (Ni) 於多孔層 15，電鍍時間為一分鐘，如此即形成導體 153 於多孔層 15。上述電鍍方式可為無電極 (electroless) 電鍍。然後，研磨多孔層 15 之表面，以將多孔層 15 之表面的鎳移除，以讓多孔層 15 之該些孔洞 151 的導體 153 (鎳) 為電性隔離，如此可降低渦旋電流損耗 (eddy current loss)。此外，更可進一步進行快速退火 (Rapid-Thermally Annealing) 至 $400^\circ C$ 兩分鐘，以讓導體 153 具有較佳的磁特性。

上述實施方式，僅為本發明之一實施方式，並不侷限本發明形成多孔層 15 之方式僅為如此。且導體 153 之種類也並非僅為鎳，可為其他任何種類之鐵磁材料。本發明藉由多孔層 15 與導體 153 作為核心，所以其異向磁場 (anisotropy magnetic field) 強度高，而提高鐵磁共振 (Ferromagnetic Resonance, FMR) 之頻率。

於完成多孔層 15 後，即可接續進行形成電感 18 之製程。如第三 D 圖所示，於形成電感 18 之前，先形成一絕緣層 16 於多孔層 15 上方，而位於多孔層 15 與電感 18 之間，以電性隔離多孔層 15 與電感 18。本發明形成電感 18 之其中一方式為採用電鍍方式，以下係詳細說明形成電感 18 的製程。復參閱第三 D 圖，先形成一第一種子層 (seed layer) 17 於絕緣層 16 上方。之後，如第三 E 圖所示，依據欲形成之電感 18 之線圈 181 的圖形，而形成

一第一光阻層 21 於第一種子層 17 上方，以遮蔽部分第一種子層 17，之後形成一第一金屬層於未被第一光阻層 21 所遮蓋之第一種子層 17，也就是形成電感 18 中的複數線圈 181 於第一種子層 17 上方。

接下來，如第三 F 圖所示，移除第一光阻層 21 且在第一金屬層上方形成一第二光阻層 22，以遮蔽第一金屬層，即遮蔽線圈 181。第二光阻層 22 之圖形呈橋狀，以供後續形成第一圖所示之電感 18 的連接導線 185，即形成電感 18 之跨線，而用於連接電感 18 最內部之線圈 181 並跨越其餘線圈 181。然後，形成一第二種子層 19 於第二光阻層 22，並且形成一第三光阻層 23 於第二種子層 19 上方，但第三光阻層 23 並未全部遮蔽第二種子層 19。之後，請參閱第三 G 圖，在未受到第三光阻層 23 遮蔽之第二種子層 19 上方，形成一第二金屬層，即形成連接導線 185。最後，請參閱第三 H 圖，移除光阻層 22 與 23 與種子層 17 與 19，如此即完成如第一圖所示之本發明的晶片電感。上述之第一金屬層與第二金屬層之材料包含銅，即電感 18 之線圈 181 與連接導線 185 之材料可為銅，但不侷限本發明之電感 18 之材料僅為銅。此外，第一種子層 17 與第二種子層 19 之材料亦包含有銅，且第一種子層 17 之材料更包含有鈦。

由於本發明設置多孔層 15 於基板 11，且於多孔層 15 之孔洞 151 設置導體 153，而為複合材料作為核心，如此可有效提高電感值，而且可降低電感所佔用之面積即可達到所需之電感值。此外，因為本發明之製程簡單且可相容於現有之 CMOS 製程，所以於進行習知 CMOS 製程時，可一併製造本發明之晶片電感，而不需要另外特殊的設備，因此可有效降低成本。另外，本發明適合於任何幾何形狀之電感，而不受限制。本發明更可藉由提高多孔層 15 之孔洞 151 分佈密度，而提高電感之電感值。除此之外，因為本發明藉由導體 153 作為核心，所以可提高鐵磁共振之頻率，而消除鐵磁共振之影響，以維持電感之 Q 效能 (Q performance)。

綜上所述，本發明晶片電感結構及其製造方法包含基板、多孔層、複數導體與電感，基板上方形形成多孔層，多孔層具有複數孔洞，複數孔洞中設有該些導體，且該些導體相互絕緣，電感形成於多孔層上方，本發明利

用該些導體作為核心，如此可有效提高電感值，且在高頻時電感值仍會增加，如此可降低電感所佔用之面積，以利於小型化。此外，本發明之製造方法可相容於現有 CMOS 製程，所以可有效降低生產成本。

故本發明實為一具有新穎性、進步性及可供產業上利用者，應符合我國專利法專利申請要件無疑，爰依法提出發明專利申請，祈 鈞局早日賜准專利，至感為禱。

惟以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第一圖係本發明之晶片電感之一實施例的結構圖；

第二圖係本發明之晶片電感之一實施例的上視圖；以及

第三 A 圖至第三 H 圖係本發明之一實施例之晶片電感的製造過程的結構示意圖。

【主要元件符號說明】

- 11 基板
- 12 絕緣層
- 14 非導電層
- 15 多孔層
- 151 孔洞
- 153 導體
- 16 絕緣層
- 17 第一種子層
- 18 電感
- 181 線圈

- 185 連接導線
- 19 第二種子層
- 21 第一光阻
- 22 第二光阻
- 23 第三光阻

七、申請專利範圍：

1. 一種晶片電感結構，其包含有：
一基板；
一多孔層，設置於該基板上方，且有複數孔洞；
複數導體，設於該些孔洞中；以及
一電感，設置於該多孔層上方。
2. 如申請專利範圍第 1 項所述之晶片電感結構，更包含：
一絕緣層，設置於該基板上方，而位於該基板與該多孔層之間。
3. 如申請專利範圍第 1 項所述之晶片電感結構，更包含：
一絕緣層，設置於該些多孔層上方，而位於該多孔層與該電感之間。
4. 如申請專利範圍第 1 項所述之晶片電感結構，其中該電感包含複數線圈。
5. 如申請專利範圍第 1 項所述之晶片電感結構，其中該多孔層為一奈米多孔層。
6. 如申請專利範圍第 1 項所述之晶片電感結構，其中該些導體之材料為一鐵磁材料。
7. 如申請專利範圍第 6 項所述之晶片電感結構，其中該鐵磁材料包含鎳。
8. 如申請專利範圍第 1 項所述之晶片電感結構，其中該些導體之間為互相隔離。
9. 如申請專利範圍第 1 項所述之晶片電感結構，其中該些導體呈柱狀。
10. 如申請專利範圍第 9 項所述之晶片電感結構，其中該些導體柱深寬比大於 3:1。
11. 如申請專利範圍第 1 項所述之晶片電感結構，其中該多孔層為一非導體。
12. 如申請專利範圍第 1 項所述之晶片電感結構，其中該多孔層為一氧化鋁層。

13. 一種晶片電感製造方法，其包含有：
提供一基板；
形成一多孔層於該基板上方，且該多孔層有複數孔洞；
形成複數導體於該些孔洞中；以及
形成一電感於該多孔層上方。
14. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中於形成一多孔層於該基板上方之步驟前，更包含：
形成一絕緣層於該基板上方。
15. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中於形成一電感於該多孔層上方之步驟前，更包含：
形成一絕緣層於該多孔層上方。
16. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中該多孔層為一非導體。
17. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中形成一多孔層之步驟，更包含：
形成一非導電層於該基板上方；以及
形成該些孔洞於該非導電層，而形成該多孔層。
18. 如申請專利範圍第 17 項所述之晶片電感製造方法，其中該非導電層包含氧化鋁。
19. 如申請專利範圍第 17 項所述之晶片電感製造方法，其中形成一非導電層之步驟，更包含：
形成一鋁層於該基板上方；以及
氧化該鋁層，形成該非導電層。
20. 如申請專利範圍第 19 項所述之晶片電感製造方法，其中形成該鋁層之方式包含一蒸鍍。

21. 如申請專利範圍第 19 項所述之晶片電感製造方法，其中氧化該鋁層之方式包含一陽極處理。
22. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中該多孔層為一奈米多孔層。
23. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中該些導體之材料為一鐵磁材料。
24. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中該鐵磁材料包含鎳。
25. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中該些導體之間為互相隔離。
26. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中該些導體呈柱狀。
27. 如申請專利範圍第 26 項所述之晶片電感製造方法，其中該些導體柱深寬比大於 3:1。
28. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中形成該些導體之方式包含一無電極電鍍。
29. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中形成該電感之方式包含一電鍍。
30. 如申請專利範圍第 13 項所述之晶片電感製造方法，其中形成該電感之步驟包含：
 - 形成一第一種子層；
 - 形成一第一光阻層於該第一種子層上方；
 - 形成一第一金屬層於該第一種子層上方；
 - 移除該第一光阻層；
 - 形成一第二光阻層於該第一金屬層上方；
 - 形成一第二種子層於該第二光阻層上方；

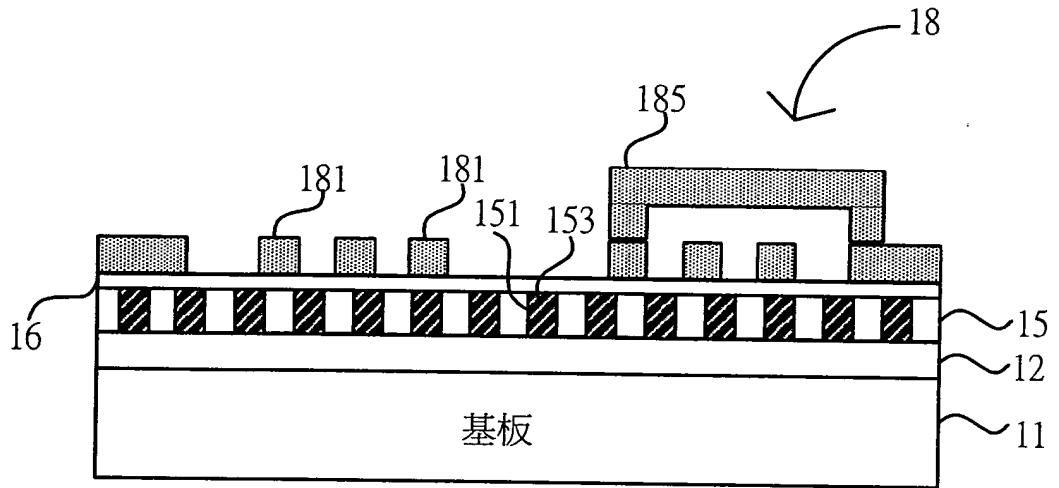
形成一第三光阻層於該第二種子層上方；

形成一第二金屬層於該第二種子層上方；以及

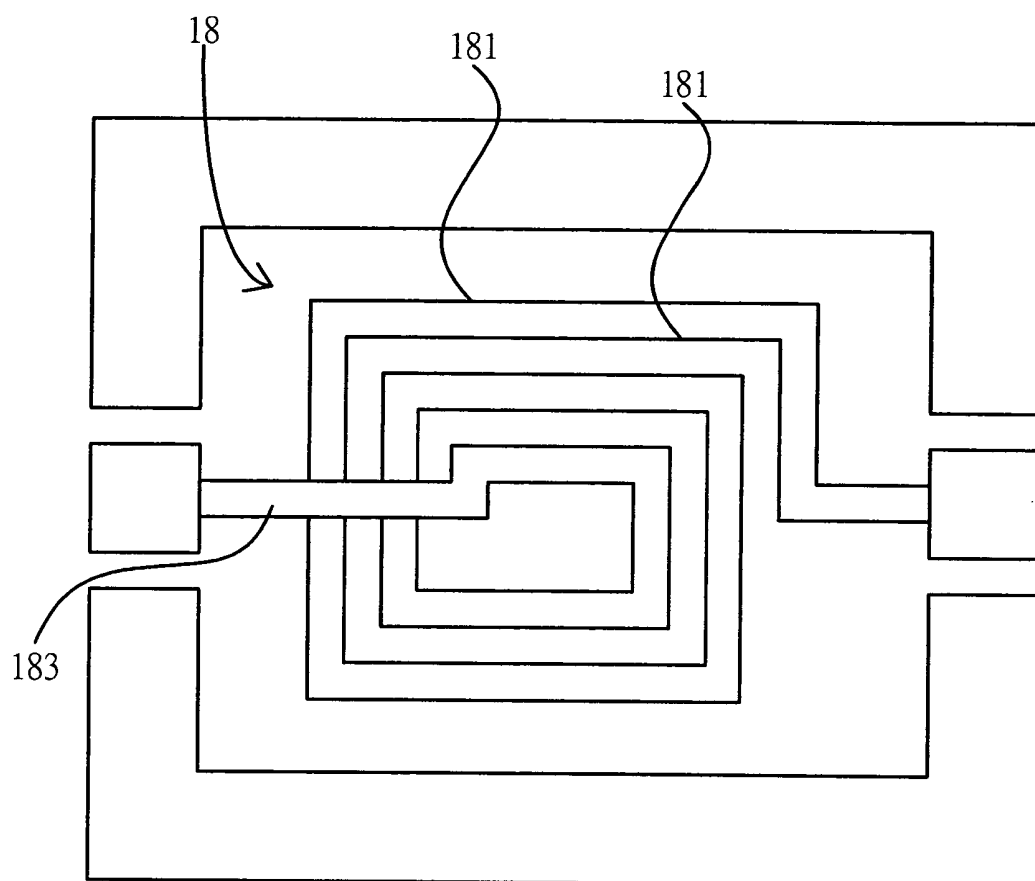
移除該第二光阻層、該第三光阻層、該第一種子層與該第二種子層。

31. 如申請專利範圍第 30 項所述之晶片電感製造方法，其中該第一金屬層與該第二金屬層包含銅。

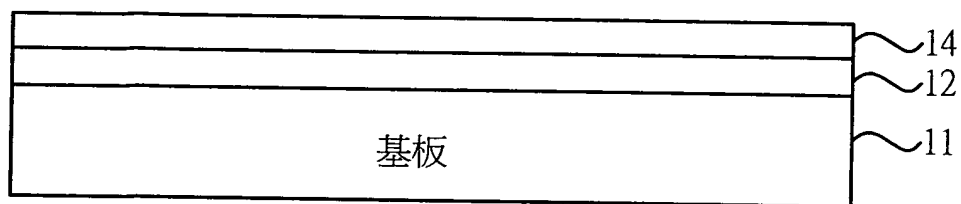
八、圖式：



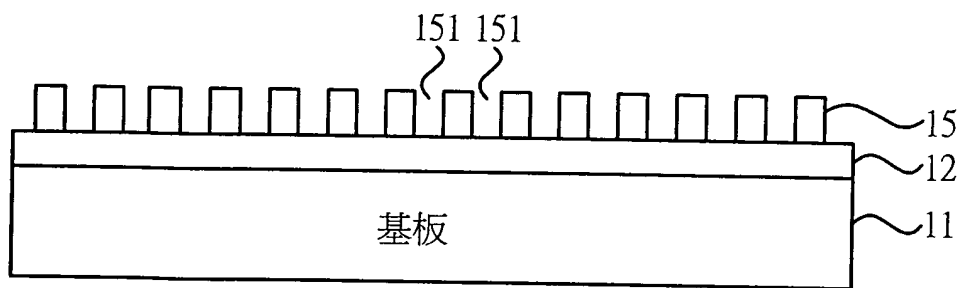
第一圖



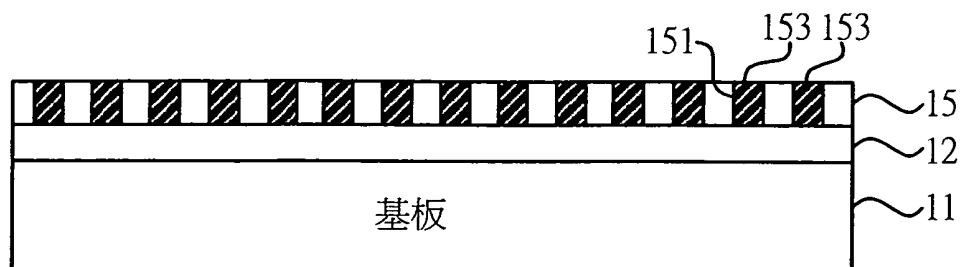
第二圖



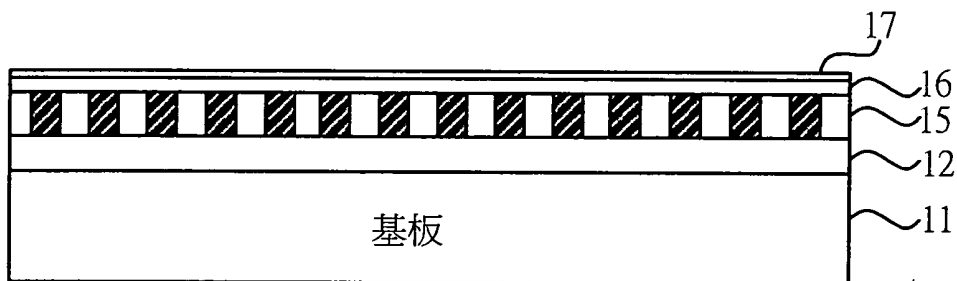
第三A圖



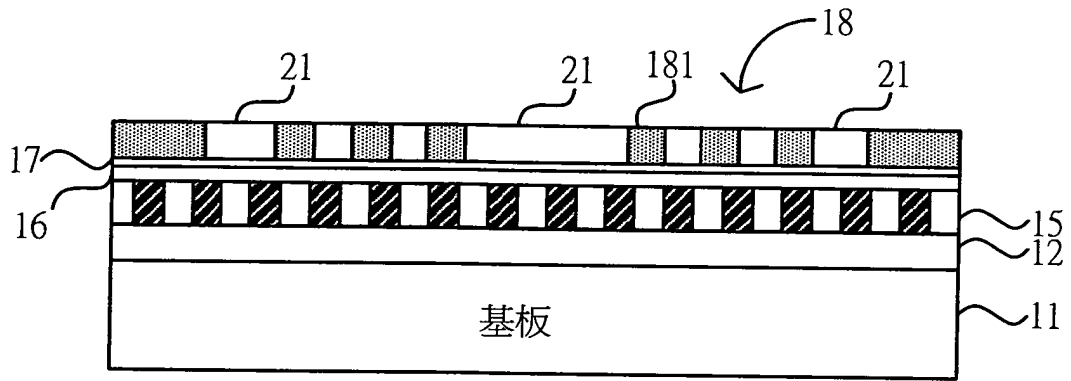
第三B圖



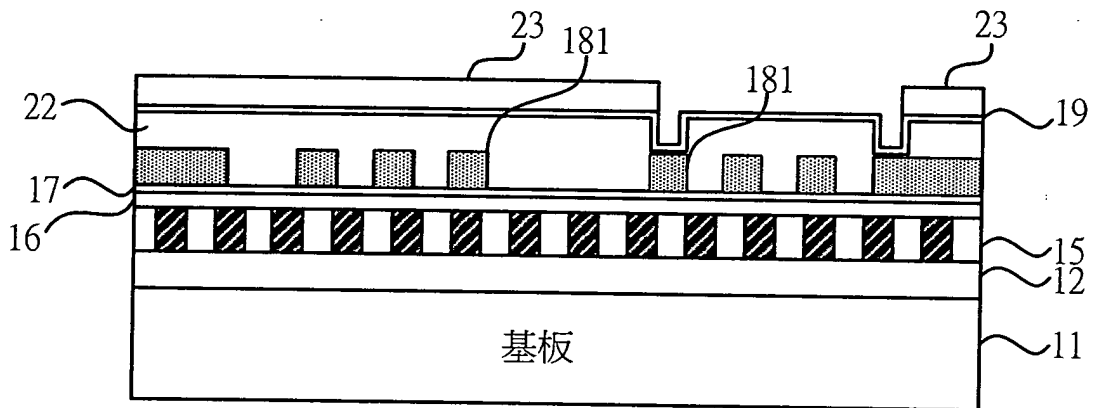
第三C圖



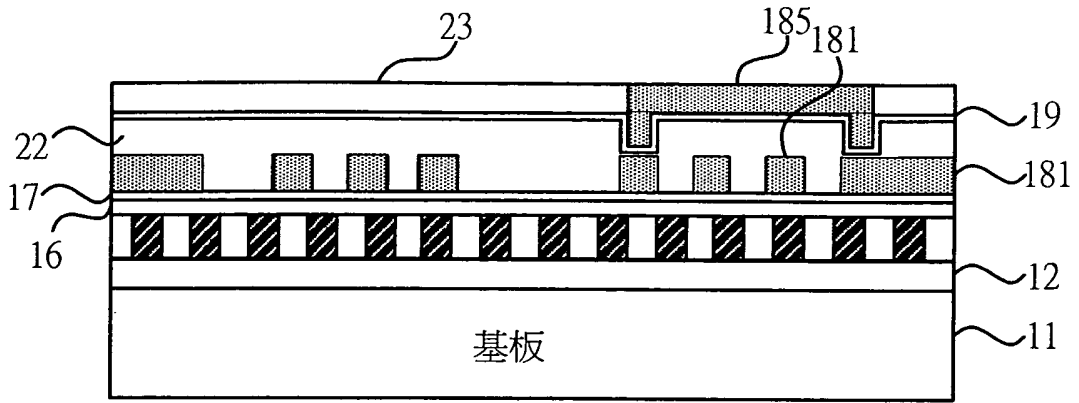
第三D圖



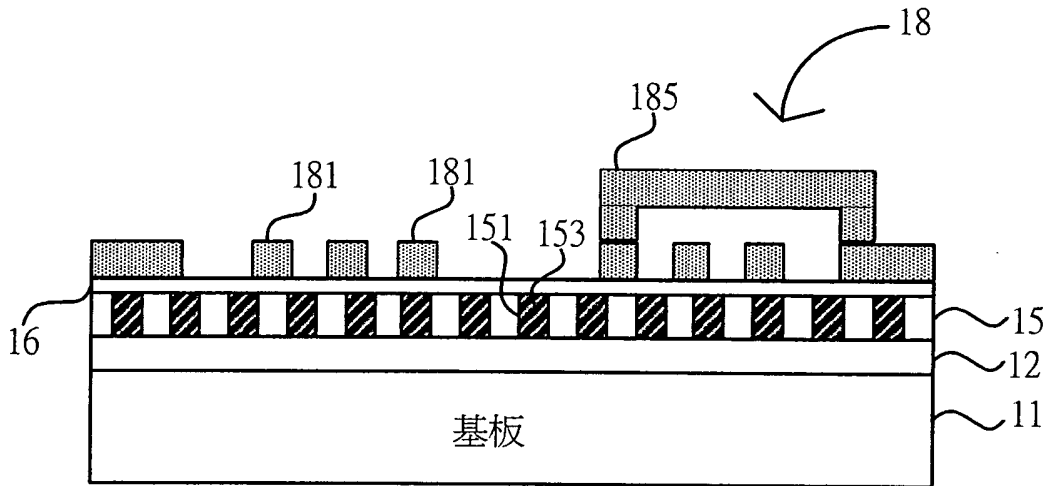
第三E圖



第三F圖



第三G圖



第三H圖