



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201101075 A1

(43)公開日：中華民國 100 (2011) 年 01 月 01 日

(21)申請案號：098121373

(22)申請日：中華民國 98 (2009) 年 06 月 25 日

(51)Int. Cl.：

G06F17/50 (2006.01)

H05K3/32 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：李仁傑 LEE, REN JIE (TW)；陳宏明 CHEN, HUNG MING (TW)

(74)代理人：桂齊恆；閻啟泰

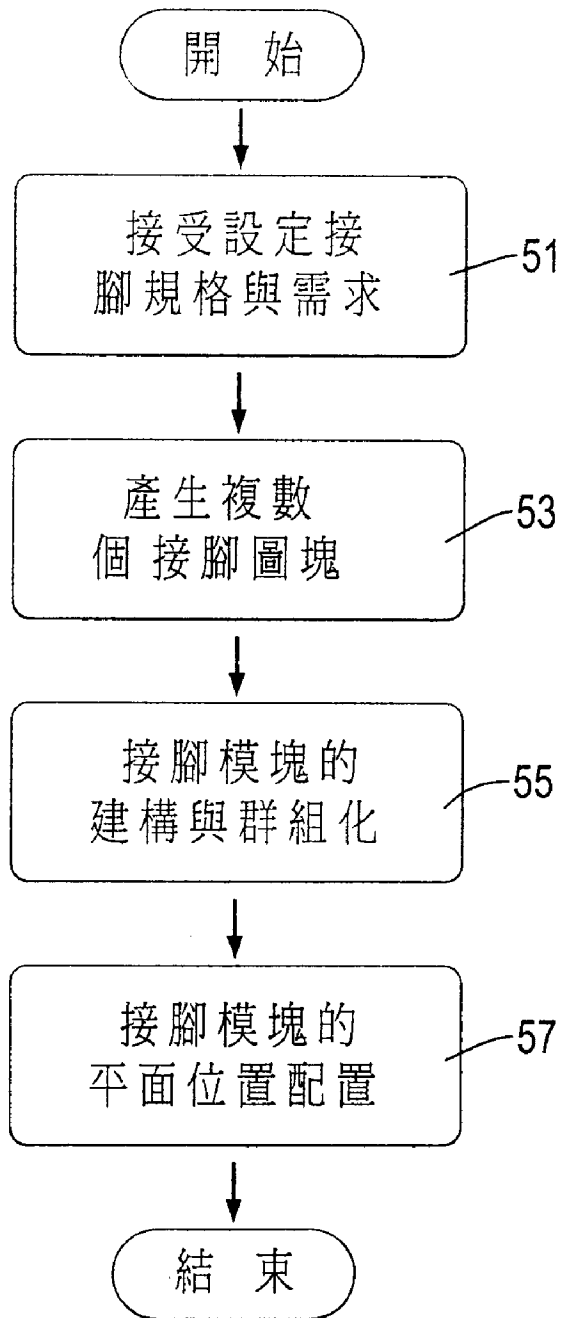
申請實體審查：有 申請專利範圍項數：8 項 圖式數：10 共 59 頁

(54)名稱

應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法及其程式產品

(57)摘要

一種應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，其步驟包含接受設定接腳規格與需求、產生複數個接腳圖塊、接腳模塊的建構與群組化及接腳模塊的平面位置配置；其中，依據規格與需求產生各接腳圖塊，而接腳模塊與電路板的組件之配置位置對應，並且每一接腳模塊包含一種接腳圖塊以及一電源接腳模塊，各接腳模塊繞設於該晶片之四個邊，並透過群組化及平面位置再配置之過程，進行封裝面積的最佳化。



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 098 12 1373

G06F 17/50 (2006.01)

※申請日： 98 6 25

※IPC分類： H05K 3/32 (2006.01)

一、發明名稱：(中文/英文)

應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法及其程式產品

二、中文發明摘要：

一種應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，其步驟包含接受設定接腳規格與需求、產生複數個接腳圖塊、接腳模塊的建構與群組化及接腳模塊的平面位置配置；其中，依據規格與需求產生各接腳圖塊，而接腳模塊與電路板的組件之配置位置對應，並且每一接腳模塊包含一種接腳圖塊以及一電源接腳模塊，各接腳模塊繞設於該晶片之四個邊，並透過群組化及平面位置再配置之過程，進行封裝面積的最佳化。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(十)圖。

(二)本代表圖之元件符號簡單說明：

無。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式

：

無。

六、發明說明：

【發明所屬之技術領域】

本發明是一種晶片的接腳指派方法，尤其是關於一種應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法。

【先前技術】

製程技術日益精進，晶片的積集度快速的增加，讓晶片接腳的指派工作日益困難。

目前既有的接腳指派，晶片的設計者通常依據經驗法則進行接腳指派，當考慮到晶片接腳指派的價格（與封裝面積有關）與接腳訊號效能之間的因素時，設計者必須不斷的測試，才能夠得到比較良好的接腳指派，因為，前述的晶片封裝價格與封裝面積有關，而接腳排列又影響了接腳訊號的品質，其必須考慮的因素繁複，因此經常造成設計者以人工進行接腳指派時之困擾。舉例而言，設計者在取得晶片接腳的必須設計參數與規格（訊號工作頻率、I/O特性需求、電源設計、電壓準位...等）之後，再依據該些設計參數與規格逐一進行接腳指派以及初步獲得一符合規格的封裝尺寸，這個過程必須耗費約一個星期。前述既有的接腳指派除了過程中必須反覆的測試與調整之外，所完成指派的接腳並沒有妥善的考慮訊號的電氣特性（如抗干擾、串音等），以及沒有辦法配合印刷電路板之組件進行接腳指派協同設計以改良電路板繞線網路複雜度及佈線品質，使整體設計過程產生過度依賴人力、設計時間冗長而產生成本增加、無法協同印刷電路板之組件之位置進行接

腳指派而造成繞線效能降低等問題。

【發明內容】

為了解決既有之接腳指派技術，無法配合印刷電路板之組件而自動化進行接腳指派，造成效能不彰、時間浪費及設計成本增加的技術問題，本發明提出全新且可自動化進行的方式，於預先設定晶片與印刷電路板之組件的關係及必要電氣特性需求後，自動產生具有良好效能的接腳指派，達到可自動化且具有電路佈局、訊號效能、封裝面積最佳化進行晶片之接腳指派之效果。

配合前述的技術問題，本發明提供一種應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，其步驟包含：

接受設定接腳規格與需求：取得一設計標的晶片的規格與限制，該規格與限制包含該設計標的晶片與一印刷電路板之複數組件的連結位置配置關係、該晶片之訊號完整性要求、該晶片的訊號接腳名稱及數量以及該晶片之電源接腳數量；

產生複數個接腳圖塊：依據該規格與限制以產生符合該規格與限制的複數個接腳圖塊(PA_i)，各接腳圖塊具有不同的訊號接腳數量以及主要作為提升每一接腳圖塊內訊號品質的電源接腳或接地接腳；

接腳模塊的建構與群組化：依據該晶片與該印刷電路板之各組件的配置關係以及連接關係，產生複數個與各組件分別對應的接腳模塊，其中，該接腳模塊包含滿足所對

應的組件之該規格與限制要求的其中之一種接腳圖塊以及一電源接腳模塊，且各接腳模塊依據所對應的各組件之位置關係編給順序，並使用預先設定之一邊界條件限制接腳模塊群組化決定策略 (boundary-constrained pin-block grouping strategy, BCPG) 或一繞線阻塞排除接腳模塊群組化決定策略 (congestion-free pin-block grouping strategy, CFPG) 將各接腳模塊以順時針或逆時針的方式排列於圍繞該晶片四個邊的一接腳指派區域，並將對應置於該晶片四個邊的接腳模塊進行群組化而成為四個群組化的接腳模塊，每個群組化的接腳模塊分別置於與該晶片四個邊對應的接腳指派區域，每個群組化的接腳模塊與對應的接腳指派區域各產生一個尺寸關係參數 E_i ， $i \in 1, 2, 3, 4$ ；及

接腳模塊的平面位置配置：將各群組化的接腳模塊，依據該四個尺寸關係參數 E_i 計算取得具有一最小化的封裝尺寸的接腳指派區域，之後，每一群組化的接腳模塊以一再配置之演算法，將超過該最小化的封裝尺寸的接腳指派區域的一超出區以移動或切割方式填入鄰近的一空位區。

其中，該產生複數個接腳圖塊步驟中，係將該規格與限制以一整數線性程序問題 (ILP, Integer Linear Programming) 描述並求解，以產生該複數個接腳圖塊 (PA_i)，其中，該整數線性程序問題之公式如下：

$$p_{j,k} = \begin{cases} 1 & \text{for signal pins} \\ 0 & \text{for power/ground pins,} \end{cases} \quad \forall PA_i \quad (3)$$

$$\sum_{j=1}^{\text{row}} p_{j,k} \leq C_k, \quad \forall PA_i, C_k \in N \quad (4)$$

$$\sum_{k=1}^{col} p_{j,k} + p_{j,k+1} \leq D_j, \quad \exists PA_i, D_j \in N \quad (5)$$

$$\frac{SN_i}{col \cdot row - SN_i} \leq SRR_i, \quad \forall PA_i \quad (6)$$

$$\frac{p_{j,k}}{4 - (p_{j+1,k} + p_{j-1,k} + p_{j,k+1} + p_{j,k-1})} \leq SSR_i, \quad \exists \quad (7)$$

$$RPT_i = \begin{cases} 1 & \text{for using power pins} \\ 0 & \text{for using ground pins} \end{cases}, \quad \forall PA_i \quad (8)$$

其中：

$p_{j,k}$ 代表產生的每一接腳圖塊 (PA_i) 的接腳型態 (1 代表一訊號接腳，0 代表一電源接腳或一接地接腳)；

$SN_i (= \sum_{k=1}^{col} \sum_{j=1}^{row} p_{j,k})$ 代表一個該接腳圖塊 (PA_i) 之訊號接腳數量，row 及 col 代表一個該接腳圖塊 (PA_i) 所包含之接腳的列數及行數 (signal pin number per pattern)；

公式 (4) 規範一訊號接腳容納量 (signal pin capacity, C_k)，其限制了所有接腳圖塊 (PA_i) 於每一行之訊號接腳個數；

公式 (5) 規範一差分訊號限制條件 (differential signal constrain, D_j)，係指一個該接腳圖塊 (PA_i) 作為差分用途的差分訊號接腳 (differential signal pins) 必須被分配在同一列中的相鄰位置；

公式 (6) 為一訊號接腳相對於作為一迴路路徑接腳的比例 (ratio of signal-to-return path pin, SRR_i)；

公式 (7) 是一訊號接腳相對於作為一屏蔽接腳的比例 (ratio of signal-to-shielding pin, SSR_i)；以及

公式 (8) 是一迴路路徑接腳之型態 (type of return path

pin, RPT_i), 該迴路路徑接腳之型態與該迴路路徑接腳所對應的該印刷電路板(PCB)之參考面(reference plane)的型態有關, 該參考面的型態包含在該印刷電路板的一接地層或一電源層。

其中, 該接腳模塊的建構與群組化步驟中, 該邊界條件限制接腳模塊群組化決定策略(BCPG)使用一安全範圍(safe range):

$$\varphi_1 \cdot AVG_s \leq S_m \leq \varphi_2 \cdot AVG_s$$

其中:

S_m 是一群組化的接腳模塊(grouped pin-block)的尺寸;

φ_1 及 φ_2 為使用者可以定義的數值;

$AVG_s = (\sum_n w_n)/4$ 為群組化的接腳模塊的平均尺寸; 以

及

w_n 是每個群組化的接腳模塊的寬度。

其中, 該接腳模塊的建構與群組化步驟中, 該繞線阻塞排除接腳模塊群組化決定策略(CFPG)使用一安全範圍(safe range):

$$\varphi_1 \cdot AVG_p \leq TP_i \leq \varphi_2 \cdot AVG_p \dots (10)$$

其中:

TP_i 是群組化的接腳模塊的訊號接腳總數;

φ_1 及 φ_2 是使用者定義參數;

$AVG_p = (\sum_j p_j)/4$ 是每個群組化的接腳模塊平均訊號接腳數量;

p_j 是每個各接腳模塊的訊號接腳數量。

其中，該接腳模塊的平面位置配置中，依據該四個尺寸關係參數 E_i 計算取得具有一最小化的封裝尺寸的接腳指派區域之計算，係將該規格與限制表示為一線性問題予以求解，該線性問題如下：

最小化 (Minimize)：

$$f = \sum_{j=1,3} \left(\sum_i w_{ji} + E_j \right) h_j + \sum_{j=2,4} \left(\sum_i h_{ji} + E_j \right) w_j$$

並滿足 (subject to)：

$$W_{\min} = w_4 + \sum_i w_{1i} + E_1 = w_2 + \sum_i w_{3i} + E_3 \quad (11)$$

$$H_{\min} = h_1 + \sum_i h_{2i} + E_2 = h_3 + \sum_i h_{4i} + E_4 \quad (12)$$

$$W_{\min} \geq w_2 + w_4 + w_{Core} \quad (13)$$

$$H_{\min} \geq h_1 + h_3 + h_{Core} \quad (14)$$

$$W_{\min} = H_{\min}; w_{Core} = h_{Core} \quad (15)$$

$$E_1 + E_2 + E_3 + E_4 \geq 0 \quad (16)$$

其中：

W_{\min} 為該最小化的封裝尺寸的接腳指派區域之寬度；

H_{\min} 為該最小化的封裝尺寸的接腳指派區域之高度；

$w_{2,4}$ 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的寬度；

w_{1i}, w_{3i} 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的寬度，其中 i 代表不同的接腳模塊；

h_1, h_3 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的高度；

h_{2i}, h_{4i} 分別代表與該晶片之第 2 邊、第 4 邊對應的各接

腳模塊的高度，其中 i 代表不同的接腳模塊；及

w_{Core} 、 h_{Core} 分別代表該晶片於該最小化的封裝尺寸的接腳指派區域中心的一核心的寬度與高度。

本發明再提供一種內儲用於晶片封裝與電路板共同設計之晶片接腳指定設計之電腦程式產品，當電腦載入該電腦程式並執行後，可完成該應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法。

藉此，本發明具有可在接腳指派過程完整地考量接腳訊號品質、印刷電路板的繞線效能以及封裝面積，因此，本發明不僅可配合印刷電路板的組件自動化進行接腳指派，而且還可進行封裝面積最佳化，讓本發明達到可與印刷電路板共同設計且具有高效率、自動化及節省設計成本之技術效果。

【實施方式】

為了能夠更為容易瞭解本發明之技術內容，首先分析配置接腳的諸多考量。請參考第一 A、B 圖，一晶片(10)在指定接腳(pin-out designation)時，設計者必須考慮下列幾個重要的限制及考量：

1) 印刷電路板(Printed circuit Board, PCB)的組件位置配置：請參考第一 A 圖，一印刷電路板(PCB)上有許多不同的的元件以及連接器(分別編號為①②③④⑤)，而該晶片(10)包含與該些元件與連接器對應的接腳模塊(pin blocks，分別編號為①②③④⑤)則透該過印刷電路板(PCB)與該些元件與連接器完成電性連接。該晶片(10)之

寄生電感 (parasitic inductance) 的主要成因之一即為該晶片 (10) 與元件及連接器之間之訊號線網路長度 (length of signal net)，所以，可以推知該晶片 (10) 之接腳封裝配置型態決定了部分的寄生電感，使該晶片 (10) 之接腳可能對整體的電路產品產生嚴重的瞬間切換雜訊 (simultaneous switching noise, V_{SSN}) 如下列公式 (1)：

$$V_{SSN} = N L_{tot} (di/dt) \dots (1)$$

其中：

N 是切換驅動訊號 (number of switching drivers) 的個數；

L_{tot} 是電流必須經過的等效電感抗 (equivalent inductance)；及

i 是驅動訊號的電流。

為了縮短訊號線網路長度以降低前述的寄生電感問題，該晶片 (10) 之接腳的配置必須分配在適當的位置，在印刷電路板 (PCB) 上的元件及連接器的位置不變的條件下，透過重新適當安排該晶片 (10) 之接腳模塊的位置，使不同的接腳模塊與印刷電路板 (PCB) 中所欲連接的元件或連接器位置接近，則可以有效的縮短訊號線網路長度，如第二 A 圖轉換成第二 B 圖即是一例。

2) 繞線效能 (routability)

在考量繞線時，僵化的電路板繞線規則 (package board routing rule) 經常限制該晶片 (10) 之接腳模塊的列數 (row number)、該印刷電路板 (PCB) 之訊號線網路寬度及

間距等。

請參考第二圖，其為一種採覆晶封裝 (flip-chip package) 之晶片 (10) 接合於該印刷電路板 (PCB) 之剖面示意圖；在一般的 4 層印刷電路板 (PCB) 製程規則，只有上 (第一層)、下 (第四層) 兩層允許走繞訊號網路，夾合於該上下兩層之間的一第二層及一第三層則作為供電及接地板用途。覆晶封裝之該晶片 (10) 包含一晶片本體 (die, 11)、複數個電性連接於該晶片本體 (11) 之複數個焊料件 (solder bump, 12) 以及包覆封裝該晶片本體 (11) 及各焊料件 (12) 之覆晶封裝結構 (13)，該覆晶封裝結構 (13) 包含一上蓋 (Mold cap, 131) 及一晶片封裝基座 (132)，其中，位於該晶片本體 (11) 外緣的焊料件 (12) 經由該晶片封裝基座 (132) 之通道 (Via) 與固定設於該晶片封裝基座 (132) 外緣的焊料球 (Solder ball, 133) 電連接，其中，置於該晶片封裝基座 (132) 之焊料球 (133) 因為位置的關係，不可避免地必須用於與該印刷電路板 (PCB) 之一上層訊號線網路 (21) 連接。因此，接近於該晶片本體 (11) 之中間的焊料件 (12) 則依前述類似的方式，穿過該電路接合座 (132) 之通道 (Via) 與置於該晶片封裝基座 (132) 其他接近中央的焊料球 (133) 連接，且該晶片本體 (11) 之中間的焊料件 (12) 必須經由該印刷電路板 (PCB) 之一通道 (22) 而與該印刷電路板 (PCB) 之一下層訊號線網路 (23) 連接。除了前述的印刷電路板 (PCB) 與該晶片 (10) 之電性連線方式已受到之限制之外，第三 A、B 圖試舉一個該晶片 (10) 與該印刷電路板 (PCB) 之佈局限制範例，第三 A 圖及該第三 B 圖分別為該印刷電路板 (PCB)

之上層的俯視及該晶片封裝基座(132)之仰視圖，其中，該印刷電路板(PCB)之上層包含複數個訊號接點(signal pad, 211)以及複數個接地點(213)，在此例假設限制如下：每一訊號接點(211)之尺寸為 14mil(1mil=25.4um)、訊號接點之間距(pad pitch)為 39.37mil、訊號線寬度及其間距均為 5mil、在兩個訊號接點(211)之間只能通過兩條訊號線，該電路接合座(132)之各項尺寸限制則如第三 B 圖所示。換言之，基於前述範例的尺寸限制關係，其代表該晶片(10)只能包含 3 排的接腳係連接於該印刷電路板(PCB)之上層，也因為如此，若該晶片(10)具有更多的晶片接腳，則將造成該印刷電路板(PCB)之訊號線網路之壅塞冗長的問題。請參考第四圖以及表 1，基於前述的問題，讓該晶片(10)的最大的外圍接腳列數目(row number of outer-pin，即與該印刷電路板(PCB)上層訊號線網路連接的接腳)受到了限制而與該晶片(10)之封裝尺寸(寬、高)(Package size(Width x Height))及接腳總數(列數目、行數目)(Pin number (Row x Column))無關，使即便擴大了封裝尺寸，也未能解決接腳數量、安排及訊號線網路之限制之窘境。

表 1

封裝尺寸 (mm)(寬 x 高)	接腳數量(列 x 行)	輸出接腳的列數(電源、接地及訊號接腳)		輸出接腳的列數(訊號接腳)	
		Max.	Avg.	Max.	Avg.
37.5x37.5	36x36	9	8	7	6
35x35	34x34	9	8	7	6
31x31	30x30	9	8	7	6
27x27	26x26	9	8	7	6
...	...	9	8	7	6

3) 訊號完整性 (Signal Integrity) 之考量: 如第三 A、B 圖所示的範例中，目前的接腳位置指派有一個常定的規則，係為當訊號接腳 (signal pins) 被安排放置於同一列 (row) 時，其會具有較佳的阻抗匹配 (matched impedance) 性能，但若訊號接腳被擺置於相同的行 (column) 時，訊號線網路中只有某些可以有比較好的阻抗匹配性。而前述的阻抗匹配對於該晶片 (10) 之整體性能有很重要的影響，尤其是用在高運行速度的系統中，因為其可消除共模雜訊 (common mode noise) 而增加訊號的品質。另外，為了取得更好的訊號完整性，設計時也必須考慮訊號接腳與電源接腳 (power pins) 及接地接腳 (ground pins) 之間的位置擺設，由於不同的接腳擺設關係會影響訊號的一迴路路徑電感抗 (return path inductance)，且因為該電源接腳與該接地接腳可作為提供鄰近的訊號接腳之迴路路徑，因此，不良的接腳關係位置配置將增大電流迴路路徑 (current return loops) 之長度而增加迴路路徑電感抗。如此，除了會造成訊號完整性之下降之外，也會造成電磁波逸散的問題，其數學模型與前述公式 (1) 類似。

考慮串音雜訊 (crosstalk noise) 之影響，其主要的影響因素為互電容 (mutual capacitance, C_m) (S. Hall, G. Hall, and J. McCall. "High-Speed Digital System Design". Wiley-Interscience Publication, 2000.)，因為訊號線之間會注入鄰近之訊號線電流。其中，感應的電流雜訊 (induced noise, I_{noise, C_m}) 與該互電容呈正比且與驅動之訊

號接腳的電壓變化率(rate in change of voltage)有關，其關係如下列公式(2)：

$$I_{\text{noise}, C_m} = C_m(dV_{\text{driver}}/dt) \quad (2)$$

依據前述的探討可知，最佳的訊號接腳配置方式係將該訊號接腳配置於電源接腳或接地接腳的旁邊，這樣可以使訊號接腳緊密地與一個迴路路徑接腳(即鄰近之電壓接腳或接地接腳)耦合，而依據此一方式，則可以有效降低迴路路徑電感抗。另外，若訊號接腳被接地接腳包圍，前述的互電容效應也會改善，而雜訊也將受到隔離。

基於前述幾個晶片接腳指派配置的限制與考量，且為了能夠自動化的進行該晶片(10)之一接腳圖塊(pin pattern, PA_i)的接腳自動指派，將前述的限制與考量寫成一整數線性程序(ILP, Integer Linear Programming)問題，透過解出該 ILP 問題即可得到適當且滿足前述之限制與考量的該接腳圖塊(PA_i)。其中，該 ILP 問題之公式(3)~(8)如下：

$$P_{j,k} = \begin{cases} 1 & \text{for signal pins} \\ 0 & \text{for power/ground pins,} \end{cases} \quad \forall PA_i \quad (3)$$

$$\sum_{j=1}^{\text{row}} P_{j,k} \leq C_k, \quad \forall PA_i, C_k \in N \quad (4)$$

$$\sum_{k=1}^{\text{col}} P_{j,k} + P_{j,k+1} \leq D_j, \quad \exists PA_i, D_j \in N \quad (5)$$

$$\frac{SN_i}{\text{col} \cdot \text{row} - SN_i} \leq SRR_i, \quad \forall PA_i \quad (6)$$

$$\frac{P_{j,k}}{4 - (P_{j+1,k} + P_{j-1,k} + P_{j,k+1} + P_{j,k-1})} \leq SSR_i, \quad \exists PA_i \quad (7)$$

$$RPT_i = \begin{cases} 1 & \text{for using power pins} \\ 0 & \text{for using ground pins,} \end{cases} \quad \forall PA_i \quad (8)$$

其中， $p_{j,k}$ 代表產生的每一接腳圖塊(PA_i)的接腳型態(1

代表訊號接腳，0 代表電源或接地接腳)； $SN_i (= \sum_{k=1}^{col} \sum_{j=1}^{row} p_{j,k})$ 代表一個該接腳圖塊 (PA_i) 之訊號接腳數量，row 及 col 代表一個該接腳圖塊 (PA_i) 所包含之接腳的列數及行數 (signal pin number per pattern)。

公式(4)規範訊號接腳容納量 (signal pin capacity, C_k)，限制了所有接腳圖塊 (PA_i) 於每一行之訊號接腳個數，一般而言，該接腳容納量之平均值為 6，如表 1 所述。

公式(5)規範一差分訊號限制條件 (differential signal constrain, D_j)。在一個該接腳圖塊 (PA_i) 作為差分用途的差分訊號接腳 (differential signal pins) 必須被分配在同一列中的相鄰位置 (例如： $p_{j,k+1} = 1, \text{iff } p_{j,k} = 1$)。

公式(6)為一訊號接腳對迴路路徑接腳的比例 (ratio of signal-to-return path pin, SRR_i)，該迴路路徑接腳對於訊號完整性有重要的影響，因此設計者比需此係考量每一圖塊之該 SRR_i 之數值比例。

公式(7)是一訊號接腳對屏蔽接腳的比例 (ratio of signal-to-shielding pin, SSR_i)，為了隔絕串音的問題，設計者必須將 SSR_i 提高，讓更多的接地接腳鄰近於訊號接腳。當 SSR_i 之數值降低，則代表設計者加入了更多比例的經濟效益考量，也就是在一定的面積內填入更多的訊號接腳，而這樣必然影響串音隔絕的效能。顯然地，前述兩個比例 SRR_i 及 SSR_i 是設計者決定該接腳圖塊 (PA_i) 之接腳位置編排時，考量電路效能與價格之間的抉擇的重點。

公式(8)是一迴路路徑接腳之型態 (type of return path pin, RPT_i)，該迴路路徑之型態與該迴路路徑接腳所對應

的該印刷電路板(PCB)之參考面(reference plane)的型態有關，所謂的參考面的型態包含在該印刷電路板(PCB)的一接地層或一電源層。當迴路路徑之型態與該印刷電路板(PCB)之型態匹配時，則寄生電感下降。

以前述的具有上、下兩層可繞線的該印刷電路板(PCB)為範例，求解該 ILP 問題之各限制參數範例可如下表 2 所述：

表 2

		C_k	D_j	SRR_i	SSR_i	RPT_i
接腳圖塊 1(PA_1)	PA_{10}	6		1/2	1/3	0
	PA_{11}	6		1/2	1/3	0
接腳圖塊 2(PA_2)	PA_{20}	6		1/2	1/3	0
	PA_{21}	6	N/A	1	1/3	0
接腳圖塊 3(PA_3)	PA_{30}	6	N/A	1	1/3	0
	PA_{31}	6		1/2	1/3	0
接腳圖塊 4(PA_4)	PA_{40}	6	N/A	1	1/3	0
	PA_{41}	6	N/A	1	1/3	0
接腳圖塊 5(PA_5)	PA_{50}	6	N/A	1	1/3	1
	PA_{51}	6	N/A	1	1/3	0
接腳圖塊 6(PA_6)	PA_{60}	6	N/A	3	N/A	1
	PA_{61}	6	N/A	3	N/A	0

上表 2 的 PA_{i0} 、 PA_{i1} 代表每一個接腳圖塊(pin pattern)， PA_i 的前半(fore-half)以及後半(back-half)圖塊。

請參考第五(1)~(6)圖，其為表 2 所述的範例之六種接腳圖塊(PA_i)的以及其分別對應之簡化阻抗匹配模型(simplified impedance models)，該簡化阻抗匹配模型(Z_L)由一串聯電阻(serial resistor, R)、一串聯電感(serial inductor, $j\omega L$)以及一分流電容(shunt capacitor, $1/j\omega C$)，其中 $Z_L = R + j\omega L + 1/j\omega C$ 。以該接腳圖塊 1(PA_1)為例

說明，作為差分訊號之每一對接腳 (differential signal pins) 都被接地接腳包圍，該些接地接腳可以作為鄰近的迴路路徑接腳已減少總體電感抗及作為隔絕訊號接腳與訊號接腳之間的串音雜訊。由於差分訊號之設計最重要的考量是訊號繞線網路的阻抗匹配特性，所以本範例的該接腳圖塊 1(PA_1) 在該印刷電路板 (PCB) 或該晶片 (10) 之該晶片封裝基座 (132) 都可達到優異的網路平衡特性，如第三 A、B 圖之左圖所示。因此，以效能觀點考量，該接腳圖塊 1(PA_1) 達到可最佳化的差分訊號接腳之接腳圖塊設計，其對應的阻抗匹配模型如第五 (1)~(6) 圖所示。該接腳圖塊 1(PA_1) 唯一的缺漏是該接腳圖塊 (PA_i) 範圍內所能容納的訊號接腳受到限制。

在最常見的情形中，如果某一訊號接腳的迴路路徑電流 (return current) 流經該印刷電路板 (PCB) 之接地層時，該訊號接腳應該要與該接地層耦合而使迴路路徑電流減小，反之亦然。第五 (1)~(6) 圖中的接腳圖塊 4(PA_4) 及接腳圖塊 5(PA_5) 分別是為了達到某些具有特別功能的佈線網路所設計的接腳圖塊，例如因為電源接腳之位置配置的關係，讓該接腳圖塊 5(PA_5) 比該接腳圖塊 4(PA_4) 具有比較優異的電源傳輸特性。該接腳圖塊 5(PA_5) 與該接腳圖塊 4(PA_4) 相較於接腳圖塊 1(PA_1) 具有更好的接腳配置密度及效率，但是，使用接腳圖塊 4、5($PA_{4,5}$) 將在該印刷電路板 (PCB) 及該晶片封裝基座 (132) 上因為阻抗匹配特性較為不佳而讓訊號完整性變差，其可如第三 A、B 圖之右圖所示，這讓使用接腳圖塊 4、5($PA_{4,5}$) 的設計之阻抗匹配模型必須擔負

其他來自該印刷電路板(PCB)的阻抗(Z_{pcb})或該晶片封裝基座(132)之阻抗(Z_{sub})，這兩個多出來的阻抗可能均包含一等效電阻(equivalent resistance)、電感(inductance)及電容(capacitance)。

相較於前述兩個接腳圖塊 4、5($PA_{4,5}$)，表 2 及第五(1)~(6)圖的接腳圖塊 2、3($PA_{2,3}$)則是介於該接腳圖塊 4、5($PA_{4,5}$)及該接腳圖塊 1(PA_1)之間，基於接腳訊號品質與封裝價格的妥協方案。接腳圖塊 6(PA_6)是第五(1)~(6)圖中最有效率且具有最高的訊號接腳密度的接腳圖塊(PA_i)，其可在單位面積內容那最多的接腳，使總體封裝面積縮小，但該接腳圖塊 6(PA_6)的主要缺點在於其忽略訊號完整性而使訊號接腳只能作為測試輸出入(test-in, test-out)或傳輸延遲脈衝(long pulse control signal)等該些比較不會產生串音的訊號接腳之配置用途。因此，在第五(1)~(6)圖中使用了 $Z_{ext}(Z_{ex1\sim3})$ 作為標示對應接腳圖塊(PA_i)中不要或不可預期的阻抗，這些不要或不可預期的阻抗主要來自於該印刷電路板(PCB)或該晶片封裝基座(132)。在第五(1)~(6)圖中，AD_P0/AD_N0 代表成對的差分訊號，作為傳輸高速訊號之用；AD 代表高速傳輸的終端訊號 (signal-ended)；在接腳圖塊 6 中的 SEL 或 TRAP 代表低速或延遲脈衝之訊號。

根據一般的設計常規以及經驗法則可以知道，前述解出 ILP 問題所得的 6 個接腳圖塊(PA_i)的特性則可表示於下表 3。因此，基於本實施範例所提出的 6 個接腳圖塊(PA_i)，設計者可以依據其設計需求及用途，將 6 個接腳圖塊

(PA_i)作為接腳位置指派的樣版，並配合該印刷電路板(PCB)或該晶片封裝基座(132)之某個特定的匯流排佈線之特性需求(訊號完整度、接腳密度、抗干擾特性、屏蔽效能...等)，選擇適當的接腳圖塊(PA_i)予以對應排列，如此，可以達到接腳指派的有效性。

如前所述的接腳圖塊(PA_i)只是一個範例，其形式並不限定於前述的六種模式，因為設計者可以依據所需的接腳密度、繞線效率、訊號完整性等特性要求，重新解該 ILP 問題，達到客製化的接腳圖塊(PA_i)作為接腳指定的樣版。因此，自接腳圖塊(PA_i)之指定及至圖塊與印刷電路板(PCB)與晶片封裝基座(132)之接腳指派工作，使用本發明之前述方法，都可以有效率且自動化的完成接腳指派工作。

表 3

接腳圖塊	接腳應用範疇	訊號接腳數量	串音	網路佈線平衡				晶片封裝基座之屏蔽(VDD/VSS)		是否含電源傳輸知接腳	接腳密度
				PCB		晶片封裝基座		上層	下層		
				上層	下層	上層	下層				
圖塊 1	差分訊號	16		優	好	好	好	VSS	VSS	無	不佳
圖塊 2	差分/終端	20		優	好	好	好	VSS	VSS	無	普通
圖塊 3	差分/終端	20		不佳	好	好	好	VSS	VSS	無	普通
圖塊 4	差分/終端	24		不佳	好	好	不佳	VSS	VSS	無	好
圖塊 5	差分/終端	24		不佳	好	好	不佳	VDD	VSS	有	好
圖塊 6	終端	36	不佳	不佳	不佳	不佳	不佳	無	無	有	優

以下，更進一步說明使用前述的接腳圖塊(PA_i)進行與該印刷電路板(PCB)元件或連接器之位置對應的接腳模塊之自動化指派時，所需考量的各項事項及方法：

設計者依據電氣特性之需求完成接腳圖塊(PA_i)的設計

後，可利用所產生的接腳圖塊(PA_i)組合完成如第一 A 圖中與連接器或元件對應的接腳模塊(pin blocks)，也就是說，利用所完成的接腳圖塊(PA_i)作為組成接腳模塊的基本元素，每個接腳模塊內部可以包含一種接腳圖塊(PA_i)。其中，由於該晶片(10)之封裝尺寸直接與該接腳模塊之形狀與位置安排有關，因此，有效的配置接腳模塊及針對接腳模塊之平面位置配置(floorplanning)將對該晶片(10)之封裝尺寸縮小有非常大的幫助。基於此一理由，本發明提出一個可以利用前述的接腳圖塊(PA_i)自動化進行接腳模塊之平面位置配置的方法，以下詳述之：

A. 接腳模塊的建構與群組化(Grouping)方法

在目前習用的技術中，設計者必須耗費半天至一天的時間定義該晶片(10)接腳之位置佈局，其係因為目前的接腳之位置佈局的方式都是利用手動設計方式完成，因此非常耗費時間而沒有效率。相較於既有技術以手動的方式指派接腳，本發明提出可以在初步確定該印刷電路板(PCB)的元件或連接器的配置位置後，配合已知的接腳名稱(pin name)、接腳模塊放置順序(pin-block placement sequence, order)、所選擇的接腳圖塊(PA_i)以及電源接腳的數量(number of power pins)等主要晶片接腳指派必要特徵，即可自動化的步驟完成接腳的指派及接腳模塊的平面位置配置。

其中，首先必須確認接腳模塊之放置順序：當印刷電路板(PCB)上面的元件或連接器位置確定之後，該晶片(10)

與該些元件或連接器相對應的接腳模塊可循著直觀的模式以順時針或逆時針的編排順序配置於各元件或連接器附近。之後，再依據所對應的元件或連接器的電氣特性需求選擇適當的接腳圖塊 (PA_i) 填入接腳模塊內。最後，依據已知的接腳名稱及所選擇的接腳圖塊 (PA_i)，可再重新架構及指派各接腳模塊內的訊號接腳的位置。

電源接腳的數量可以用來協助處理電源傳輸的問題 (power delivery issue)，本發明所採用的策略是增設一電源接腳模塊 (power-pin block)，該電源接腳模塊可以作為該印刷電路板 (PCB) 各種不同電源需求的一電源通道 (power channel)。設計者可以自由定義電源接腳所需的設計條件，讓個別的訊號接腳滿足其所需的電源特性分析要求 (power analysis results)。如此，當訊號接腳之該接腳模塊完成配置後，電源接腳之接腳模塊 (power-pin block) 可自動地緊鄰配置於相關連的訊號接腳模塊，如此，即可完成與一訊號匯流排 (signal bus) 連接之完整功能的接腳模塊。第六圖舉出一個範例，其為一個該晶片 (10) 所包含九個編號為 #1~#9 的接腳模塊，其分別用以與九個不同介面 (元件、連接器...) 連接，最後，使用前述的接腳模塊放置順序之手段用於一接腳模塊群組化策略 (pin-block grouping strategies)，該接腳模塊群組化策略主要是將該晶片 (10) 所有的接腳模塊依據該晶片 (10) 的四個邊分成四個群組。為了可以進一步調整所配置的接腳未來繞線複雜度的問題，而讓所有的接腳模塊可以順利地包含進入該晶片 (10) 之封裝範圍內，本發明提出了兩種不同的接腳模塊群組化策略

，分別為一邊界條件限制接腳模塊群組化決定策略 (boundary-constrained pin-block grouping strategy, BCPG) 以及一繞線阻塞排除接腳模塊群組化決定策略 (congestion-free pin-block grouping strategy, CFPG)。這兩個策略的使用方面，依據設計者所欲進行的晶片設計用途或限制條件不同，可以依據需求自行選擇或事先設定，舉例而言，當設計晶片組 (chip set) 之輸出接腳時，由於晶片組的作用在於橋架連接主機板的其他組件之動作，所以主機板上的其他組件的位置是主要的考慮重點，所以，在這樣的狀況下可使用該邊界條件限制接腳模塊群組化決定策略 (BCPG)，第七圖即是使用該邊界條件限制接腳模塊群組化決定策略 (BCPG) 之範例。由第七圖可以很明顯可知，使用這個策略或許可以讓晶片接腳與對應的組件、元件或連接器繞線路徑縮短，但是，其可能造成各個區塊之間的繞線密度分配差異變大，如第七圖之 (a) 與 (b) 分別表示稀疏與稠密繞線狀況的範例。

另外，可以為該邊界條件限制接腳模塊群組化決定策略 (BCPG) 之使用設定一安全範圍 (safe range)：

$$\varphi_1 \cdot \text{AVG}_s \leq S_m \leq \varphi_2 \cdot \text{AVG}_s \dots (9)$$

其中， S_m 是一群組化的接腳模塊 (grouped pin-block) 的尺寸； φ_1 及 φ_2 為使用者可以定義的數值； $\text{AVG}_s = (\sum_n w_n) / 4$ 為群組化的接腳模塊的平均尺寸； w_n 是每個群組化的接腳模塊的寬度。由上列公式 (9) 可以知道，採用此一策略的主要考量重點在於接腳模塊的尺寸，當配合接腳特性而完成該接腳模塊放置順序之編排後，各接腳模塊將會被

群組化而形成數個群組化的接腳模塊，直到群組化的接腳模塊在前述的安全範圍內。使用 BCPG 這個策略時，每個群組化的接腳模塊被縮小到群組化的接腳模塊平均尺寸，得到如第六圖中該晶片(10)各邊的 E_i 數值之最小值，因此，使用 BCPG 策略可以有效的縮短縮小封裝尺寸之接腳配置所需的時間。雖 BCPG 策略可以很快獲取良好的尺寸縮小結果，但是其可能因為在配置的過程中，忽略每個接腳模塊的訊號線接腳數量而造成前述的第七圖(b)之繞線過度稠密的問題。

而在該繞線阻塞排除接腳模塊群組化決定策略(CFPG)(以下簡稱 CFPG 策略)方面，其主要的考量是達成平均地分佈訊號接腳於該晶片(10)的四個邊的群組化的接腳模塊內，避免訊號接腳於各個群組化的接腳模塊分佈不均的問題，讓該印刷電路板(PCB)的繞線效能更好而可以有更多的彈性讓重要的訊號網路取得更好的阻抗匹配性能或更有彈性地調整元件或組件的位置。第八圖揭示一個採用 CFPG 策略下的群組化的接腳模塊之範例，其相較於 BCPG 策略可以讓每個群組化的接腳模塊內的訊號接腳數量分佈更為平均，因此，CFPG 策略適用於對於繞線效能(routability)要求高的晶片，例如可程式邏輯閘元件(FPGA)。因為 CFPG 策略對於接腳模塊的配置位置並非完全依照該印刷電路板(PCB)各組件之初始配置，因此，該印刷電路板(PCB)的各組件最終的位置配置，可能需要隨 CFPG 執行後該晶片(10)輸出接腳之實際配置位置而有所調整。與該 BCPG 近似，該 CFPG 策略之一安全範圍如下公式(10)：

$$\phi_1 \cdot \text{AVG}_p \leq \text{TP}_i \leq \phi_2 \cdot \text{AVG}_p \dots (10)$$

其中， TP_i 是群組化的接腳模塊的訊號接腳總數； ϕ_1 及 ϕ_2 是使用者定義參數； $\text{AVG}_p = (\sum_j p_j)/4$ 是每個群組化的接腳模塊平均訊號接腳數量； p_j 是每個各接腳模塊的訊號接腳數量。因為平均化後的訊號接腳數量通常大於群組化的接腳模塊的尺寸，所以 CFPG 策略必須有更嚴格的安全範圍，例如 $|\phi_1 - \phi_2| < |\phi_1 - \phi_2|$ ，以達到相同的封裝範圍內。

因為接腳模塊放置順序將在進行 BCPG 策略被先考量，本實施例採用一最先適合啟發式演算法 (first-fit heuristic algorithm) 完成接腳模塊之群組化，該啟發式演算法係為解裝箱問題 (bin-packing problem) 的近似解算法，該啟發式演算法係有次序的將物件配置進入一第一箱 (first bin) 內，並且在第一箱裝滿後產生一個新箱。

而在使用 CFPG 策略時，主要的考量是為了平均分配每個模塊的訊號接腳數量，因此，其可以採用另一種啟發式演算法，例如一最佳適合啟發式演算法 (best-fit heuristic algorithm) 處理接腳模塊模組化，該最佳適合啟發式演算法忽略物件的先後次序，而是將物件塞進大小合適的箱內，讓箱內的冗餘空間維持最小。

如前述關於接腳圖塊的各種考量，諸如訊號完整性、電源傳輸狀況、繞線效能等，均需要在接腳位置配置過程被考慮。所以，在所有的接腳模塊位置配置完成後，一個概略的接腳指派結果已經完成，如第六圖所示。同時，第六圖中分別代表該晶片 (10) 之四個邊 (side 1~4) 的接腳指派

區域之多於或未填滿區間的寬度與高度的參數 $E_1 \sim E_4$ 也可以一併在概略的接腳指派結果中得知，而參數 $E_1 \sim E_4$ 係用來將各接腳模塊執行平面位置再配置 (floorplanning) 以得到最小的封裝尺寸，將詳述如下。

B. 封裝尺寸最小化及接腳模塊之平面位置配置

請參考第六圖，本發明將該晶片 (10) 之封裝尺寸最小化的所有的必要條件及限制公式化為一線性問題如下：

最小化 (Minimize) :

$$f = \sum_{j=1,3} \left(\sum_i w_{ji} + E_j \right) h_j + \sum_{j=2,4} \left(\sum_i h_{ji} + E_j \right) w_j$$

並滿足 (subject to) :

$$W_{\min} = w_4 + \sum_i w_{1i} + E_1 = w_2 + \sum_i w_{3i} + E_3 \quad (11)$$

$$H_{\min} = h_1 + \sum_i h_{2i} + E_2 = h_3 + \sum_i h_{4i} + E_4 \quad (12)$$

$$W_{\min} \geq w_2 + w_4 + w_{Core} \quad (13)$$

$$H_{\min} \geq h_1 + h_3 + h_{Core} \quad (14)$$

$$W_{\min} = H_{\min}; w_{Core} = h_{Core} \quad (15)$$

$$E_1 + E_2 + E_3 + E_4 \geq 0 \quad (16)$$

其中， w_{1i} 、 h_{1i} 、 h_{2i} 、 w_2 、 w_{3i} 、 h_3 、 h_{4i} 、 w_4 可以在前述的群組化過程中得到，如第六圖所示。該 W_{\min} 為該最小化的封裝尺寸的接腳指派區域之寬度； H_{\min} 為該最小化的封裝尺寸的接腳指派區域之高度； $w_{2,4}$ 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的寬度； w_{1i} 、 w_{3i} 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的寬度，其中 i 代表不同的

接腳模塊； h_1 、 h_3 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的高度； h_{2i} 、 h_{4i} 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的高度，其中 i 代表不同的接腳模塊；及 w_{Core} 、 h_{Core} 分別代表該晶片於該最小化的封裝尺寸的接腳指派區域中心的一核心的寬度與高度。

該第六圖中所標示的核心(Core)，代表一球柵陣列封裝(BGA)的核心部位，基本上，電源與接地接腳配置於封裝的中心部位，而該晶片本體(11)則緊鄰設於該些電源與接地接腳，因此，該晶片本體(11)產生的熱可以尋該接電源與接地接腳傳出。然而，在封裝的中心部位增加更多的電源與接地接腳雖可以增進熱散逸的性能，但是卻會增加核心(Core)的面積進而增加整體的封裝尺寸。

前述的公式(13)、(14)即用來定義與該晶片本體(11)具有對應關係之核心(Core)的面積，即 w_{Core} 、 h_{Core} 。公式(11)、(12)及(15)則限制封裝的外型為方形，公式(16)則是為了確保最小化的封裝尺寸可以填入所有接腳模塊且盡可能避免產生接腳空位。

當參數 $E1 \sim E4$ 確定時，運算而得的最小封裝尺寸的一超出區(excess area)及一空位區(empty area)即可確定，舉例而言，在第六圖左圖的 $E3$ 即為超出區，而 $E4$ 即為空位區。

完成前述最小化之後，即可進行接腳模塊之平面位置配置。所謂的接腳模塊平面位置再配置，指將在超出區的接腳模塊切開而填入附近的空位區，如此，可以將原本超過最小封裝尺寸的接腳模塊全塞入最小封裝尺寸內。下列

舉出執行該接腳模塊平面位置再配置之演算法程式虛擬碼範例(配合參考第六圖)：

- 1) $i \leftarrow 1, i \in 1, 2, 3, 4$ //start from side 1
- 2) $i - 1 \leftarrow 4, \text{ iff } i=1 ; i+1 \leftarrow 1, \text{ iff } i=4$
- 3) repeat:
- 4) while ($E_i \neq 0 \cap E_i < 0$) do
- 5) if $E_{i-1} > E_{i+1}$
- 6) shift pins clockwise // fill the pin-block into empty area in last side until the E_i is zero
- 7) $E_i \leftarrow 0, E_{i-1} \leftarrow E_{i-1} + E_i$
- 8) else
- 9) shift pins counter clockwise // split the pin-block in excess area then group it into next side
- 10) $E_i \leftarrow 0, E_{i+1} \leftarrow E_{i+1} + E_i$
- 11) $i \leftarrow i+1$ //check next side
- 12) until all E value are large than or equal to zero

請參考第九(a)~(d)圖，其為一個群組化的接腳模塊之平面位置配置演算之範例，第九(a)圖是經過最小化之配置後，各群組化的接腳模塊(編號為#1~#9)的初步配置結果，其設定核心(Core)的下邊為第一邊(side 1)，並以逆時針方向之鄰近各邊依序設定為第二~四邊，在此一範例中，其包含兩個超出區(編號為 E2 及 E3)分別發生在第二邊以及第三邊，以及兩個空位區(編號為 E1 及 E4)分別發生在第一邊以及第四邊。基於前述的演算法，配置擺設於第一邊的兩個群組化的接腳模塊(編號#1、#2)在平面位置再配置

的演算過程不動作(該虛擬碼的行 4 執行結果)，因為 $E1 > 0$ 。

請參考第九(a)圖，當進行該核心的第二邊所初步配置的各群組化的接腳模塊之演算時，編號#3 的群組化的接腳模塊因為前述演算法的行 5 及 6 判斷結果，而被順時針移動到第一邊的空位區，完成後，將進行下一邊之再配置。

請參考第九(b)圖，由於 $E4 > E2$ ，群組化的接腳模塊#7 所形成的超出區將被切開而再配置於第四邊(基於虛擬碼行 8、9)。

最後，在第四邊的群組化的接腳模塊#9 的演算過程將如群組化的接腳模塊#7(如第九(c)圖所示)，最終得到如第九(d)圖的最佳化配置結果。

C. 封裝尺寸後變動的考量(Dealing with Package Size Migration Issues)

在實務應用領域，設計者基於不同的要求或理由而常需要將完成封裝接腳指派的晶片產品的尺寸重新放大或縮小而改變接腳的配置。

例如，晶片產品的代間產品的變換過程常需要額外安排測試接腳而使封裝尺寸需要稍微變大，或者晶片產品進一步考量製造成本、晶片執行效率時，也是另一個改變晶片產品封裝尺寸的影響成因之一。如前述因為執行效率而需擴大晶片封裝尺寸時，目前習用的接腳指派方式可能需要耗費許多的時間重新指派接腳配置位置，但是，本實施例可以再需要增加封裝尺寸的時候改變所使用接腳圖塊

(pin pattern)的型態，即改變 SN_i 參數，如將更大的 SN_i 由小一點的 SN_i 取代而讓接腳模塊(pin blocks)的寬度變大。

反之，若製造成本取代訊號完整性而為主要考量時，或者因為該晶片本體(11)刪除某些功能而縮小尺寸而必須將封裝尺寸縮小，則參數 SN_i 將由低變高，雖犧牲訊號品質但卻可提升了接腳的指派效率，並縮小接腳模塊的大小。

為了讓封裝尺寸後變動能夠更為系統化，本發明定義了一個變動參數(migration factor, M.F.)，該變動參數(M.F.)用於改變接腳圖塊(PA_i)時評估接腳模塊的行數(column(width) of the pin block)，如下：

$$M.F. = (-1) \cdot col \cdot \left(\frac{1}{SN_p} - \frac{1}{SN_m} \right)$$

$$\Rightarrow \begin{cases} >0 \text{ for enlarging package} \\ <0 \text{ for shrinking package} \end{cases} \quad (17)$$

其中，col 是接腳圖塊(PA_i)的行數， SN_p 及 SN_m 分別是每個接腳圖塊(PA_i)包含的調整前(previous)、調整後(modified)的訊號接腳數(signal-pin number per pattern)，以前述本實施例所提的六個接腳圖塊(PA_i)為例，下表 4 表示了六個接腳圖塊(PA_i)的 M.F. 參數計算結果，其中「+」代表變大的接腳模塊，而「-」代表縮小的接腳模塊。因此，只要將群組化的接腳模塊的總接腳數(total pin number of a group) 乘上變動參數(M.F.) 即可估計接腳模塊所需的行數(寬度)，如此，設計者即可再決定(可以設定判斷條件，以自動決定接腳圖塊之重新選用)要採用那個接腳

圖塊 (PA_i , pin pattern)。

表 4

	接腳圖塊 1	接腳圖塊 2,3	接腳圖塊 4,5	接腳圖塊 6
接腳圖塊 1	N/A	-3/40	-1/8	-5/24
接腳圖塊 2,3	+3/40	N/A	-1/20	-2/15
接腳圖塊 4,5	+1/8	+1/20	N/A	-1/12
接腳圖塊 6	+5/24	+2/15	+1/12	N/A

綜上所述，請參考第十圖，本發明之應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法的之流程，步驟包含：接受設定接腳規格與需求(51)、產生複數個接腳圖塊(53)、接腳模塊的建構與群組化(55)及接腳模塊的平面位置配置(57)。

該接受設定接腳規格與需求(51)步驟中，由於本發明係為一種配合印刷電路板的組件與自動化指派晶片接腳的方法，因此，首先必須先取得設計標的(即晶片)的一規格與限制，讓後續的自動化可以依據設計規格執行自動化的運算與指派。該規格與限制可包含該印刷電路板之組件的位置配置關係、訊號完整性(signal integrity)的要求、訊號接腳名稱及數量、電源接腳數量...等。

該產生複數個接腳圖塊(53)步驟中，係將步驟(51)之各項設計要求與限制考量寫成一個 ILP 問題(如前述的公式(3)~(8))並求解而得到複數個滿足所設定的 ILP 問題的接腳圖塊(PA_i)。

該接腳模塊的建構與群組化(55)步驟中，由於一個接腳模塊(pin block)與該印刷電路板的元件呈一對一對應，因此，該步驟(51)完成輸入的晶片接腳限制條件時，即可得知晶片之複數個接腳模塊與印刷電路板的元件的位置對應關係，以及不同的接腳模塊其特定要求與電氣特性限制，因此，本步驟(55)實際上是在步驟(53)完成產生各接腳圖塊後，依據每一個接腳模塊內部所需的訊號線數量，配合其訊號線品質要求自動選定適當的接腳圖塊之後，依據所需的訊號線數量直接填入而形成各接腳模塊，並將各接腳模塊依據對應的元件位置關係，編給順序而以順時針或逆時針的方式排列於該晶片之周圍。同時，再填入接腳圖塊進入某一接腳模塊時，也將一併依據該接腳模塊所需的電源接腳數量填入該接腳模塊內，形成每一接腳模塊與在印刷電路板上所對應的組件所需的電源通道。

當完成前述的接腳模塊架構之後，再將完成的接腳模塊進行群組化，群組化可採用的策略包含：該邊界條件限制接腳模塊群組化決定策略(BCPG 策略)以及該繞線阻塞排除接腳模塊群組化決定策略(CFPG 策略)。如前所述，執行接腳模塊群組化的過程可以依據設計需求選擇以該BCPG 策略或該CFPG 策略進行群組化而將各接腳模塊分成四個分別位於晶片之接腳指派區域之四個邊的群組化的接腳模塊，且於群組化完成後得到各群組化的接腳模塊與四個邊接腳指派區域的尺寸關係，而分別為四個尺寸關係參數 E_i , $i \in 1, 2, 3, 4$ ，其中， E_i 為正代表群組化的接腳模塊超過接腳指派區域， E_i 為負代表群組化的接腳模塊超過接

腳指派區域。

接腳模塊之平面位置配置(57)，係將各群組化的接腳模塊中，依據該四個尺寸關係參數 E_i ，計算取得具有一最小化的封裝尺寸的接腳指派區域(可依據前述公式 11~16 之判斷過程)。每一群組化的接腳模塊以一再配置之演算法，將超過該接腳指派區域的一超出區移動或切割填入鄰近的一空位區。

【圖式簡單說明】

第一 A、B 圖為印刷電路板上之組件與晶片之擺設及繞線關係示意圖。

第二圖為晶片與印刷電路板的剖面示意圖。

第三 A、B 圖為印刷電路板上及晶片封裝基座上之繞線示意圖。

第四圖為晶片封裝仰視尺寸示意圖。

第五(1)~(6)圖為六種接腳圖塊與對應的等效電路模型示意圖。

第六圖為接腳模塊之尺寸關係與再配置示意圖。

第七圖為使用一邊界條件限制接腳模塊群組化決定策略之繞線示意圖。

第八圖為使用一繞線阻塞排除接腳模塊群組化決定策略之繞線示意圖。

第九 A~D 圖為接腳模塊之平面位置配置之動作示意圖。

第十圖為應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法之流程圖。

【主要元件符號說明】

(10)晶片

(11)晶片本體

(12)焊料件

(13)覆晶封裝結構

(131)上蓋

(132)晶片封裝基座

(133)焊料球

(21)上層訊號線網路

(211)訊號接點

(213)接地點

(22)通道

(23)下層訊號線網路

(PCB)印刷電路板

(Via)通道

(PA_i)接腳圖塊

七、申請專利範圍：

1. 一種應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，其步驟包含：

接受設定接腳規格與需求：取得一晶片的規格與限制，該規格與限制包含該晶片與一印刷電路板之複數組件的連結位置配置關係、該晶片之訊號完整性要求、該晶片的訊號接腳名稱及數量以及該晶片之電源接腳數量；

產生複數個接腳圖塊：依據該規格與限制以產生符合該規格與限制的複數個接腳圖塊 (PA_i)，各接腳圖塊具有不同的訊號接腳數量以及主要作為提升每一接腳圖塊內訊號品質的電源接腳或接地接腳；

接腳模塊的建構與群組化：依據該晶片與該印刷電路板之各組件的配置關係以及連接關係，產生複數個與各組件分別對應的接腳模塊，其中，該接腳模塊包含滿足所對應的組件之該規格與限制要求的其中一種接腳圖塊以及一電源接腳模塊，且各接腳模塊依據所對應的各組件之位置關係編給順序，並使用預先設定之一邊界條件限制接腳模塊群組化決定策略或一繞線阻塞排除接腳模塊群組化決定策略將各接腳模塊以順時針或逆時針的方式排列於圍繞該晶片四個邊的一接腳指派區域，並將對應置於該晶片四個邊的接腳模塊進行群組化而成為四個群組化的接腳模塊，每個群組化的接腳模塊分別置於與該晶片四個邊對應的接腳指派區域，每個群組化的接腳模塊與對應的接腳指派區域各產生一個尺寸關係參數 E_i ， $i \in 1, 2, 3, 4$ ；及

接腳模塊的平面位置配置：將各群組化的接腳模塊，

依據該四個尺寸關係參數 E_i 計算取得具有一最小化的封裝尺寸的接腳指派區域，之後，每一群組化的接腳模塊以一再配置之演算法，將超過該最小化的封裝尺寸的接腳指派區域的一超出區以移動或切割方式填入鄰近的一空位區。

2. 如申請專利範圍第 1 項所述之應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，該產生複數個接腳圖塊步驟中，係將該規格與限制以一整數線性程序問題描述並求解，以產生該複數個接腳圖塊 (PA_i)，其中，該整數線性程序問題之公式如下：

$$p_{j,k} = \begin{cases} 1 & \text{for signal pins} \\ 0 & \text{for power/ground pins,} \end{cases} \quad \forall PA_i \quad (3)$$

$$\sum_{j=1}^{row} p_{j,k} \leq C_k, \quad \forall PA_i, C_k \in N \quad (4)$$

$$\sum_{k=1}^{col} p_{j,k} + p_{j,k+1} \leq D_j, \quad \exists PA_i, D_j \in N \quad (5)$$

$$\frac{SN_i}{col \cdot row - SN_i} \leq SRR_i, \quad \forall PA_i \quad (6)$$

$$\frac{p_{j,k}}{4 - (p_{j+1,k} + p_{j-1,k} + p_{j,k+1} + p_{j,k-1})} \leq SSR_i, \quad \exists \quad (7)$$

$$RPT_i = \begin{cases} 1 & \text{for using power pins} \\ 0 & \text{for using ground pins,} \end{cases} \quad \forall P_i \quad (8)$$

其中：

$p_{j,k}$ 代表產生的每一接腳圖塊 (PA_i) 的接腳型態，1 代表一訊號接腳，0 代表一電源接腳或一接地接腳；

$SN_i (= \sum_{k=1}^{col} \sum_{j=1}^{row} p_{j,k})$ 代表一個該接腳圖塊 (PA_i) 之訊號接腳數量，row 及 col 代表一個該接腳圖塊 (PA_i) 所包含之接腳的列數及行數；

公式(4)規範一訊號接腳容納量(C_k)，其限制了所有接腳圖塊(PA_i)於每一行之訊號接腳個數；

公式(5)規範一差分訊號限制條件(D_j)，係指一個該接腳圖塊(PA_i)作為差分用途的差分訊號接腳必須被分配在同一列中的相鄰位置；

公式(6)為一訊號接腳相對於作為一迴路路徑接腳的比例(SRR_i)；

公式(7)是一訊號接腳相對於作為一屏蔽接腳的比例(SSR_i)；以及

公式(8)是一迴路路徑接腳之型態(RPT_i)，該迴路路徑接腳之型態與該迴路路徑接腳所對應的該印刷電路板之參考面的型態有關，該參考面為一接地層或一電源層。

3.如申請專利範圍第 1 或 2 項所述之應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，該接腳模塊的建構與群組化步驟中，該邊界條件限制接腳模塊群組化決定策略使用一安全範圍：

$$\varphi_1 \cdot AVG_s \leq S_m \leq \varphi_2 \cdot AVG_s$$

其中：

S_m 是一群組化的接腳模塊的尺寸；

φ_1 及 φ_2 為使用者可以定義的數值；

$AVG_s = (\sum_n w_n) / 4$ 為群組化的接腳模塊的平均尺寸；以

及

w_n 是每個群組化的接腳模塊的寬度。

4.如申請專利範圍第 1 或 2 項所述之應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，該接腳模塊

的建構與群組化步驟中，該繞線阻塞排除接腳模塊群組化決定策略使用一安全範圍：

$$\phi_1 \cdot \text{AVG}_p \leq \text{TP}_i \leq \phi_2 \cdot \text{AVG}_p \dots (10)$$

其中：

TP_i 是群組化的接腳模塊的訊號接腳總數；

ϕ_1 及 ϕ_2 是使用者定義參數；

$\text{AVG}_p = (\sum_j p_j)/4$ 是每個群組化的接腳模塊平均訊號接腳數量；

p_j 是每個各接腳模塊的訊號接腳數量。

5. 如申請專利範圍第 1 或 2 項所述之應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，該接腳模塊的平面位置配置中，依據該四個尺寸關係參數 E_i 計算取得具有一最小化的封裝尺寸的接腳指派區域之計算，係將該規格與限制表示為一線性問題予以求解，該線性問題如下：

最小化：

$$f = \sum_{j=1,3} \left(\sum_i w_{ji} + E_j \right) h_j + \sum_{j=2,4} \left(\sum_i h_{ji} + E_j \right) w$$

並滿足：

$$W_{\min} = w_4 + \sum_i w_{1i} + E_1 = w_2 + \sum_i w_{3i} + E_3 \quad (11)$$

$$H_{\min} = h_1 + \sum_i h_{2i} + E_2 = h_3 + \sum_i h_{4i} + E_4 \quad (12)$$

$$W_{\min} \geq w_2 + w_4 + w_{\text{Core}} \quad (13)$$

$$H_{\min} \geq h_1 + h_3 + h_{\text{Core}} \quad (14)$$

$$W_{\min} = H_{\min}; w_{\text{Core}} = h_{\text{Core}} \quad (15)$$

$$E_1 + E_2 + E_3 + E_4 \geq 0 \quad (16)$$

其中：

W_{\min} 為該最小化的封裝尺寸的接腳指派區域之寬度；

H_{\min} 為該最小化的封裝尺寸的接腳指派區域之高度；

$w_{2,4}$ 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的寬度；

w_{1i} 、 w_{3i} 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的寬度，其中 i 代表不同的接腳模塊；

h_1 、 h_3 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的高度；

h_{2i} 、 h_{4i} 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的高度，其中 i 代表不同的接腳模塊；及

w_{Core} 、 h_{Core} 分別代表該晶片於該最小化的封裝尺寸的接腳指派區域中心的一核心的寬度與高度。

6. 如申請專利範圍第 3 項所述之應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，該接腳模塊的平面位置配置中，依據該四個尺寸關係參數 E_i 計算取得具有一最小化的封裝尺寸的接腳指派區域之計算，係將該規格與限制表示為一線性問題予以求解，該線性問題如下：

最小化：

$$f = \sum_{j=1,3} \left(\sum_i w_{ji} + E_j \right) h_j + \sum_{j=2,4} \left(\sum_i h_{ji} + E_j \right) w_j$$

並滿足：

$$W_{\min} = w_4 + \sum_i w_{1i} + E_1 = w_2 + \sum_i w_{3i} + E_3 \quad (11)$$

$$H_{\min} = h_1 + \sum_i h_{2i} + E_2 = h_3 + \sum_i h_{4i} + E_4 \quad (12)$$

$$W_{\min} \geq w_2 + w_4 + w_{Core} \quad (13)$$

$$H_{\min} \geq h_1 + h_3 + h_{Core} \quad (14)$$

$$W_{\min} = H_{\min}; w_{Core} = h_{Core} \quad (15)$$

$$E_1 + E_2 + E_3 + E_4 \geq 0 \quad (16)$$

其中：

W_{\min} 為該最小化的封裝尺寸的接腳指派區域之寬度；

H_{\min} 為該最小化的封裝尺寸的接腳指派區域之高度；

$w_{2,4}$ 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的寬度；

w_{1i}, w_{3i} 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的寬度，其中 i 代表不同的接腳模塊；

h_1, h_3 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的高度；

h_{2i}, h_{4i} 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的高度，其中 i 代表不同的接腳模塊；及

w_{Core}, h_{Core} 分別代表該晶片於該最小化的封裝尺寸的接腳指派區域中心的一核心的寬度與高度。

7. 如申請專利範圍第 4 項所述之應用於晶片封裝與電路板共同設計之晶片接腳指定設計方法，該接腳模塊的平面位置配置中，依據該四個尺寸關係參數 E_i 計算取得具有一最小化的封裝尺寸的接腳指派區域之計算，係將該規格與限制表示為一線性問題予以求解，該線性問題如下：

最小化：

$$f = \sum_{j=1,3} \left(\sum_i w_{ji} + E_j \right) h_j + \sum_{j=2,4} \left(\sum_i h_{ji} + E_j \right) w_j$$

並滿足：

$$W_{\min} = w_4 + \sum_i w_{1i} + E_1 = w_2 + \sum_i w_{3i} + E_3 \quad (11)$$

$$H_{\min} = h_1 + \sum_i h_{2i} + E_2 = h_3 + \sum_i h_{4i} + E_4 \quad (12)$$

$$W_{\min} \geq w_2 + w_4 + w_{Core} \quad (13)$$

$$H_{\min} \geq h_1 + h_3 + h_{Core} \quad (14)$$

$$W_{\min} = H_{\min}; w_{Core} = h_{Core} \quad (15)$$

$$E_1 + E_2 + E_3 + E_4 \geq 0 \quad (16)$$

其中：

W_{\min} 為該最小化的封裝尺寸的接腳指派區域之寬度；

H_{\min} 為該最小化的封裝尺寸的接腳指派區域之高度；

$w_{2,4}$ 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的寬度；

w_{1i}, w_{3i} 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的寬度，其中 i 代表不同的接腳模塊；

h_1, h_3 分別代表與該晶片之第 1 邊、第 3 邊對應的各接腳模塊的高度；

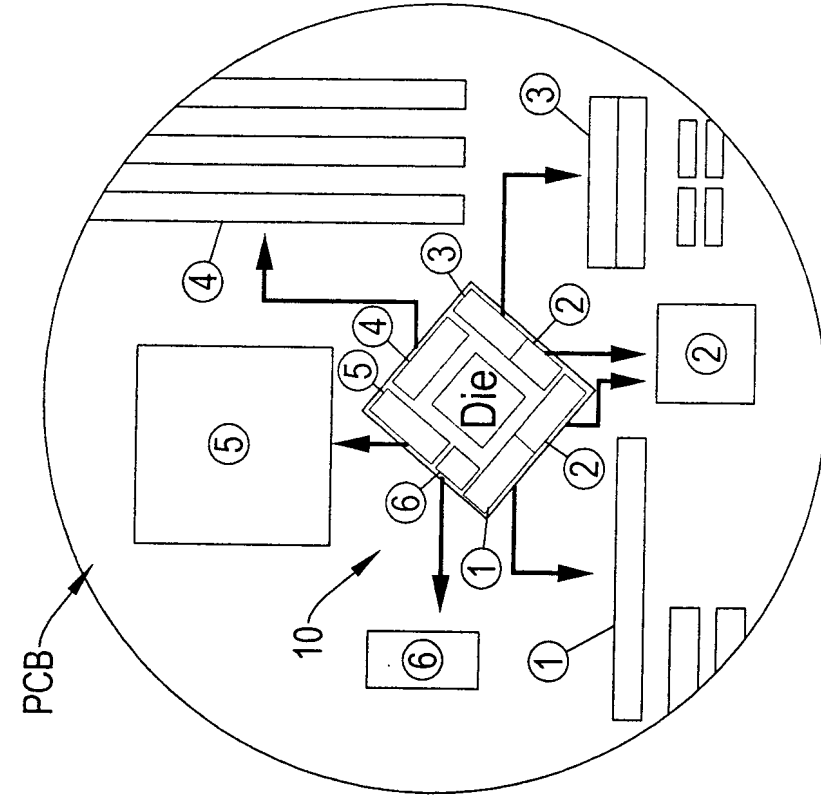
h_{2i}, h_{4i} 分別代表與該晶片之第 2 邊、第 4 邊對應的各接腳模塊的高度，其中 i 代表不同的接腳模塊；及

w_{Core}, h_{Core} 分別代表該晶片於該最小化的封裝尺寸的接腳指派區域中心的一核心的寬度與高度。

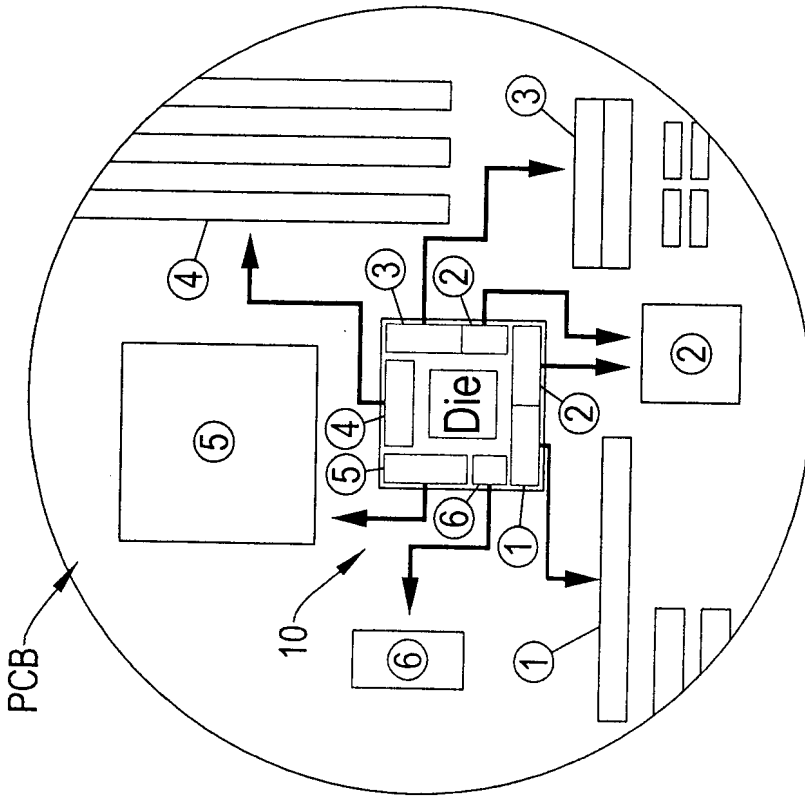
8. 一種內儲用於晶片封裝與電路板共同設計之晶片接腳指定設計之電腦程式產品，當電腦載入該電腦程式並執

行後，可完成申請專利範圍 1 所述之方法。

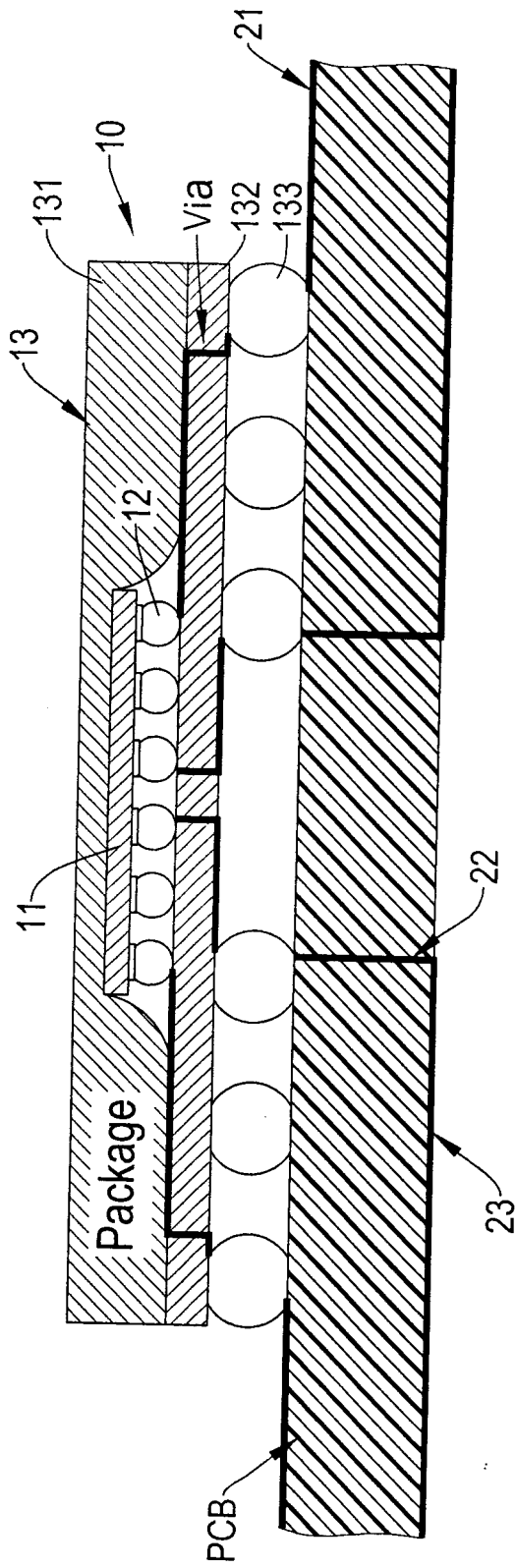
八、圖式：(如次頁)



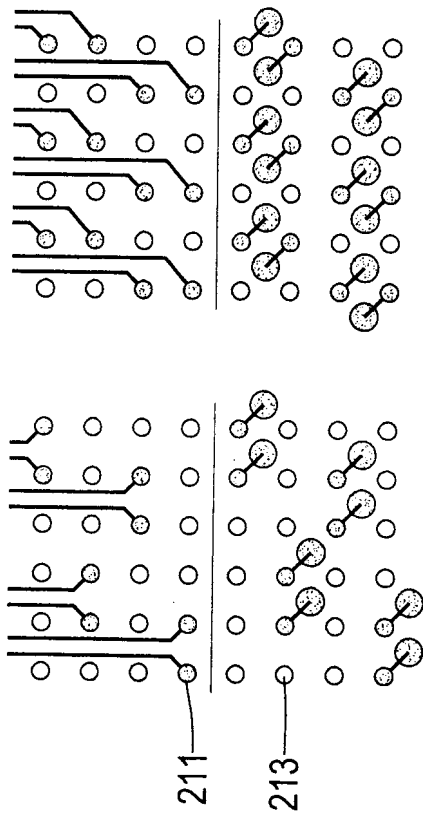
第一A圖



第一B圖

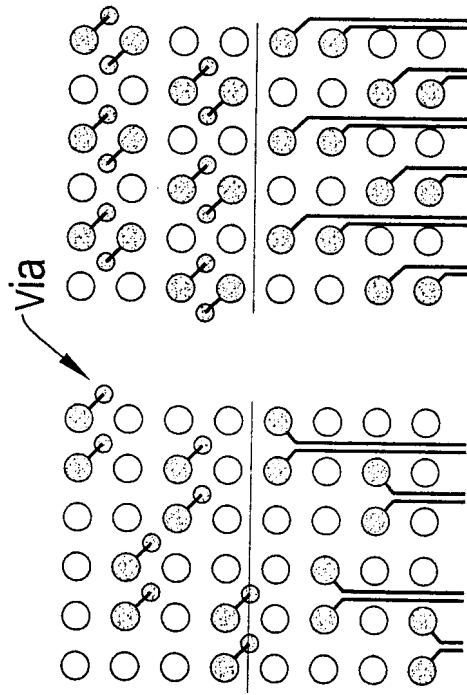


第二圖



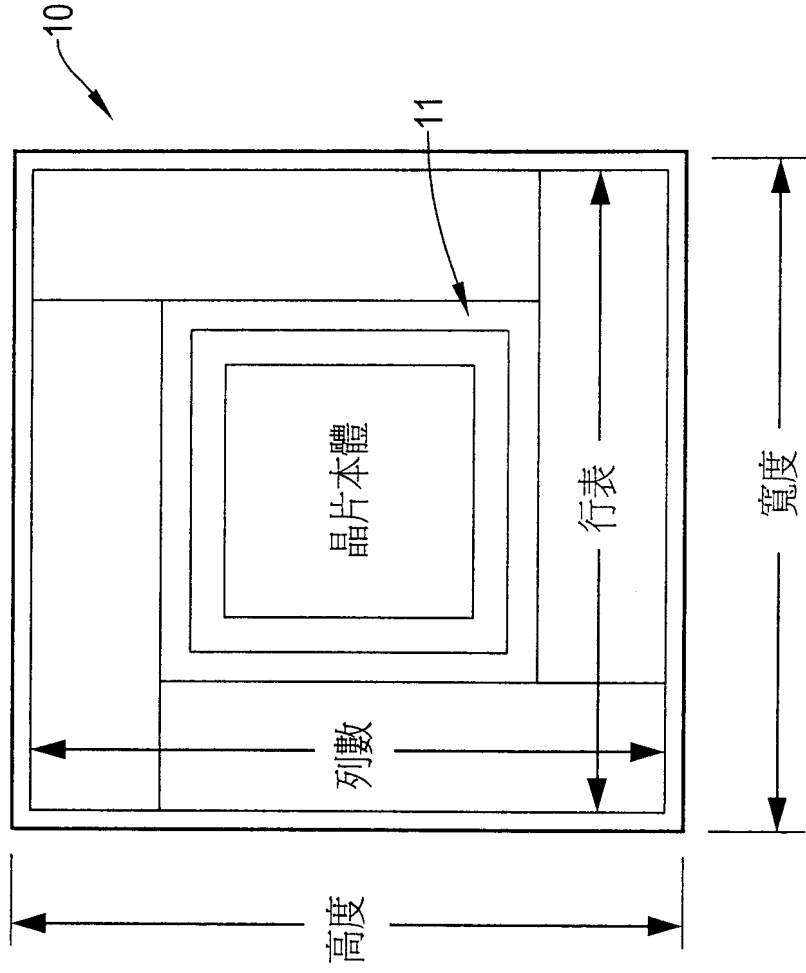
印刷電路板俯視圖
 接點尺寸: 14 (mil)
 接點間距: 39.37 (mil)
 線網路限制:
 (線寬/間距): 5/5 (mil)
 通道 (Via) 尺寸: 22 (mil)

第三A圖

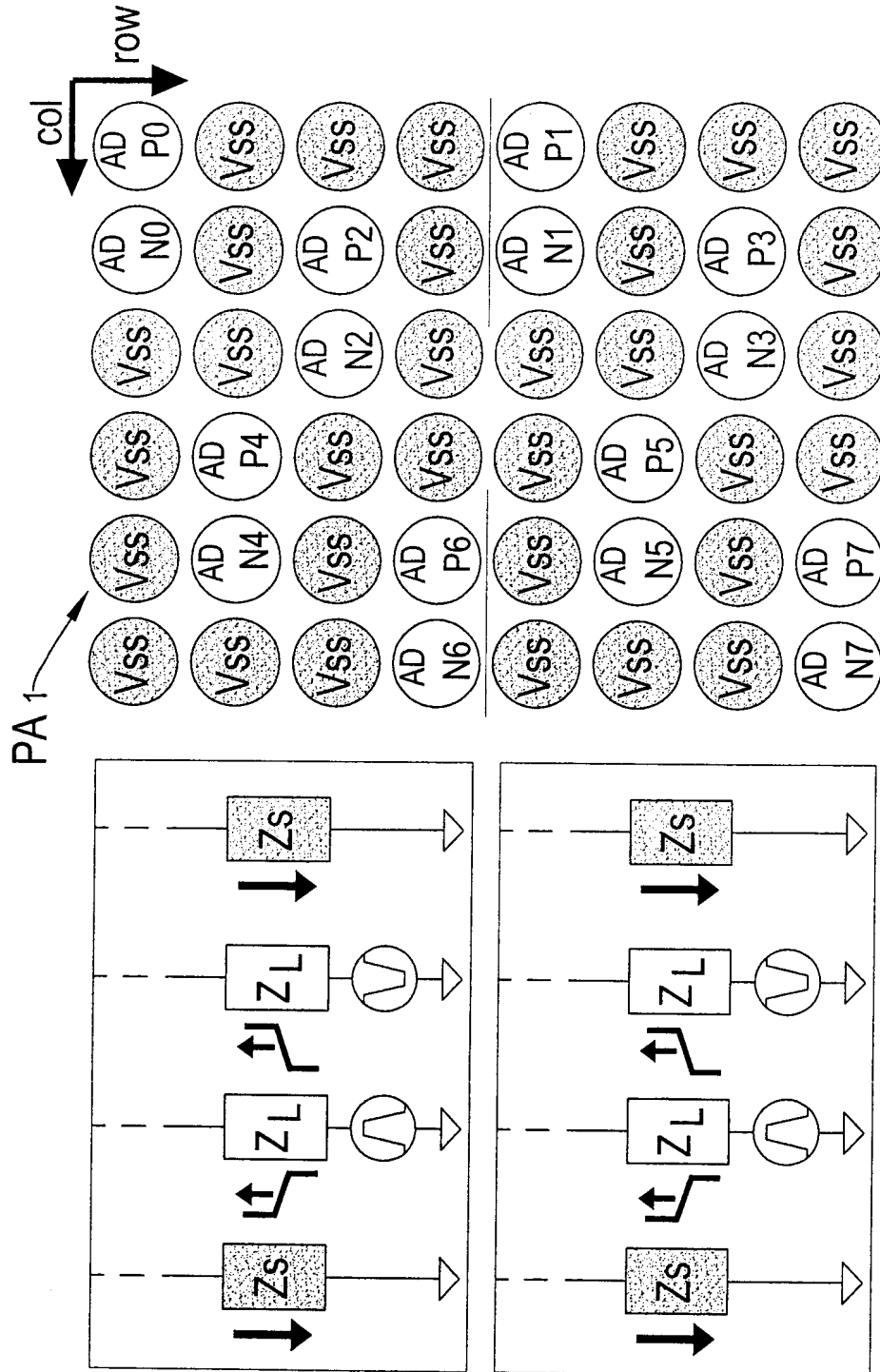


晶片封裝基座之上視圖
 焊料球尺寸: 600 (um)
 焊料球間距: 1000 (um)
 電路板接合座之訊號線尺寸限制
 (上/下層): 50/50 ~ 350 (um)
 通道 (Via) 尺寸: 350 (um)

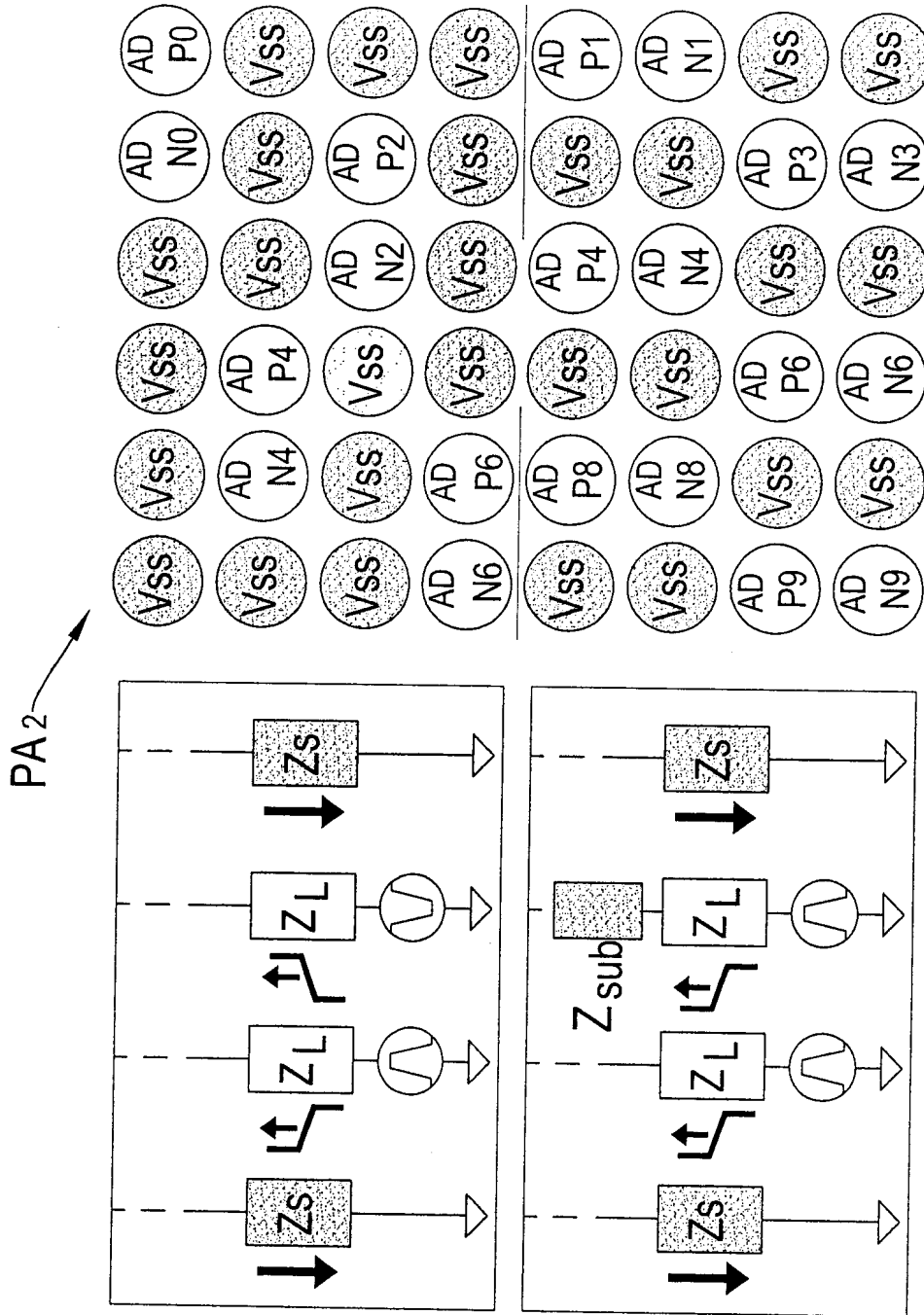
第三B圖



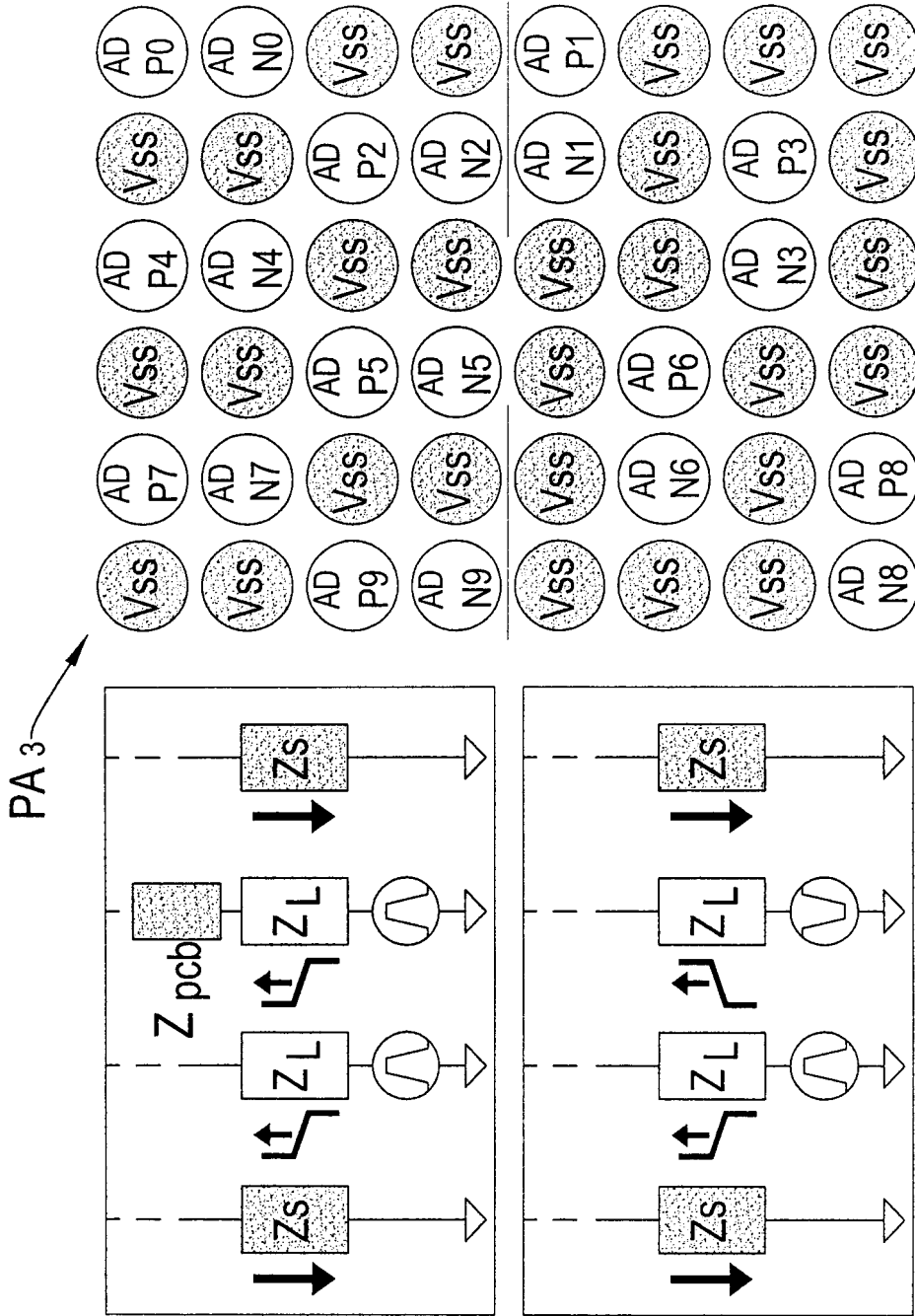
第四圖



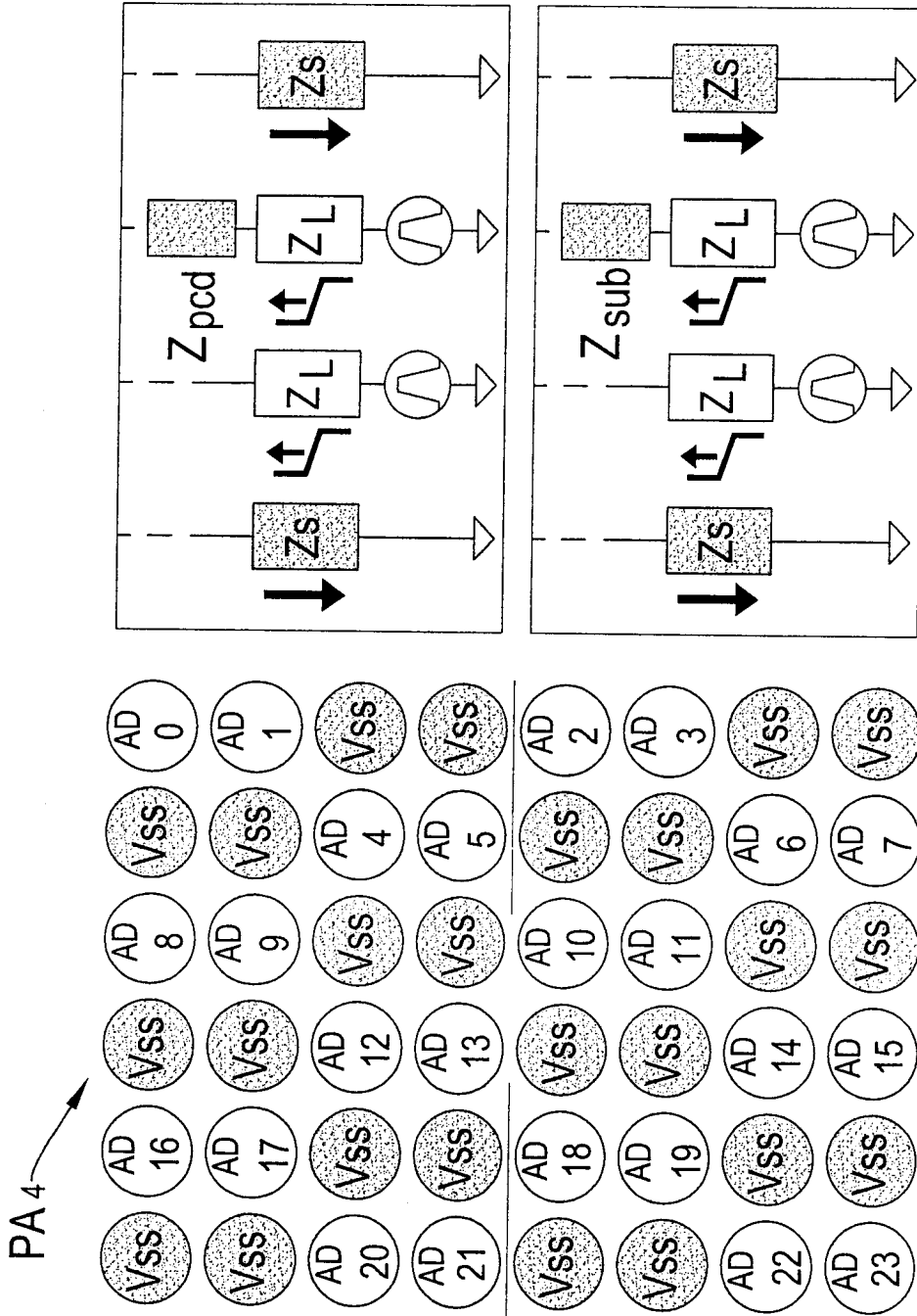
第五(1)圖



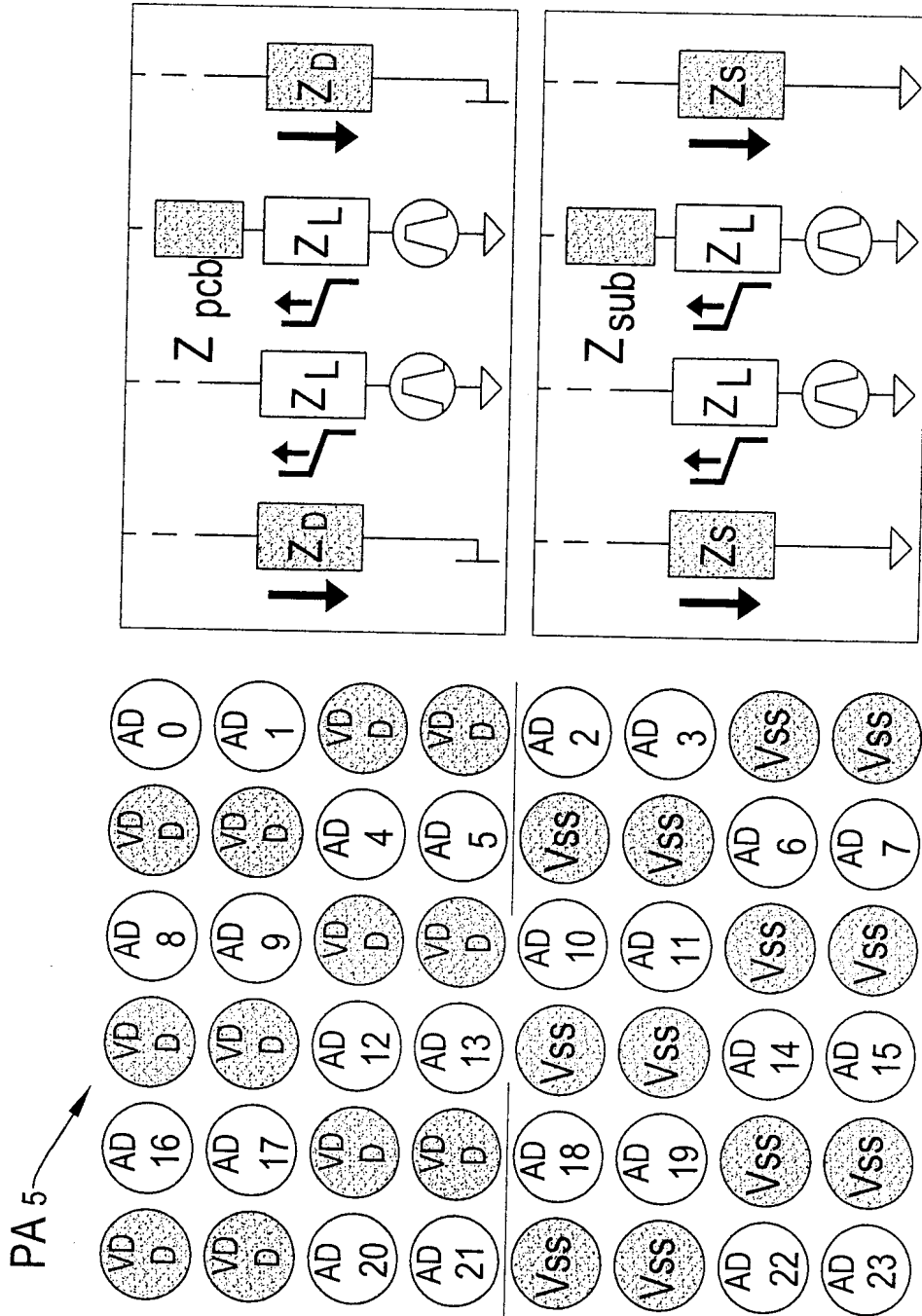
第五(2)圖



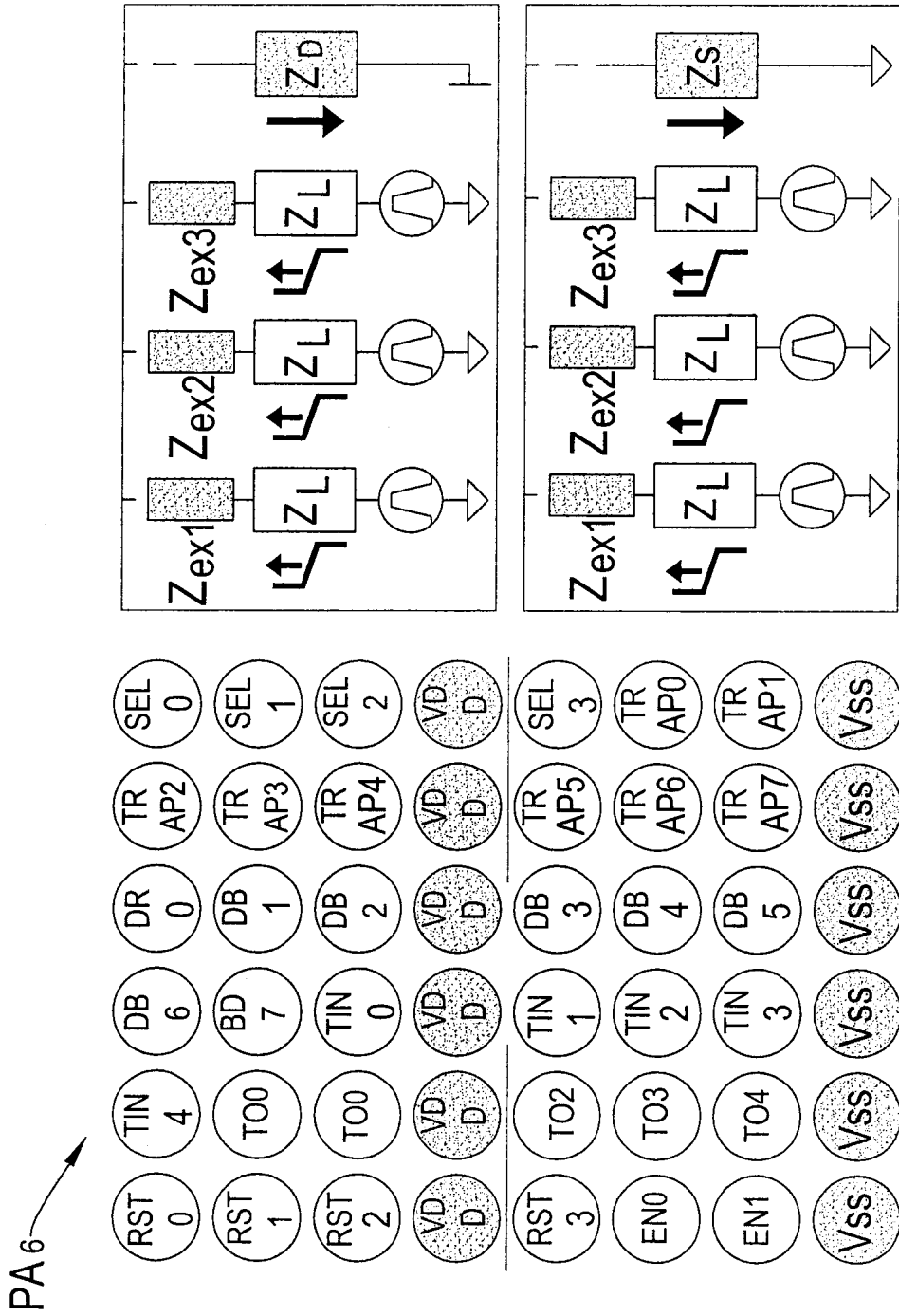
第五(3)圖



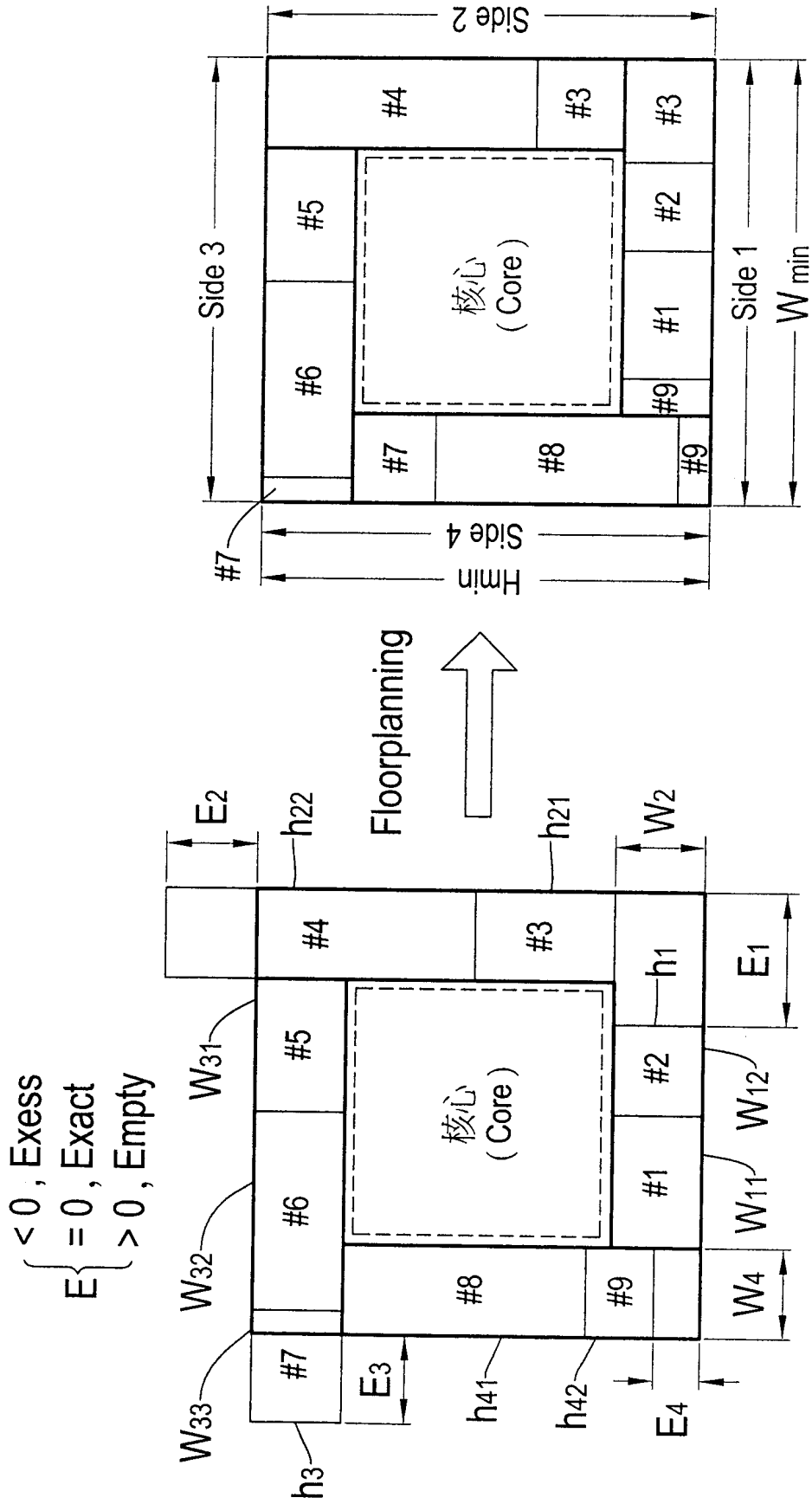
第五(4)圖



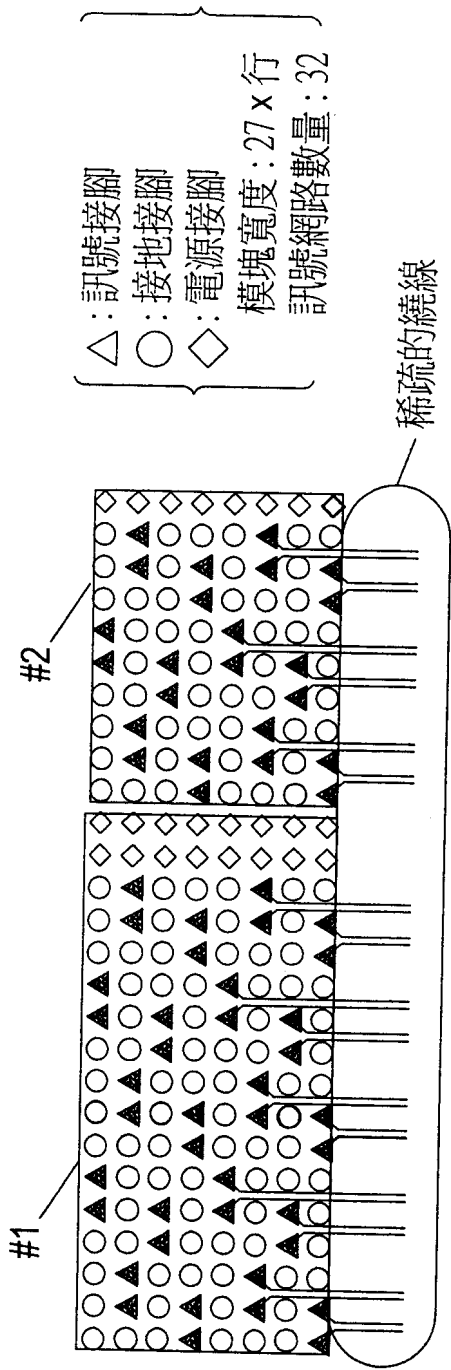
第五(5)圖



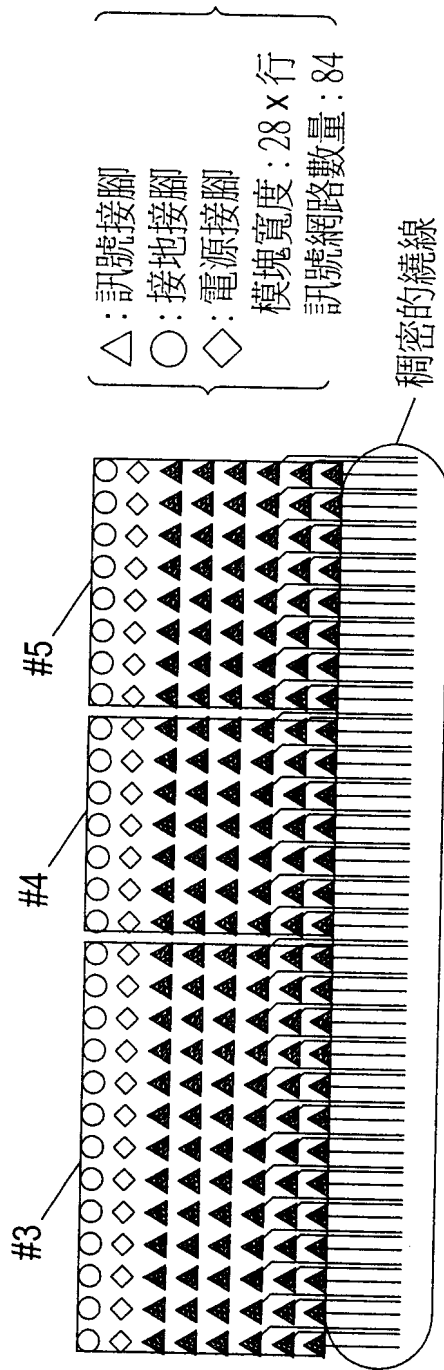
第五(6)圖



第六圖

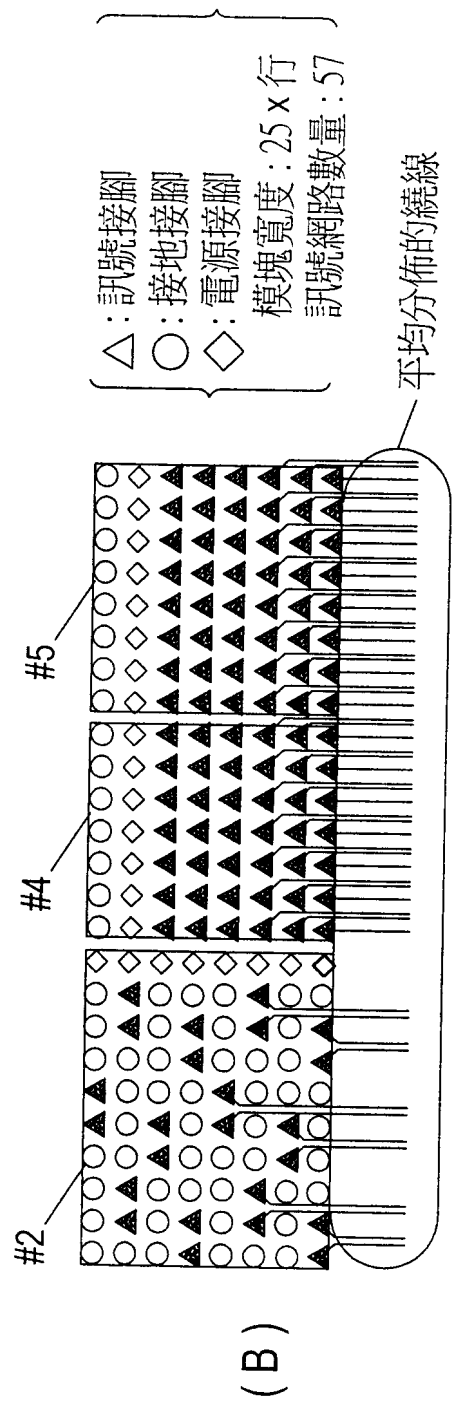
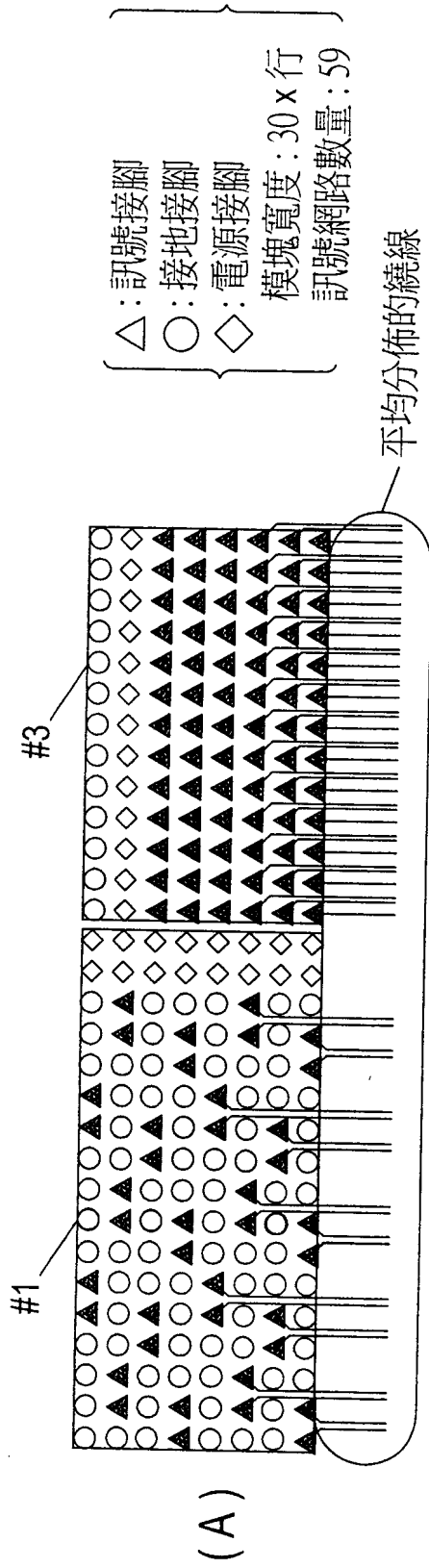


(A)

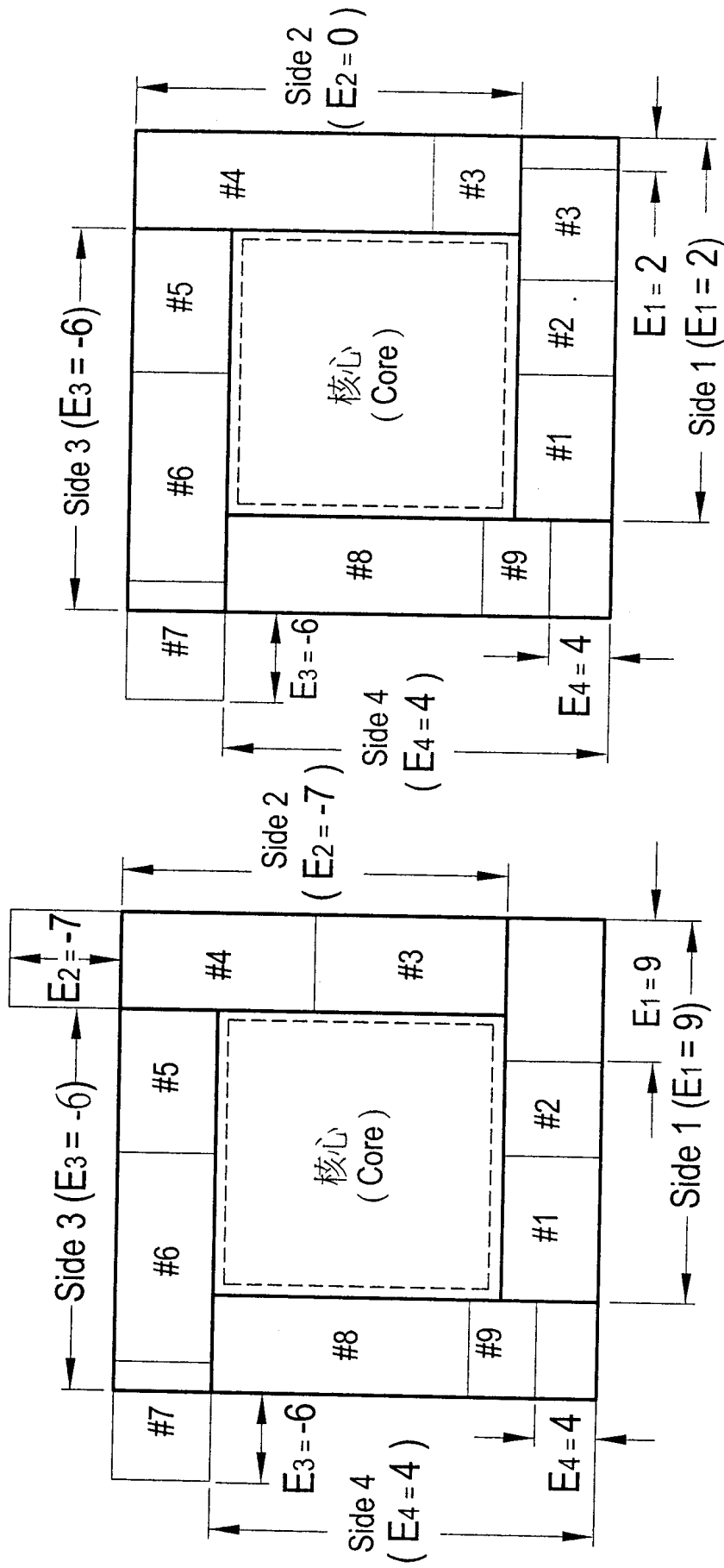


(B)

第七圖

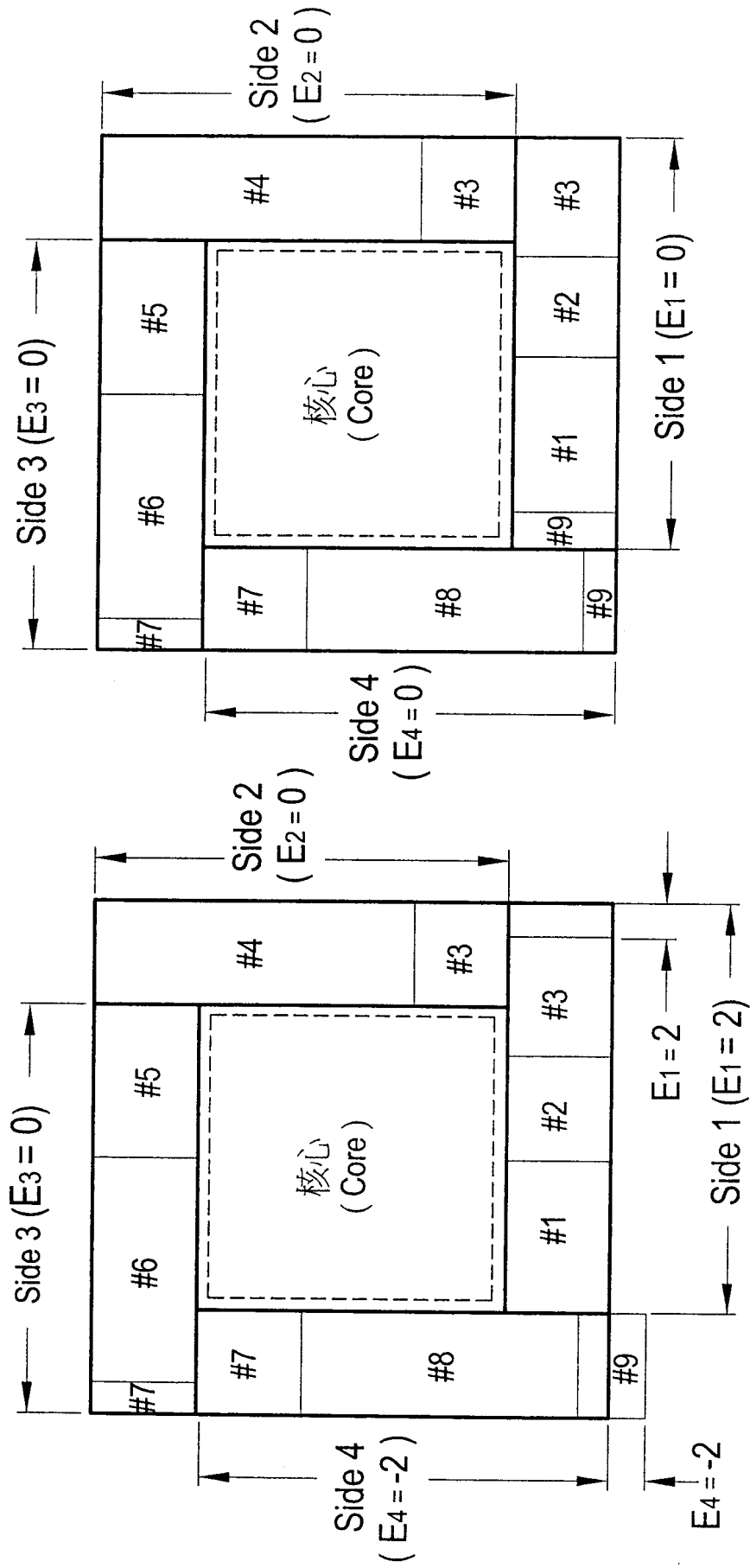


第八圖



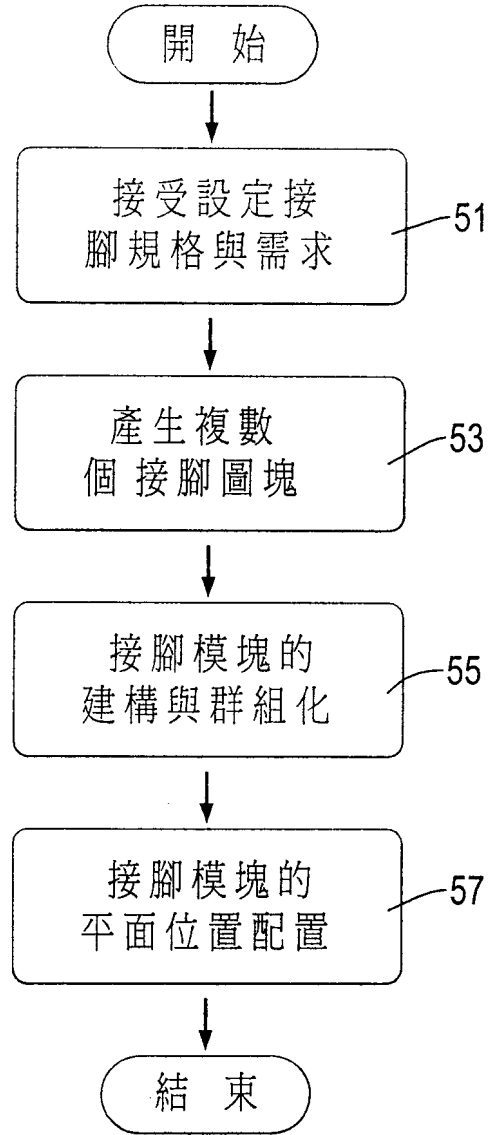
第九B圖

第九A圖



第九D圖

第九C圖



第十圖

的該印刷電路板(PCB)之參考面(reference plane)的型態有關，所謂的參考面的型態包含在該印刷電路板(PCB)的一接地層或一電源層。當迴路路徑之型態與該印刷電路板(PCB)之型態匹配時，則寄生電感下降。

以前述的具有上、下兩層可繞線的該印刷電路板(PCB)為範例，求解該 ILP 問題之各限制參數範例可如下表 2 所述：

表 2

		C_k	D_i	SRR_i	SSR_i	RPT_i
接腳圖塊 1(PA_1)	PA_{10}	62	1/2	1/3	0	
	PA_{11}	62	1/2	1/3	0	
接腳圖塊 2(PA_2)	PA_{20}	62	1/2	1/3	0	
	PA_{21}	6N/A	1	1/3	0	
接腳圖塊 3(PA_3)	PA_{30}	6N/A	1	1/3	0	
	PA_{31}	62	1/2	1/3	0	
接腳圖塊 4(PA_4)	PA_{40}	6N/A	1	1/3	0	
	PA_{41}	6N/A	1	1/3	0	
接腳圖塊 5(PA_5)	PA_{50}	6N/A	1	1/3	1	
	PA_{51}	6N/A	1	1/3	0	
接腳圖塊 6(PA_6)	PA_{60}	6N/A	3	N/A	1	
	PA_{61}	6N/A	3	N/A	0	

上表 2 的 PA_{i0} 、 PA_{i1} 代表每一個接腳圖塊(pin pattern, PA_i)的前半(fore-half)以及後半(back-half)圖塊。

請參考第五(1)~(6)圖，其為表 2 所述的範例之六種接腳圖塊(PA_i)的以及其分別對應之簡化阻抗匹配模型(simplified impedance models)，該簡化阻抗匹配模型(Z_L)由一串聯電阻(serial resistor, R)、一串聯電感(serial inductor, $j\omega L$)以及一分流電容(shunt capacitor, $1/j\omega C$)，其中 $Z_L = R + j\omega L + 1/j\omega C$ 。以該接腳圖塊 1(PA_1)為例

98121373

(PA_i)作為接腳位置指派的樣版，並配合該印刷電路板(PCB)或該晶片封裝基座(132)之某個特定的匯流排佈線之特性需求(訊號完整度、接腳密度、抗干擾特性、屏蔽效能...等)，選擇適當的接腳圖塊(PA_i)予以對應排列，如此，可以達到接腳指派的有效性。

如前所述的接腳圖塊(PA_i)只是一個範例，其形式並不限定於前述的六種模式，因為設計者可以依據所需的接腳密度、繞線效率、訊號完整性等特性要求，重新解該 ILP 問題，達到客製化的接腳圖塊(PA_i)作為接腳指定的樣版。因此，自接腳圖塊(PA_i)之指定及至圖塊與印刷電路板(PCB)與晶片封裝基座(132)之接腳指派工作，使用本發明之前述方法，都可以有效率且自動化的完成接腳指派工作。

表 3

接腳圖塊	接腳應訊號用範疇	訊號接腳數量	抗串音	網路佈線平衡				晶片封裝基座之屏蔽(VDD/VSS)		是否含電傳知	包源通腳	接腳密度
				PCB		晶片封裝基座		上層	下層			
				上層	下層	上層	下層					
圖塊 1	差分訊號	16	優	優	好	好	好	VSS	VSS	無	不佳	
圖塊 2	差分/終端	20	好	優	好	好	不佳	VSS	VSS	無	普通	
圖塊 3	差分/終端	20	好	不佳	好	好	好	VSS	VSS	無	普通	
圖塊 4	差分/終端	24	優	不佳	好	好	不佳	VSS	VSS	無	好	
圖塊 5	差分/終端	24	優	不佳	好	好	不佳	VDD	VSS	有	好	
圖塊 6	終端	36	不佳	不佳	不佳	不佳	不佳	無	無	有	優	

以下，更進一步說明使用前述的接腳圖塊(PA_i)進行與該印刷電路板(PCB)元件或連接器之位置對應的接腳模塊之自動化指派時，所需考量的各項事項及方法：

設計者依據電氣特性之需求完成接腳圖塊(PA_i)的設計