



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201036074 A1

(43)公開日：中華民國 99 (2010) 年 10 月 01 日

(21)申請案號：098109702

(22)申請日：中華民國 98 (2009) 年 03 月 25 日

(51)Int. Cl.：

H01L21/56 (2006.01)

H01L23/48 (2006.01)

H01L23/28 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：張翼 CHANG, EDWARD YI (TW)；許立翰 HSU, LI HAN (TW)；胡志偉 OH, CHEE-

WAY (MY)；吳偉誠 WU, WEI CHENG (TW)；王景德 WANG, CHIN TE (TW)

(74)代理人：賴國榕

申請實體審查：有 申請專利範圍項數：12 項 圖式數：7 共 24 頁

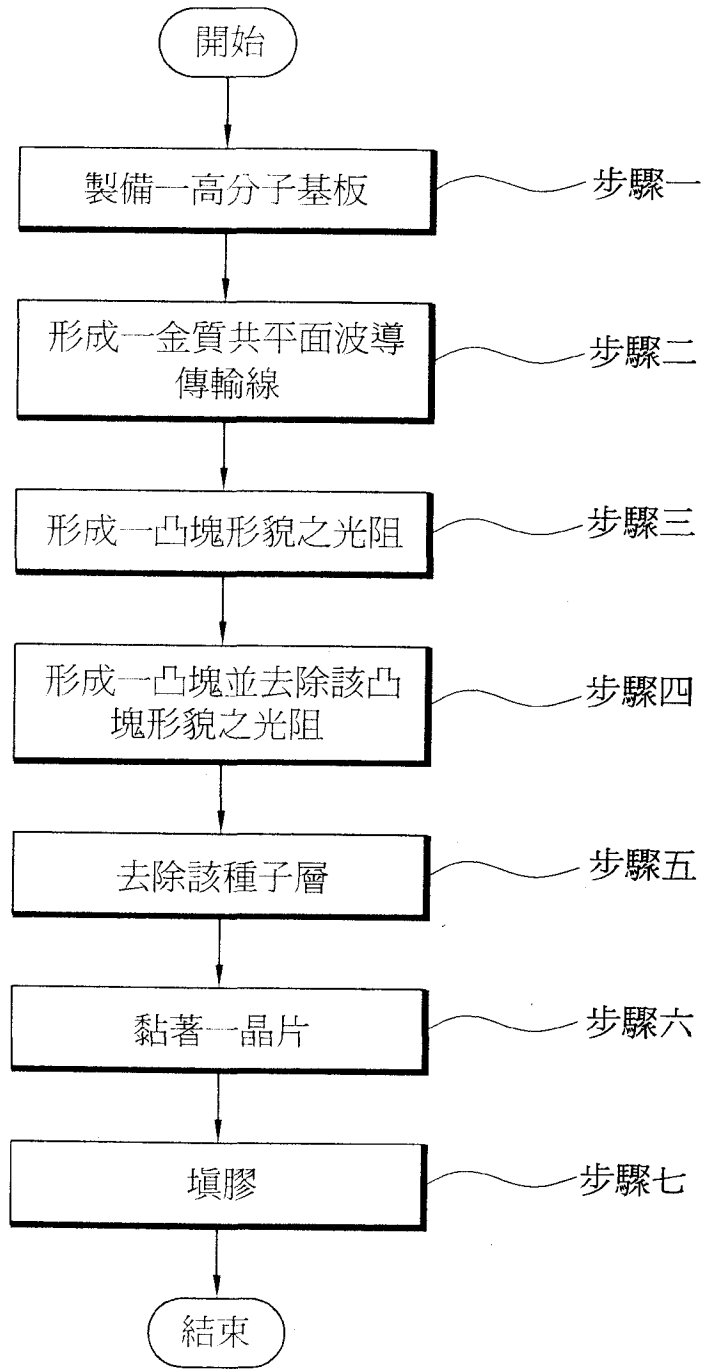
(54)名稱

高分子基板之高頻覆晶封裝製程及其結構

HIGH FREQUENCY FLIP CHIP PACKAGE PROCESS OF POLYMER SUBSTRATE AND STRUCTURE THEREOF

(57)摘要

本發明係提供一種高分子基板之高頻覆晶封裝製程及其結構，其係利用一階層之高頻覆晶封裝製程所封裝之結構，該結構可有效解決習用經由二階層之高頻覆晶封裝製程所製造之結構，其不僅在高頻特性上會帶來一額外之入射損耗與反射損耗，同時在應用上容易產生一可靠度問題、以及在該習用結構中之一陶瓷基板的製程良率上，仍存在有不佳及成本偏高等缺點。



發明專利說明書

(本說明書格式、順序、請勿任意更動、※記號部分請勿填寫)

※ 申請案號：98109702

H01L 21/56 (2006.01)

※ 申請日：98.3.25

※ I P C 分類：

H01L 23/48 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/28

高分子基板之高頻覆晶封裝製程及其結構 / HIGH FREQUENCY FLIP
CHIP PACKAGE PROCESS OF POLYMER SUBSTRATE AND STRUCTURE
THEREOF

二、中文發明摘要：

本發明係提供一種高分子基板之高頻覆晶封裝製程及其結構，其係利用一階層之高頻覆晶封裝製程所封裝之結構，該結構可有效解決習用經由二階層之高頻覆晶封裝製程所製造之結構，其不僅在高頻特性上會帶來一額外之入射損耗與反射損耗，同時在應用上容易產生一可靠度問題、以及在該習用結構中之一陶瓷基板的製程良率上，仍存在有不佳及成本偏高等缺點。

三、英文發明摘要：

This invention discloses a high frequency flip chip package process of a polymer substrate and a structure thereof, and the structure is a one-layer structure packaged by a high frequency flip chip package process to overcome the shortcomings of a conventional two-layer structure packaged by the high frequency flip chip package process. The conventional structure not only incurs additional

201036074

insertion loss and return loss in its high frequency characteristic, but also brings out a reliability issue. Thus, the manufacturing process of a ceramic substrate in the conventional structure still has the disadvantages of a poor yield rate and a high cost.

四、指定代表圖：

(一)本案指定代表圖為：第(二)圖。

(二)本代表圖之元件符號簡單說明：

無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種高分子基板之高頻覆晶封裝製程及其結構，係透過一階層之高頻覆晶封裝，以有效解決習用二階層之高頻覆晶封裝製程，其封裝之結構會具有入射、反射損耗、高成本、製程良率及可靠度等問題。

【先前技術】

按，隨著半導體產業的快速進步，目前市場上電子產品的設計朝向於小型化、輕量化與多功能化，封裝製程也朝向一更高之I/O數與一更小的間距方向努力，藉以提供電子元件一更穩定之信號傳遞通道與一更佳之散熱途徑，同時保護內部之電子元件不受外界環境影響，所以不論是在傳統的電子產品、發光二極體（LED），或是手機無線通訊等高頻產品上，封裝製程都扮演一相當重要的角色。

目前國內產業界之封裝製程，傳統上係使用一打線封裝製程，但隨著操作頻率之提高，會使得其中一寄生效應隨之增加，故該打線封裝已面臨其瓶頸，因此，二階層之高頻覆晶封裝製程被產業界視為極具潛力之封裝製程。

然而所謂二階層之高頻覆晶封裝之結構，請參閱第一圖所示，其係以一凸塊24(bumps)將一晶片25與一陶瓷基板23分別進行連接（亦即第一階層封裝）後，再以一球形陣列22(Ball Grid Array, BGA)方式將該陶瓷基板23與一高分子基板21進行連接（亦即第二階層封裝），如此，即完成一二階層之高頻覆晶封裝結構2。

惟，習用二階層之高頻覆晶封裝製程及其結構2存在有

下列缺點：

- 一、習用二階層之高頻覆晶封裝製程係經過二階層之封裝，會分別對其所製造之高頻覆晶封裝結構2的高頻特性帶來一額外之入射損耗(insertion loss)與反射損耗(return loss)。
- 二、習用之高頻覆晶封裝製程係利用二階層之封裝，故在封裝上需要一高成本及一複雜步驟。
- 三、由於該高頻覆晶封裝結構2中之高分子基板21具有一較大之熱膨脹係數(Coefficient of Thermal expansion, CTE)，故在應用上容易產生一可靠度(Reliability)上之問題。
- 四、由於該高頻覆晶封裝結構2中之陶瓷基板23的製程，其良率仍存在有不佳及成本偏高等問題。

由此可見，上述習用二階層之高頻覆晶封裝製程及其構造仍有諸多缺失，實非一良善之設計者，而亟待加以改良。

【發明內容】

有鑒於上述習用二階層之高頻覆晶封裝製程所封裝之結構，其高頻特性會帶來一額外之入射、反射損耗，且需要一高成本及一複雜步驟，同時在應用上容易產生一可靠度問題、以及在陶瓷基板的製程良率上，仍存在有不佳及成本偏高等問題；因此，發明人開發設計出一種「高分子基板之高頻覆晶封裝製程及其結構」。

本發明之一目的在提供一種高分子基板之高頻覆晶封裝製程及其結構，係利用一階層之高頻覆晶封裝製程，以

有效解決習用二階層之高頻覆晶封裝製程中，會對其所製造出二階層之高頻覆晶封裝結構的高頻特性帶來一額外之反射損耗的缺點。

本發明之另一目的在提供一種高分子基板之高頻覆晶封裝製程及其結構，係透過一階層之高頻覆晶封裝，藉以有效解決習用二階層之高頻覆晶封裝製程，因為必須利用二個階層之封裝，而需要一高成本以及一複雜製程的缺點。

本發明之又一目的在提供一種高分子基板之高頻覆晶封裝製程及其結構，係透過一階層之高頻覆晶封裝，藉以有效解決在習用二階層之高頻覆晶封裝製程中，該高分子基板具有一較大之熱膨脹係數(Coefficient of Thermal expansion, CTE)，及在應用上容易產生一可靠度之問題。

本發明之再一目的在提供一種高分子基板之高頻覆晶封裝製程及其結構，係透過一階層之高頻覆晶封裝，藉以有效解決習用二階層之高頻覆晶封裝製程中，所使用之陶瓷基板在製程良率上，仍存在有不佳及成本偏高等問題。

【實施方式】

本發明係一種「高分子基板之高頻覆晶封裝製程及其結構」，係透過一階層之高頻覆晶封裝，以完成本發明一階層之高頻覆晶封裝結構，請同時參閱第二、三及四圖所示，該一階層之高頻覆晶封裝製程，主要包括有：

步驟一、製備一高分子基板11（在本發明中，該高分子基板11係來自美國羅傑斯公司（Rogers Corporation））：藉由一混合溶液（在本發明中，該混合

溶液係分別取一水、一硫酸與一雙氧水以100：5：6比例加以混合) 將該高分子基板11之兩側原本所電鍍(electrodeposited, DE)的銅加以蝕刻掉，以製備完成該高分子基板11 (substrate)，並以化學·機械性研磨 (Chemical Mechanical Polishing) 將該高分子基板11之表面磨平，以降低其粗糙度，以利於後續製程之進行；

步驟二、形成一金質共平面波導 (coplanar waveguide, CPW) 傳輸線：利用一電子束蒸鍍機 (e-gun evaporator) 將一預定厚度 (在本發明中，該預定厚度為500Å) 的鈦(Ti)沉積在該高分子基板11上，以作為一黏合層111 (adhesion layer)，並在該黏合層111上沉積一另一預定厚度 (在本發明中，該另一預定厚度為2000Å) 的金(Au)以作為一種子層112 (seed layer)，再運用一製程技術塗佈一預定厚度 (在本發明中，該預定厚度為2~3 μm) 之光阻 (photo-resist) 層113 (如第三圖所示)，再以一第一預定轉速 (在本發明中，該第一預定轉速為1000rpm (每分鐘轉動圈數)) 在該高分子基板11上進行第一次旋轉塗佈，並持續一第一預定時間 (在本發明中，該第一預定時間為10秒)，再以一第二預定轉速 (在本發明中，該第二預定轉速為3000rpm) 進行第二次旋轉塗佈，並持續一第二預定時間 (在本發明中，該第二預定時間為45秒)，再使該高分子基板11接受一曝光機 (aligner) 曝光一第三預定時間 (在本發明中，該第三預定時間為13秒)，再以一加熱板以一第一預定溫度 (在本發明中，該第一預定溫度為90°C) 烘烤一第四預定時間 (在本發明中，該第四預定時間為20分鐘)，之後，令該高分子基板11與一顯影劑

溶液 (developer solution) (在本發明中，該顯影劑溶液為FHD-5) 進行反應，再以一流動之去離子水 (DI water) 沖洗，並於一第二預定溫度 (在本發明中，該第二預定溫度為60°C) 之氰化金(cyanide Au)電鍍液中浸泡一第五預定時間 (在本發明中，該第五預定時間為15分鐘)，同時通上一電流 (在本發明中，該電流為15mA)，再以一第一溶液 (在本發明中，該第一溶液為一丙酮溶液 (acetone solution)) 剝除該光阻層113，再以一第二溶液 (在本發明中，該第二溶液為一異丙醇 (isopropyl alcohol, IPA)) 除去該第一溶液，即形成可供電信訊號傳輸之該金質共平面波導 (CPW) 傳輸線 (圖中未示)；

步驟三、形成一凸塊形貌之光阻114：以一第三預定轉速 (在本發明中，該第三預定轉速為500rpm) 在該金質共平面波導 (CPW) 傳輸線上以另一光阻進行第三次旋轉塗佈，並持續一第六預定時間 (在本發明中，該第六預定時間為60秒)，再以一第四預定轉速 (在本發明中，該第四預定轉速為2000rpm) 進行第四次旋轉塗佈，並持續一第七預定時間 (在本發明中，該第七預定時間為2秒)，再於一爐中以一第三預定溫度 (在本發明中，該第三預定溫度為120°C) 烘烤一第八預定時間 (在本發明中，該第八預定時間為10分鐘)，藉此，重覆步驟三進行兩次，以達到一預定厚度 (在本發明中，該預定厚度為30~40 μm)，再利用該曝光機曝光一第九預定時間 (在本發明中，該第九預定時間為140秒)，即形成該凸塊形貌之光阻114 (在本發明中，該凸塊形貌之光阻114為PMERPHA900PM，其係運用微影製程技術製作) (如第四圖所示)；

步驟四、形成一凸塊12 (bump) 並去除該凸塊形貌之光阻114：將該高分子基板11以另一顯影劑溶液（在本發明中，該另一顯影劑溶液為PMER Developer P-7G）反應，再將該高分子基板11以流動之該去離子水（DI water）沖洗，並於一第四預定溫度（在本發明中，該第四預定溫度為60°C）之氰化金電鍍液中浸泡一第十預定時間（在本發明中，該第十預定時間為3小時），同時通上另一電流（在本發明中該另一電流為1mA），加以電鍍形成該凸塊12 (bump)，再以該第一溶液剝除該凸塊形貌之光阻114，再以該第二溶液除去該第一溶液；

步驟五、去除該種子層112：將該高分子基板11依序利用一第三溶液（在本發明中，該第三溶液為一碘化鉀（potassium iodide）/碘化物溶液（KI/I₂ solution））蝕刻該高分子基板11中的金（Au），再以一第四溶液（在本發明中，該第四溶液為一氫氟酸（hydrofluoric acid, HCl）與一氟化氫溶液（HF solution））該高分子基板11中的鈦（Ti），以去除該種子層112；

步驟六、黏著一晶片13：利用一覆晶接合機（在本發明中該機器為一RD自動化M9覆晶接合機（RD automation M9 bonding machine））透過金-金熱壓接合法（Au-Au thermo-compression bonding）將該晶片13（chip）在該凸塊12上進行覆晶接合（Flip-chip bonding），在一第四預定溫度（在本發明中，該第四預定溫度為250°C）下、覆晶接合力量（bonding force）為150gf、進行一第十一預定時間（在本發明中，該第十一預定時間為150秒，即完成晶片黏著；

步驟七、填膠 (encapsulation)：將該高分子基板11係預先利用該加熱板加熱至一第五預定溫度 (在本發明中，該第五預定溫度為 100°C)，再將一填充底膠14 (under-fill) (在本發明中，該填充底膠為一環氧樹脂 (epoxy-based)) 注入該晶片13與該高分子基板11及該凸塊12間所形成之一空間內，以降低該晶片13與該高分子基板11之間因高熱膨脹係數之差別所帶來的熱應力，同時產生一燈芯效應 (wicking)，以降低該填充底膠14之黏滯性 (viscosity)，加速其流動之速度，再將該高分子基板11在一第六預定溫度 (在本發明中，該第六預定溫度為 150°C) 之爐中加熱一第十二預定時間 (在本發明中，該第十二預定時間為2小時)，即完成封裝；

前述在注入該晶片13與該高分子基板11及該凸塊12空間內之填充底膠14，係利用一毛細法或其他各種注入方法。

透過以下各項檢測，即可證明本發明一階層之該高頻覆晶封裝結構 1，確實可以解決習用二階層之高頻覆晶封裝製程會對其所製造之高頻覆晶封裝結構 2 (如第一圖所示) 的高頻特性帶來一額外之入射、反射損耗，以及在應用上容易產生一可靠度問題之缺點：

一、S 參數量測：

請同時參閱第四與第五圖所示，為將本發明一階層之高頻覆晶封裝結構 1 與習用陶瓷基板接受 S 參數量測的結果；從上述之 S 參數量測數據中發現，從直流(dc)到 50GHz，本發明一階層之高頻覆晶封裝結構 1 的反射損耗均低於 15dB、入射損耗小於 1.0dB，而習用陶瓷基板的反射損耗均低於

18dB、入射損耗小於 0.8dB；由上述數據可證明本發明一階層之高頻覆晶封裝結構 1 在反射損耗與入射損耗上，均可達到與習用陶瓷基板同樣之效果。

二、可靠度(Reliability)測試：

取一本發明一階層之高頻覆晶封裝製程所製造之高頻覆晶封裝結構 1 進行一熱循環之可靠度測試，請同時參閱第四、七圖所示，其分別在經過 0、200、400 以及 600 個循環圈數後，作一接觸電阻之量測，得到一可靠度之測試結果，可顯示出該高頻覆晶封裝結構 1 具有一絕佳之熱穩定性以及可靠度，證明該填充底膠 14 可有效降低晶片 13 與高分子基板 11 之間高熱膨脹係數差別所帶來的熱應力，適於使用在微波工業之高頻元件封裝應用。

將一本發明之高頻覆晶封裝結構 1 與一同樣經由本發明之高頻覆晶封裝製程所製造、但未經過填膠之步驟的高頻覆晶封裝結構進行 S 參數量測，請參閱第六圖所示，從直流到 50GHz 的 S 量測數據顯示出，經過填膠後之高頻覆晶封裝結構高頻特性有稍微變差，但仍可應用於封裝製程中；另一方面，由於該高分子基板 11 具有較大之熱膨脹係數，為了考量高頻覆晶封裝結構之可靠度，故藉由填膠以增強其可靠度。

藉上述本發明一階層之高頻覆晶封裝製程及高頻覆晶封裝結構 1 可清楚得知，其有別於習用二階層之高頻覆晶封裝製程及高頻覆晶封裝結構 2 之關鍵在於：

一、本發明具有新穎性及進步性：由於習用二階層之

高頻覆晶封裝製程係經過二階層之封裝，會分別對其所製造之高頻覆晶封裝結構2的高頻特性帶來一額外之入射損耗與反射損耗、需要一複雜之步驟與在應用上容易產生一可靠度上之問題等缺點，而透過本發明之製程，即可有效解決上述缺點，故本發明具有其新穎性及進步性。

二、本發明具有實用性：由於習用二階層之高頻覆晶封裝製程係利用二階層之封裝與一陶瓷基板23，其均需要一高成本，而本發明僅需經過一階層之封裝，同時使用一低成本之高分子基板11，即可大幅降低習用二階層之高頻覆晶封裝製程的成本，故本發明具有其實用性。

按，上述詳細說明為針對本發明之一種較佳之可行實施例說明而已，惟該實施例並非用以限定本發明之申請專利範圍，舉凡其他未脫離本發明所揭示之技藝精神下所完成之均等變化與修飾變更，均應包含於本發明所涵蓋之專利範圍中。

【圖式簡單說明】

第一圖為習用二階層之高頻覆晶封裝結構示意圖。

第二圖為本發明一階層之高頻覆晶封裝製程之流程图。

第三圖為本發明一階層之高頻覆晶封裝製程之示意圖。

第四圖為完成本發明一階層之高頻覆晶封裝結構之示意圖。

第五圖為本發明一階層之高頻覆晶封裝結構與習用陶瓷基板之S參數量測結果的示意圖。

第六圖為高頻覆晶封裝結構填膠前後之可靠度測試結果示意圖。

第七圖為本發明一階層之高頻覆晶封裝結構之可靠度測試結果示意圖。

【主要元件符號說明】

- | | | | |
|-----|----------------|----|----------------|
| 1 | 、 一階層之高頻覆晶封裝結構 | 13 | 、 晶片 |
| 11 | 、 高分子基板 | 2 | 、 二階層之高頻覆晶封裝結構 |
| 111 | 、 黏合層 | 21 | 、 高分子基板 |
| 112 | 、 種子層 | 22 | 、 球形陣列 |
| 113 | 、 光阻層 | 23 | 、 陶瓷基板 |
| 114 | 、 凸塊形貌之光阻 | 24 | 、 凸塊 |
| 12 | 、 凸塊 | 25 | 、 晶片 |

七、申請專利範圍：

1、一種高分子基板之高頻覆晶封裝製程，包括：

在一高分子基板上沉積一第一預定厚度的鈦作為一黏合層，於其上沉積一第二預定厚度的金作為一種子層，再於其上塗佈一第三預定厚度之光阻層，接受曝光，同時加熱，再將該高分子基板與一顯影劑溶液反應，並於一電鍍液中浸泡，同時通上一電流，即形成一具平面波導傳輸線；

在該具平面波導傳輸線上塗佈另一光阻，形成一凸塊形貌之光阻，再以一電鍍液電鍍，即形成至少一凸塊；

利用一溶液加以蝕刻該高分子基板，以去除該種子層；

在該等凸塊上黏著一晶片；

將該高分子基板加熱，並注入一填充底膠於該晶片與該高分子基板及該等凸塊間所形成之一空間內；

再將該高分子基板加熱，同時在該晶片上進行頂部封止，即完成該高頻覆晶封裝製程。

2、如申請專利範圍第1項所述之高分子基板之高頻覆晶封裝製程，其中該高分子基板為高頻上所使用之高分子板材。

3、如申請專利範圍第1項所述之高分子基板之高頻覆晶封裝製程，其中該第一預定厚度為500Å。

4、如申請專利範圍第1項所述之高分子基板之高頻覆晶封裝製程，其中該第二預定厚度為2000Å。

5、如申請專利範圍第1項所述之高分子基板之高頻覆晶封裝製程，其中該第三預定厚度為2~3 μm。

6、如申請專利範圍第1項所述之高分子基板之高頻覆晶封裝

製程，其中該電鍍液為一含有氰化金之電鍍液。

- 7、如申請專利範圍第1項所述之高分子基板之高頻覆晶封裝製程，其中該填充底膠係選自環氧樹脂（Epoxy-based）、苯環丁烯（Benzocyclobutene）、液晶高分子（Liquid crystal polymer）以及應用於高頻底膠填充之高分子材料其中之一。
- 8、一種高分子基板之高頻覆晶封裝結構，其包括有：
 - 一高分子基板；
 - 一具平面波導傳輸線，其設於該高分子基板之一面上，用以供電信訊號傳輸用；
 - 至少一凸塊，其一端與該高分子基板之一面相連接；
 - 一晶片，其與該等凸塊之另一端相連接；
 - 一填充底膠，係填充於該晶片與該高分子基板及該等凸塊間所形成之一空間內。
- 9、如申請專利範圍第8項所述之高分子基板之高頻覆晶封裝結構，其中該高分子基板為高頻上所使用之高分子板材。
- 10、如申請專利範圍第8項所述之高分子基板之高頻覆晶封裝結構，其中該等凸塊之形成係選用一電鍍法及一金屬沉積法其中之一。
- 11、如申請專利範圍第8項所述之高分子基板之高頻覆晶封裝結構，其中該填充底膠係選自環氧樹脂（Epoxy-based）、苯環丁烯（Benzocyclobutene）、液晶高分子（Liquid crystal polymer）以及應用於高頻底膠填充之高分子材料其中之一。
- 12、如申請專利範圍第8項所述之高分子基板之高頻覆晶封裝結構，其中在注入該晶片與該高分子基板及該凸塊空間內

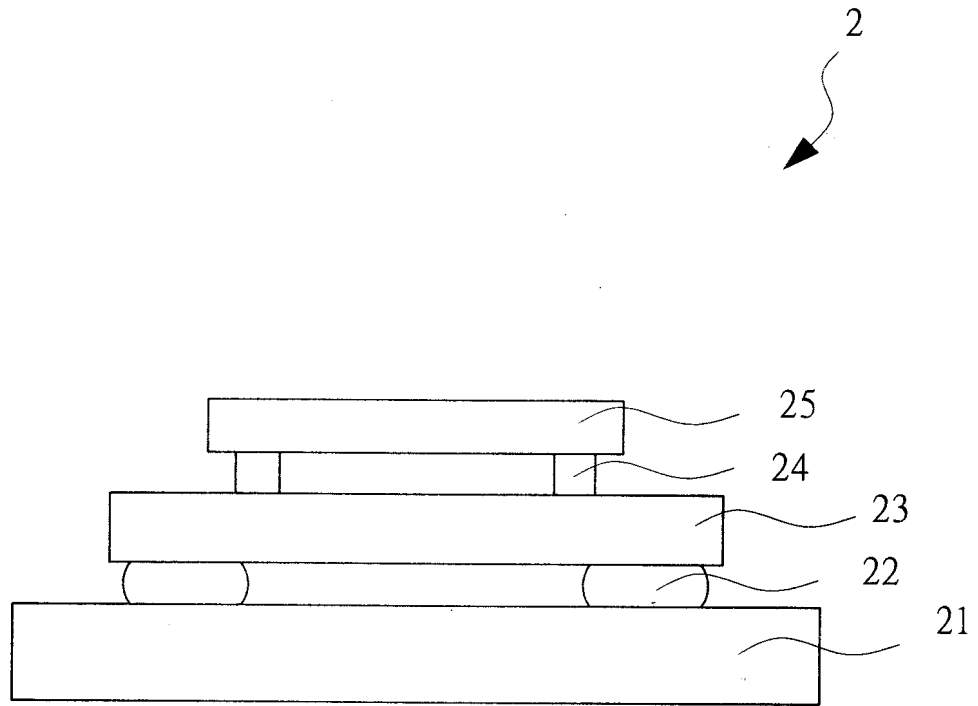
201036074

之填充底膠為一毛細法。

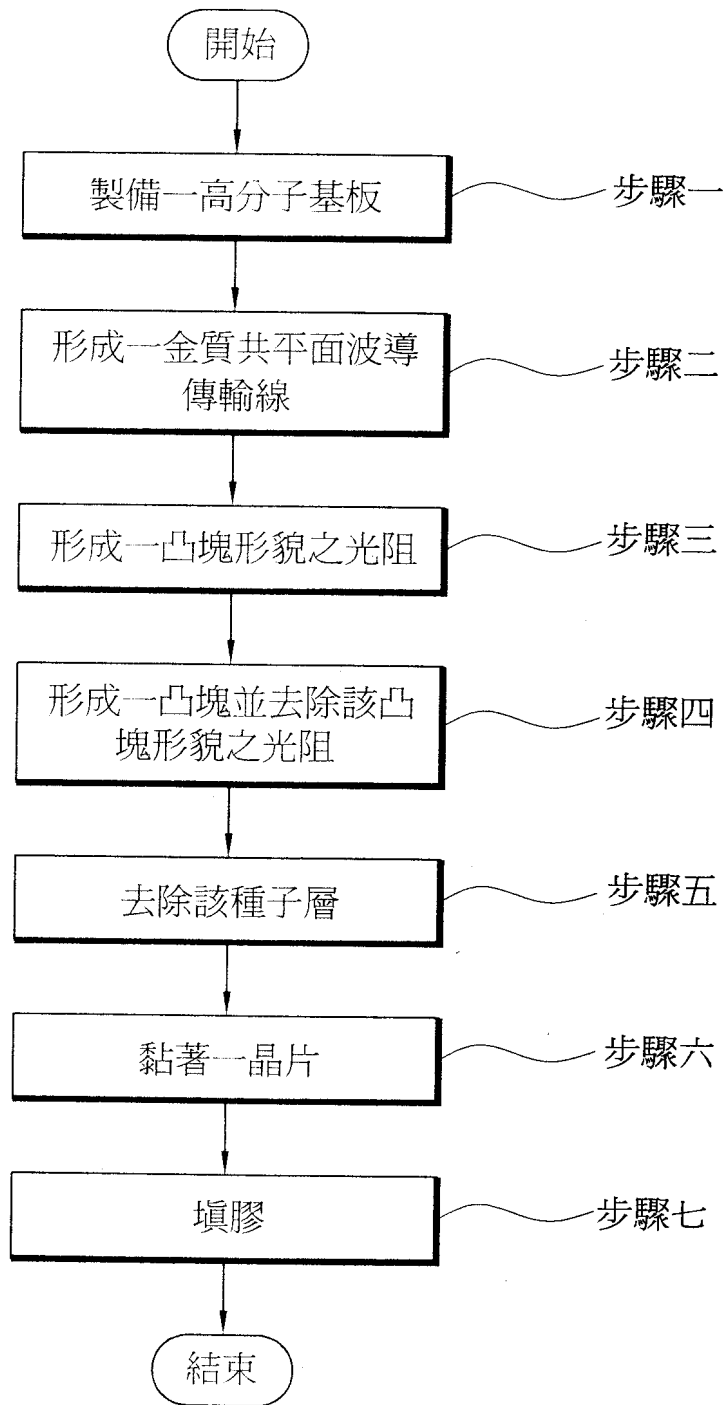
0

0

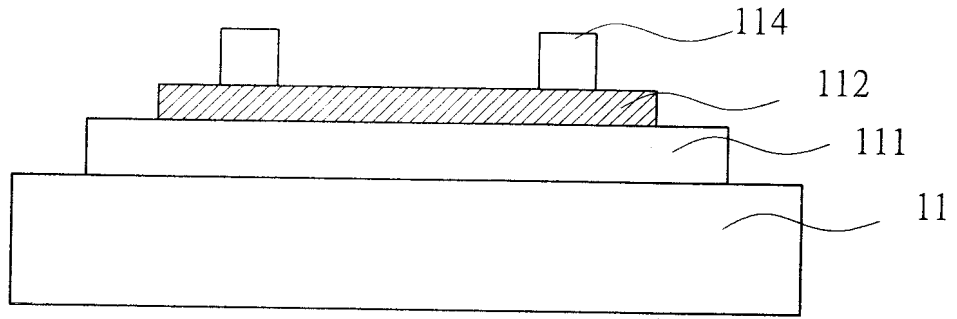
八、圖式：



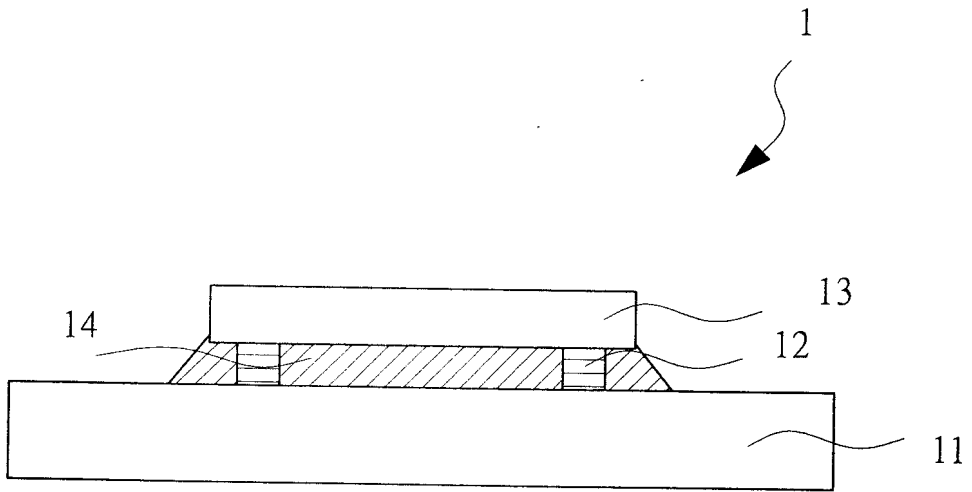
第一圖



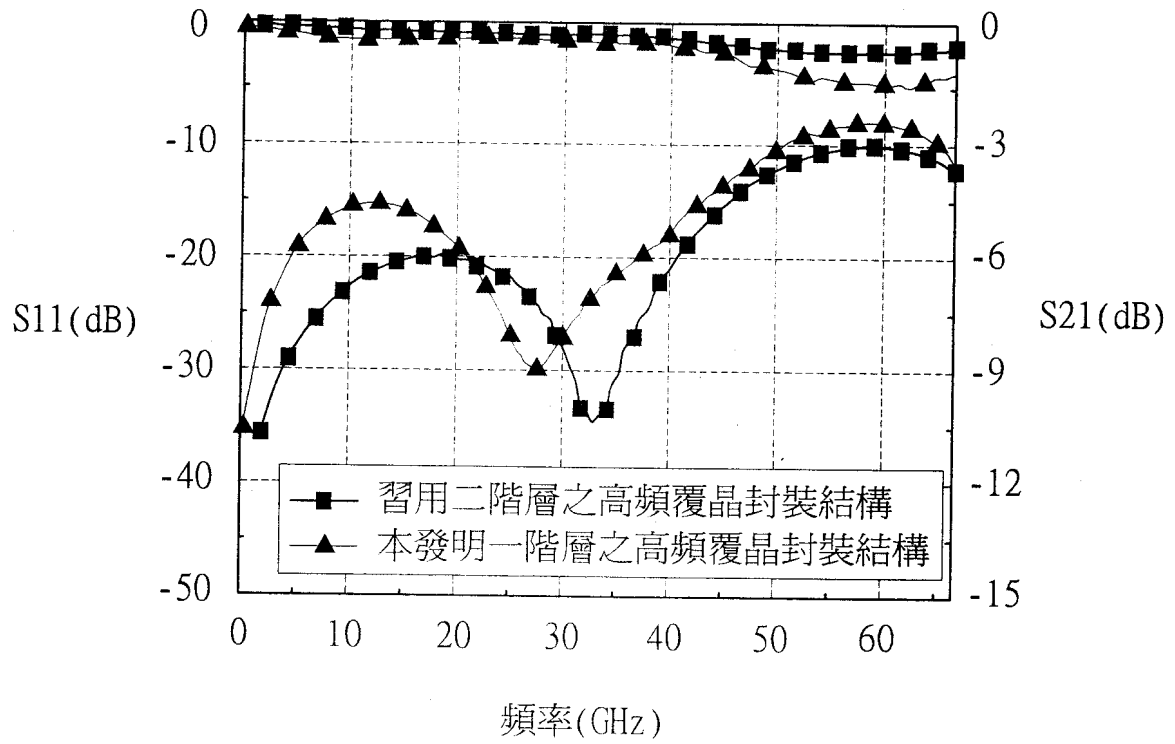
第二圖



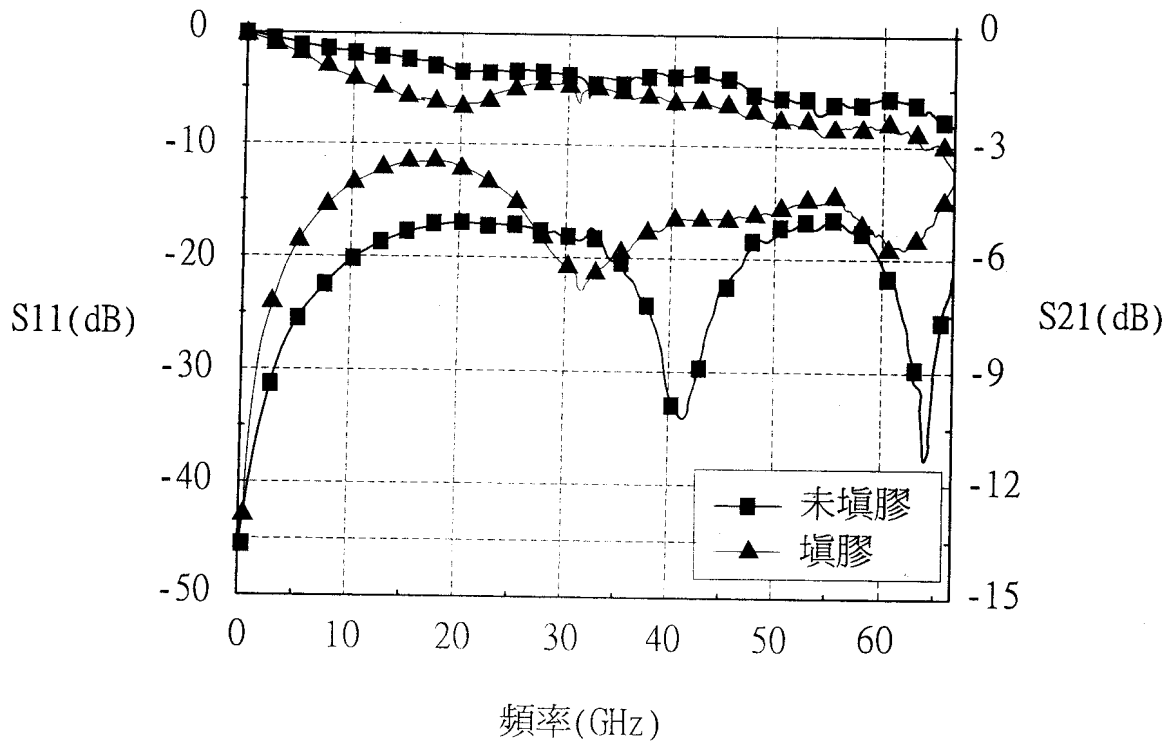
第三圖



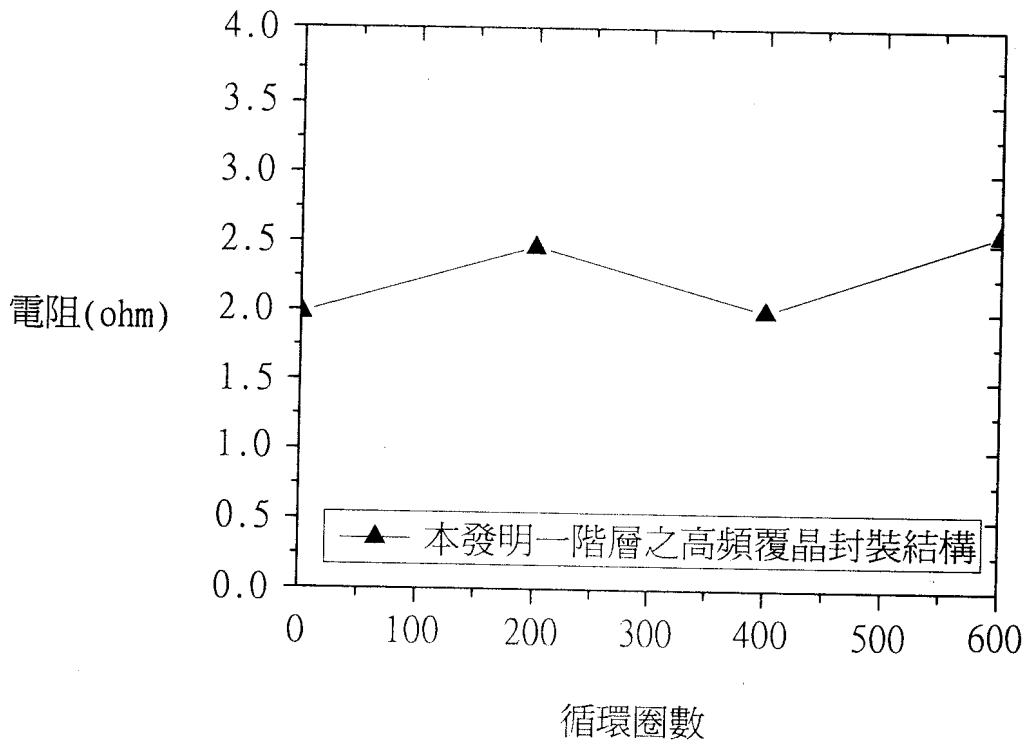
第四圖



第五圖



第六圖



第七圖