



(21)申請案號：098108462

(22)申請日：中華民國 98 (2009) 年 03 月 16 日

(51)Int. Cl. : G06F1/32 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：謝維致 HSIEH, WEI CHIH (TW) ; 黃威 HWANG, WEI (TW)

(74)代理人：桂齊恆；閻啟泰

申請實體審查：有 申請專利範圍項數：7 項 圖式數：11 共 34 頁

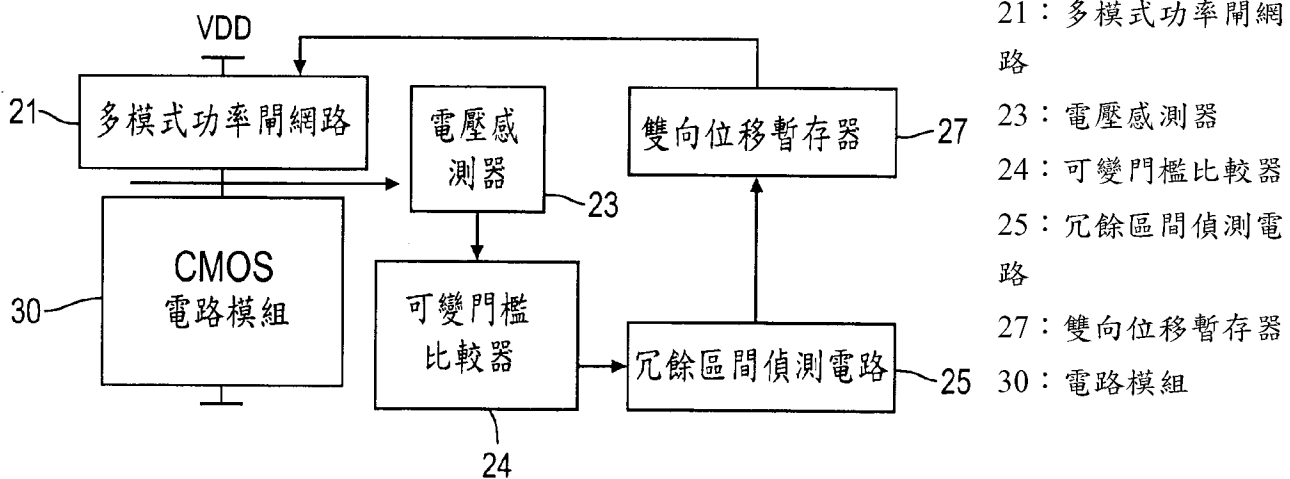
(54)名稱

具電路延遲評估機制之適應性功率控制裝置

ADAPTIVE POWER CONTROL APPARATUS WITH DELAY ESTIMATION SCHEME

(57)摘要

本發明提供一種具電路延遲評估機制之適應性功率控制裝置，其包含一多模式功率閘網路、一電壓感測器、一可變門檻比較器、一冗餘區間偵測電路以及一雙向位移暫存器，該多模式功率閘網路連接於一電源與一電路模組之間，且該多模式功率閘網路與該電路模組形成一虛擬電壓源，該虛擬電壓源為該電路模組之連接節點，該多模式功率閘網路包含複數個電晶體，其使該多模式功率閘網路依據該冗餘區間偵測電路所判斷之冗餘區間存在狀況而改變該電源輸出至該電路模組之功率。



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：098108462

※申請日：98.3.16 ※IPC分類：G06F1/32 (2006.01)

一、發明名稱：(中文/英文)

具電路延遲評估機制之適應性功率控制裝置 / Adaptive power control apparatus with delay estimation scheme

二、中文發明摘要：

本發明提供一種具電路延遲評估機制之適應性功率控制裝置，其包含一多模式功率閘網路、一電壓感測器、一可變門檻比較器、一冗餘區間偵測電路以及一雙向位移暫存器，該多模式功率閘網路連接於一電源與一電路模組之間，且該多模式功率閘網路與該電路模組形成一虛擬電壓源，該虛擬電壓源為該電路模組之連接節點，該多模式功率閘網路包含複數個電晶體，其使該多模式功率閘網路依據該冗餘區間偵測電路所判斷之冗餘區間存在狀況而改變該電源輸出至該電路模組之功率。

三、英文發明摘要：

An adaptive power control apparatus with delay estimation scheme comprises a multi-mode power gating network, a voltage sensor, a variable threshold comparator, a slack detection and a Bi-directional shift register. The multi-mode power gating network is serial connected between a voltage source and a circuit module to form a virtual

201035738

VDD with the multi-mode power gating network therebetween. The multi-mode power gating network comprises multiple transistors that are selectively turned on to adjust the power into the circuit module, where the transistors are controlled by Bi-directional shift register to be turned on and off according to a detecting result of the slack detection.

四、指定代表圖：

(一)本案指定代表圖為：第(七)圖。

(二)本代表圖之元件符號簡單說明：

(21)多模式功率開網路

(23)電壓感測器

(24)可變門檻比較器

(25)冗餘區間偵測電路

(27)雙向位移暫存器

(30)電路模組

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式

：

無。

六、發明說明：

【發明所屬之技術領域】

本發明為一種電路延遲評估及適應性功率控制裝置，尤其是關於一種具環境適應性之動態功率控制的裝置。

【先前技術】

近年來，由於半導體製程技術的突飛猛進，電晶體密度跟系統複雜度快速成長，使控制並降低功率消耗之設計已為不容忽視之課題。目前，已有一些降低功率消耗的設計，茲舉例說明如下：

美國專利第 7276932 號揭露一種利用虛擬功率閘胞元 (VPC, virtual power gating cell) 之架構，其中該虛擬功率閘胞元係由用來緩衝控制信號之控制電路及包含二個或更多個 NFETs 與 PFETs 之功率閘區塊 (PGB, power gating block) 所構成。然而，該功率閘胞元只當作單純的開關，亦即，只在所搭載之電路與電源之間進行開與關 (連接或是斷開) 兩種狀態，其除了在關閉的狀態下可節省靜態功率外，並無動態功率控制之能力。

又例如，M. Nakai (M. Nakai, S. Akui, K. Seno, T. Meguro, T. Seki, T. Kondo, A. Hashiguchi, H. Kawahara, K. Kumano, and M. Shimura, Dynamic Voltage and Frequency Management for a Low-Power Embedded Microprocessor, IEEE Journal of Solid-State Circuits, vol. 40, no. 1, pp. 28-35, Jan. 2005) 等人所提出之一種利用動態電壓調整 (DVS) 與頻率調整之技術

，作為有效降低功率消耗之方法。此技術係利用一種結合閘極延遲、電阻電容交互連接延遲及上升/下降延遲之延遲合成器，以達到較佳的關鍵路徑(critical path)之模擬(emulation)。惟，此習知技術原理上也是採用延遲匹配電路，因此同樣有前述缺失。此外，M. Nakai 在實現適應性或者動態電壓調變時，需要一最差情況關鍵路徑延遲匹配電路(worst case critical path delay matching circuit)，然而，最差情況實際上卻鮮少發生，因而大為低估降低功率的可能性，因此對於現今之高速電路來說並不適用。

【發明內容】

配合既有技術之功率閘等設置僅能單純作為開關之用，只在少數的狀態下能夠真正節省功率，導致未能有效降低功率消耗及達成適應性功率控制之要求，本發明提出一新的判斷電路運算狀態的機制，藉由監控功率閘之虛擬電壓源(virtual-VDD, VDDV)的電壓而判定電路運算之結束時機，而可以獲得電路之延遲資訊，而且，在透過所提之電路運算結束時機的判斷方式，應用於功率控制，使所結合之電路具有主動且具有環境變異適應效能的功率控制，解決既有技術之技術問題。

配合前述之技術問題，本發明提供一種具電路延遲評估機制之適應性功率控制裝置，其包含：一多模式功率閘網路、一電壓感測器、一可變門檻比較器、一冗餘區間偵測電路以及一雙向位移暫存器，該多模式功率閘網路包含複數個並聯之電晶體，當該多模式功率閘網路連接於一電

源與一電路模組之間時，各電晶體為 P 型電晶體且該多模式功率閘網路與該電路模組之連接節點視為一虛擬電壓源，當該多模式功率閘網路連接於一接地點與該電路模組之間時，各電晶體為 N 型電晶體且該多模式功率閘網路與該電路模組之間的節點視為一虛擬接地點，其中：

該電壓感測器之輸入端連接於該虛擬電壓源或該虛擬接地點，其尋找該虛擬電壓源之一最低電壓 (VL) 或尋找該虛擬接地點之一最高電壓 (VH)；

該可變門檻比較器與該電壓感測器之輸出端電性連接，其比較該虛擬電壓源之一瞬間電壓 (VV) 與該最低電壓 (VL) 是否滿足一第一特定關係而輸出一第一比較結果狀態，或者該可變門檻比較器比較該虛擬接地點之瞬間電壓 (VG) 與該最高電壓 (VH) 是否滿足一第二特定關係而輸出一第二比較結果狀態；

該冗餘區間偵測電路之輸入端連接於該可變門檻比較器，依據該可變門檻比較器之該第一或第二比較結果狀態及一時脈邊緣以偵測一時脈週期內是否存在一冗餘區間；

該雙向位移暫存器之輸入端與該冗餘區間偵測電路電性連接，其依據該冗餘區間之是否存在而產生位移，使該雙向位移暫存器之複數個控制訊號的輸出狀態改變；以及

該多模式功率閘網路與該雙向位移暫存器之各控制訊號連接，各電晶體分別受該雙向位移暫存器之各控制訊號之狀態開啟或關閉，使該多模式功率閘網路依據冗餘區間之存在狀況而改變該電源輸出至該電路模組之功率。

其中，該第一特定關係滿足下列公式：

$$\left(\frac{VDD - V_{th}}{VL - V_{th}}\right)^\alpha \frac{VDD - VL}{1 + \lambda VL} \cdot \frac{\frac{1}{2}VDD - V_{th} + \frac{1}{2}VL}{VD0\left(VDD - V_{th} - \frac{1}{2}VD0\right)} \geq \frac{(VDD - VV)\left(\frac{1}{2}VDD - V_{th} + \frac{1}{2}VV\right)}{VDS0\left(VV - V_{th} - \frac{1}{2}VDS0\right)}$$

其中，

VDD 為該電源提供之電壓；

Vth 為該多模式功率閘網路及該電路模組內之 P 型電晶體之一臨界電壓 (threshold voltage)；

VD0 為 P 型電晶體於 VGS = VDD 時之一汲極飽和電壓 (drain saturation voltage)；

α 為一速度飽和參數 (velocity saturation index)；

λ 為 P 型電晶體通道長度調變參數 (channel length modulation parameter)；及

VDS0 是一預設臨界電壓值。

其中，該可變門檻比較器為一變型之史密特觸發電路。

其中，該電壓感測器包含以二極體連接方式串接之二電晶體的感測電路。

其中，該 VDS0 為 100mV 時，該第一特定關係則滿足下列二者公式之一：

$$VV \geq 0.5685 + 0.4568 \cdot VL ; \text{ 及}$$

$$VV \geq 0.0902 + 1.7137 \cdot VL - 0.8109 \cdot VL^2 .$$

其中，該第二特定關係滿足下列公式：

$$\left(\frac{VDD - V_{th}}{VDD - VV - V_{th}}\right)^\alpha \frac{VH}{1 + \lambda(VDD - VH)} \cdot \frac{VDD - V_{th} - \frac{1}{2}VH}{VD0\left(VDD - V_{th} - \frac{1}{2}VD0\right)} \geq \frac{VG\left(VDD - V_{th} - \frac{1}{2}VG\right)}{VDS0\left(VDD - VG - V_{th} - \frac{1}{2}VDS0\right)}$$

其中，

VDD 為該電源提供之電壓；

V_{th} 為該多模式功率閘網路及該電路模組內之 N 型電晶體之一臨界電壓(threshold voltage)；

V_{D0} 為 N 型電晶體於 $V_{GS} = V_{DD}$ 時之一汲極飽和電壓(drain saturation voltage)；

α 為一速度飽和參數(velocity saturation index)；

λ 為 N 型電晶體通道長度調變參數(channel length modulation parameter)；及

VDS0 是一預設臨界電壓值。

其中，該 VDS0 為 100mV 時，該第二特定關係則滿足下列二者公式之一：

$$V_G \leq -0.01729 + 0.4424 \cdot V_H ; \text{ 及}$$

$$V_G \leq 0.0045 + 0.1810 \cdot V_H + 0.5810 \cdot V_H^2 , \text{ 電壓單位為伏特 (V) 。}$$

藉此，本發明具有如下優點：

1. 動態監控該虛擬電壓源，藉以判斷該電路模組之延遲及冗餘區間之存在結果，並據此控制輸出至該電路模組之功率，達到降低功率消耗的技術效果。

2. 本發明所提的方法，與環境參數關連性低，因此，具有很高的環境適應性。

3. 本發明透過判斷冗餘狀況，可以讓電路模組盡量用掉所有可用的時脈長度，因此，可使本發明運用於各種不同的電路模組時，在各種工作頻率下，具有最低的功率消耗，達到最佳的能源效益。

【實施方式】

首先，為了說明本發明所提出之具電路延遲評估機制之適應性功率控制裝置之一電路延遲評估機制(delay estimation scheme)，請參考第一圖，其顯示一個 16 位元乘法器在工作中由電源端所汲取之一汲取電流(drained current)。該乘法器之狀態可分為一穩定態(stable)以及一切換態(switching)。在穩定態中，該汲取電流僅包含微量的漏電流，但在切換態中，該乘法器由電源端汲取大量的該汲取電流以執行乘法工作。由上述可知，透過判斷該汲取電流的大小變化，可判斷該乘法器所處的工作狀態，而當乘法器之工作狀態得以區分之後，即可獲取該乘法器於工作時之一延遲時間評估(delay estimation)。

為了更進一步將前述的範例應用於其他電路及便於解說前述之延遲時間評估方法實際應用於其他電路模組，請參考第二圖及第三圖，以一個最為簡單的 CMOS 反向器(inverter)作為說明範例：

如第二圖所示，該反向器連接至一理想的電源(VDD)，當該反向器之一輸入端(input node, IN)由高準位切換至低準位時，該反向器之 P 型金氧半電晶體(PMOS, P1)導通而由該電源(VDD)擷取電流對該反向器之一輸出端(output node, OUT)充電，而使該輸出端切換至高準位，然而，習用在輸出端之高、低準位之間是否完成切換的判斷，通常採以一固定型判斷準則(static criterion determination)，即設定該輸出端之電壓必須達到電源準位(即電源 VDD 所提供之電壓準位)或為達到電源準位之 90%等固定之電源準位

而所謂的「延遲時間」乃定義為電路模組或數位電路中，自輸入端的切換開始，到輸出端切換完成的時間。因此前例的反向器中，其延遲時間為自輸入端切換開始至輸出端達到 90% VDD 之時間。依此定義可知，此延遲時間受到前述切換的判斷準則所影響。

而若該反向器與電源(VDD)之間串接一個功率閘元件(power gating device, PG)，以作為後續電路元件與該電源之間的切換開關，該功率閘元件為與電路模組中採用之 P 型電晶體相同之元件。該功率閘元件(PG)可依據設計需求採欲 N 型或 P 型電晶體，若採用 N 型電晶體作為該功率閘元件(PG)時，則為 N 型電晶體之該功率閘元件(PG)連接於該電路模組(此為反向器)與一接地點(GND)之間。

如第三圖所示，假設該功率閘元件(PG)與該反向器之 P 型金氧半電晶體(P1)之串接節點為一虛擬電壓源(Virtual-VDD, VDDV)，該虛擬電壓源(VDDV)在該反向器之高低準位切換過程之中，呈現先降後升(fall-then-rise)之趨勢，使該功率閘元件(PG)提供給反向器之電流也隨之改變，即該汲取電流(drained current)在該功率閘元件(PG)存在的狀況下，比該反向器直接連接至理想電源之電流相對較小，主要是因為該功率閘元件(PG)增加了阻抗所導致。因此，輸出端(OUT)之切換速率(switching slope)則比直接連接至理想電源之反向器相對較慢，換言之，該輸出端(OUT)的電壓提高到理想電源(VDD)之 90%而成為高準位之所需延遲時間(delay time)，最糟將可能是沒有連接功率閘元件(PG)時

的兩倍以上，因此，單純用判斷輸出端(OUT)電壓是否達到特定準位(例如達到 90% VDD)對於目前高速切換需求之電路已經不再適用，因為該反向器之狀態其實早已經切換完成，多餘的延遲時間只是浪費在將輸出端(OUT)之電壓準位及該虛擬電壓源(VDDV)之電壓提升到電源(VDD)所提供之電壓準位。因此，為了避免前述固定型判斷準則之問題，本發明提出一個電路工作中之延遲時間評估機制。沿用前述第三圖為例，若假設反向器完成狀態切換之判斷為一 B 點，其中 B 點之選擇係藉由該 P 型金氧半電晶體(P1)之汲極源極壓降(VDS)等於一個預設的臨界電壓(VDS0)。此預設臨界電壓可以經驗法則選一相對小的值，如 100mV，此汲極源極壓降係由該 P 型金氧半電晶體(P1)在切換完成後，用來持續將輸出端(OUT)之電壓準位提升到電源(VDD)所提供之電壓準位。在 B 點時，該功率閘元件(PG)之電流(drain current)等於該 P 型金氧半電晶體(P1)之電流(drain current)。

然而如前所述，該反向器電壓準位超過 B 點之後仍會持續汲取電流以使該虛擬電壓源(VDDV)之電壓到達最高之電壓準位(VDD)為止。而隨著該虛擬電壓源(VDDV)之電壓上升，該功率閘元件(PG)之汲極源極壓降(VDS)隨著該虛擬電壓源(VDDV)之電壓上升而下降，使更小的電流通過該功率閘元件(PG)。換言之，因為該功率閘元件(PG)在 B 點之電流(drain current)等於該 P 型金氧半電晶體(P1)之電流(drain current)，通過 B 點之後，流過該功率閘元件(PG)之電流持續減少。因此，當觀測到該反向器之 P 型金氧半電

晶體 (P1) 在 B 點的電流大於 (或等於) 該功率閘元件 (PG) 通過 B 點之後遞減之電流 (drain current) 之時，可稱該反向器已經完成狀態切換工作 (其中該 P 型金氧半電晶體 (P1)、該功率閘元件 (PG) 均在線性區 (linear region) 工作)。據此，當採用過去文獻之 alpha power model 來描述電晶體的電壓與電流行為後，前述的不等關係可以以下列式 (1) 描述之：

$$ID0C \cdot VDS0 \left(VV - V_{th} - \frac{1}{2} VDS0 \right) \geq ID0PG (VDD - VV) \left(\frac{1}{2} VDD - V_{th} - \frac{1}{2} VV \right) \quad \dots (1)$$

其中：

$ID0C$ 為前述反向器電路 (特指其 P 型金氧半電晶體 (P1)) 在 $VGS = VDS = VDD$ 之狀況下之電流 (drain current)，其與電晶體的尺寸參數有關 (例如：電晶體之通道的寬度與長度)；

$ID0PG$ 則為前述功率閘元件 (PG) 在 $VGS = VDS = VDD$ 之狀況下之電流 (drain current)；

V_{th} 是電晶體之臨界電壓 (threshold voltage)；

VV 是該虛擬電壓源 (VDDV) 隨時間變化之瞬間電壓 (transient value)；及

$VDS0$ 是前述之預設臨界電壓值。

前述與電晶體尺寸有關之參數的關連性則可由第三圖中之 A 點獲取。該 A 點，其對應該虛擬電壓源 (VDDV) 之電壓最低點 (VL)，代表通過該功率閘元件 (PG) 之電流最大

，且亦為該反向器進行切換的時刻；其中，該電壓最低點(VL)並非不變常值，其隨該功率閘元件(PG)之電晶體尺寸參數、該功率閘元件(PG)串接之電路模組(例如本範例之反向器)、電路操作條件..等之不同而改變。而在 A 點時，通過該功率閘元件(PG)與該 P 型金氧半電晶體(P1)之電流(drain current)相同，且該 P 型金氧半電晶體(P1)、該功率閘元件(PG)分別在飽和區(saturation region)及線性區(linear region)工作。因此，在 A 點相等的電流可表示為式 (2)：

$$ID0C \left(\frac{VL - V_{th}}{VDD - V_{th}} \right)^\alpha (1 + \lambda VL) = ID0PG \frac{VDD - VL}{VD0 \left(VDD - V_{th} - \frac{1}{2} VD0 \right)} \left(\frac{1}{2} VDD - V_{th} - VL \right) \dots (2)$$

其中：

VD0 為 VGS = VDD 時，本實施例中所用 P 型電晶體的汲極飽和電壓(drain saturation voltage)；

α 為速度飽和參數(velocity saturation index)；

λ 為電晶體通道長度調變參數(channel length modulation parameter)；

進一步，將式(1)之 ID0C 以公式(2)替代，式(1)可改寫為下列式(3)：

$$\left(\frac{VDD - V_{th}}{VL - V_{th}} \right)^\alpha \frac{VDD - VL}{1 + \lambda VL} \cdot \frac{\frac{1}{2} VDD - V_{th} + \frac{1}{2} VL}{VD0 \left(VDD - V_{th} - \frac{1}{2} VD0 \right)} \geq \frac{(VDD - VV) \left(\frac{1}{2} VDD - V_{th} + \frac{1}{2} VV \right)}{VDS0 \left(VV - V_{th} - \frac{1}{2} VS0 \right)}$$

... (3)

由上列式(3)可以看出，與電晶體之尺寸參數相依(有關)的 $IDOC$ 、 $IDOPG$ 等參數在前述的簡化基礎下被消去，代表前述的延遲時間評估機制與該功率閘元件(PG)或電路元件之尺寸參數無關，前述的延遲時間評估機制只與 VV 、 VL 有關，即與該虛擬電壓源(VDDV)之動態響應行為有關而已，因此，本發明所指的判斷機制具有可容忍環境變異的效能。

若當功率閘元件(PG)為採用 N 型電晶體時，則稱該 N 型電晶體與接地點(GND)之間的節點稱為一虛擬接地點(Virtual GND, VGND)，與前述虛擬電壓點(VDDV)不同的是，該虛擬接地點(VGND)在該反向器高底準位切換過程中呈現先升後降的趨勢，也就是說，在該虛擬接地點之電壓會有電壓最高點(VH)；而前述依據 P 型電晶體所推導的公式，於替換 N 型/P 型之特性公式及所採取製程之 N 型/P 型特性參數後，可直接沿用前列所提之概念；舉例而言，相對於上列式(3)，若該功率閘元件(PG)為採用 N 型電晶體，該式(3)可改為下式(3.1)：

$$\left(\frac{VDD-V_{th}}{VDD-VH-V_{th}}\right)^{\alpha} \frac{VH}{1+\lambda(VDD-VH)} \cdot \frac{VDD-V_{th}-\frac{1}{2}VH}{VDO\left(VDD-V_{th}-\frac{1}{2}VDO\right)} \geq \frac{VG\left(VDD-V_{th}-\frac{1}{2}VG\right)}{VDSO\left(VDD-VG-V_{th}-\frac{1}{2}VDSO\right)}$$

... (3.1)

其中：

VDD 為該電源提供之電壓；

VG 是該虛擬接地點 (VGND) 隨時間變化之瞬間電壓 (transient value)；

Vth 為該多模式功率閘網路及該電路模組內之 N 型電晶體之一臨界電壓 (threshold voltage)；

VDO 為 N 型電晶體於 $VGS = VDD$ 時之一汲極飽和電壓 (drain saturation voltage)；

α 為一速度飽和參數 (velocity saturation index)；

λ 為 N 型電晶體通道長度調變參數 (channel length modulation parameter)；及

VDS0 是一預設臨界電壓值。

請參考第四圖，其為第三圖中參數 VL、VV 所繪製的圖形解，式(3)的兩邊分別作為兩個獨立的多項式，而 VL、VV 分別為兩個多項式之變數。該式(3)之左、右半邊式子可分別繪成第四圖之圓形標號線 (\ominus , $f(VL)$) 及矩形標號線 (\boxplus , $f(VV)$)，其中，式(3)之 VDS0 於此設定為 100mV。透過以參數 VL 作為自變數，參數 VV 之最小值可在滿足式(3)之條件下於第四圖之中取得，重複改變 VL 之數值，可以獲得較為完整的參數 VL 對 VV 之關係數值組，藉由 VL、VV 之關係數值組可以以一直線求律法 (linear fitted)，得到下列不等之式(4)：

$$VV \geq 0.5685 + 0.4568 \cdot VL \dots (4)$$

或者，也可以用二次方程之曲線求律法 (quadratic fitted) 得到下列不等之式(5)：

$$VV \geq 0.0902 + 1.7137 \cdot VL - 0.8109 \cdot VL^2 \dots (5)$$

前述式(4)、(5)之單位為伏特，其描述參數、VL、VV之間的不等關係分別描繪於第五圖之中。

循前述之式(4)、(5)之類似推導過程，當功率閘元件(PG)為採用 N 型電晶體，相對於(4)、(5)而用於 N 型電晶體之不等式分如下列公式：

$$VG \leq -0.01729 + 0.4424 \cdot VH \dots (4.1)$$

$$VG \leq 0.0045 + 0.1810 \cdot VH + 0.5810 \cdot VH^2 \dots (4.2)$$

其中，式(4.1)、(4.2)之各電壓單位為伏特(V)。

綜言前述內容及式(3)所揭露的延遲時間評估機制之步驟可包含：

- (i)開始/重置；
- (ii)擷取虛擬電壓源(VDDV)之電壓最低點 VL；
- (iii)監控虛擬電壓源(VDDV)與電壓最低點 VL 滿足式(4)或(5)之數值；及
- (iv)完成延遲時間評估。

綜言之，該虛擬電壓源(VDDV)之電壓最低點 VL 可以在電路(於此為該反向器)之狀態切換過程被找到，而該虛擬電壓源(VDDV)之電壓經過電壓最低點之後必須持續上升及至滿足上述之式(4)或(5)以判定該電路之切換狀態已經完成。

請參考第六圖，當在理想電源與一 16 位元乘法器(16-bit Multiplier)連接一個該功率閘元件(PG)時，也可以依據前述的判斷機制取得該乘法器(11)之延遲時間評估，然而，經過研究測試結果顯示，採用本發明所提之延遲評估機

制與實際電路之延遲約有 10%的差異，因此，必須加入約 10%~15%之餘裕(margin)於最終延遲評估結果。

利用前述所提的延遲評估機制，本發明之一適應性功率控制(adaptive power control, APC)裝置之電路方塊圖可如第七圖所示，該適應性功率控制裝置包含一多模式功率閘網路(multi-mode power gating network, 21)、一電壓感測器(voltage sensor, 23)、一可變門檻比較器(variable threshold comparator, 24)、一冗餘區間偵測電路(Slack Detection, 25)以及一雙向位移暫存器(Bi-directional shift Register, 27)，其中，本實施例之適應性功率控制裝置可應用於各種不同的電路模組，如前述的乘法器、反向器等各種邏輯電路，本實施例之該適應性功率控制裝置係連接一互補式金氧半之電路模組(CMOS circuit, 30)。

該多模式功率閘網路(21)之輸出、輸入端分別電性連接該電路模組(30)及該雙向位移暫存器(27)，該電壓感測器(23)連接於該多模式功率閘網路(21)及該電路模組(30)連接之一個該虛擬電壓源(VDDV)，該電壓感測器(23)之輸出端連接該可變門檻比較器(24)，而該可變門檻比較器(24)、該冗餘區間偵測器(25)、該雙向位移感測器(27)、該多模式功率閘網路(21)則依序串接。

請參考第八圖，本實施例之該多模式功率閘網路(21)包含相互並聯且串接於該理想電源(VDD)及該電路模組(30)之間的複數個 P 型金氧半電晶體(PMOS)，其中，各 P 型金氧半電晶體(PMOS)之閘極連接至由該雙向位移感測器(27)所儲存之控制訊號(Ctrl4~0)。依據前述之說明可知，加入

功率閘元件(PG)則會讓所連接之電路模組的虛擬電壓源產生電壓下降的情形，因此，所加入的功率閘元件(PG)之尺寸參數越小，則電壓下降的狀況越大，這樣的電壓下降狀況可以被視為輸入該電路模組之電源雜訊(supply noise)。而此一電壓下降，則會反應在電路模組之延遲，因此，該多模式功率閘網路(21)可以就由選擇性驅動該控制訊號(Ctrl4~0)而開啟該多模式功率閘網路(21)之 P 型金氧半電晶體(PMOS)，進一步影響或控制電路模組之延遲。

進一步地，該多模式功率閘網路(21)之各功率閘元件(PG)可以具有不同的通道尺寸參數，電源經過該多模式功率閘網路(21)而輸出至該電路模組(30)之功率，而可藉由開關各功率閘元件(PG)而產生多種不同的組合。

請參考第九圖，本實施例之該電壓感測器(23)包含以二極體連接方式(diode-connected)連接之二電晶體(MP1、MP2)，其中，在該電路模組之工作切換過程中，與該電晶體(MP2)連接之一 VL 節點可以取得該虛擬電壓源(VDDV)之最低電壓。

請參考第十圖，本實施例之該可變門檻比較器(24)為一變型之史密特觸發電路(modified Schmitt Trigger)，該史密特觸發電路由一時脈脈衝(pulsed clock)預先充電(precharged)。該可變門檻比較器(24)係與該電壓感測器(23)之電晶體(MP2)之 VL 節點連接，其一可變門檻(threshold)由該 VL 節點控制(為反向控制，如第十圖中之 i_{VL})。因此，該可變門檻比較器(24)可以判斷式(4)或式(5)中的該虛擬電壓源(VDDV)之瞬間電壓(VV)飽和與否。易言

之，該可變門檻比較器(24)比較該電壓感測器(23)之 VL 節點(如第十圖中之 i_{VL})及該虛擬電壓源之瞬間電壓(第十圖中之 VV)是否滿足式(4)或(5)。而當該可變門檻比較器(24)之輸出端切換至低準位，形成一比較結果狀態(assertion of the comparator)而輸出時，代表該電路模組已經完成切換工作。當該功率閘網路(21)所採用的電晶體為 N 型時，則該電壓感測器(23)、該可變門檻比較器(24)之電路則需適應性修改，而可以改為偵測該虛擬接地點(VGND)之電壓變化特性；例如，該電壓感測器(23)除了必須改為連接於該虛擬接地點(VGND)之外，也必須修改內部電路而可以感測該虛擬接地點(VGND)之電壓變化。

該冗餘區間偵測電路(25)透過比較該可變門檻比較器(24)的比較結果狀態及一電路工作的時脈邊緣(clock edge)以判斷時脈週期內是否存在一冗餘區間(unused slack)。該冗餘區間是指在時脈週期中，某些為了防止電路因工作環境變化造成延遲時間的增加而加入的時間餘裕，或者是因為電路輸入資料不同造成運算時間的縮短而所剩餘的時脈長度。

請參考第十一圖，該多模式功率閘網路(21)與該雙向位移暫存器(27)之複數個控制訊號(Ctrl4~0)連接，其中，當發現過多冗餘區間存在時，該雙向位移暫存器(27)之狀態"1"往右移以關掉該多模式功率閘網路(21)之功率閘(即 P 型金氧半電晶體(PMOS))；反之，當沒有足夠的冗餘區間存在時(比電路模組需要的時間餘裕(timing margin)少時)，該雙向位移暫存器(27)之狀態"0"往左移而開啟更多的該多

模式功率閘網路(21)之功率閘。其中，該雙向位移暫存器(27)可以設有一重置(reset)、一維持(hold)、一電源切斷狀態(power gating state)...等控制訊號，其分別作為將該雙向位移暫存器(27)內的各位元歸零(打開所有的功率閘)、維持該雙向位移暫存器(27)內部的各位元之狀態，以及關閉所有的功率閘等作用。

一般目前既有之技術中，電路模組於工作時之速度規格(speed specification)通常需要考量製程、電壓及溫度(Process, Voltage, Temperature, PVT)變化之最糟糕狀況而必須在時脈的規格之中加入許多的餘裕(margins)，以確保電路工作的延遲時間不會因工作環境的變化而大於時脈的規格，避免其他電路產生連鎖錯誤而影響最終之運算結果。然而，電路模組在使用過程中，前述的最糟糕狀況鮮少發生，因此，使得輸入該電路模組之大量功率浪費在該些餘裕上。而前述的適應性功率控制方法及裝置則可以判斷該電路模組(30)是否將所有的時脈餘裕加以用盡。

另，在某些大型電路模組中，其非關鍵路徑(non-critical paths)的延遲時間相對於時脈規格亦存在一時脈餘裕，因此相同的概念(判斷電路是否存在冗餘區間)亦可使用於電路模組中的一非關鍵路徑(non-critical paths)。

另外，本實施例之適應性功率控制方法與裝置具有可容忍各種變異之特性，因為所有製程電壓溫度之變異均反映在電路的延遲時間上，而本實施例可以在電路模組工作之中，取得電路之延遲狀況，同時主動使用電路之中的餘

裕區間，達到節省功率之技術效果。

以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第一圖為一乘法器之消耗電流表現示意圖。

第二圖為一反向器切換之輸出入電壓狀態示意圖。

第三圖為一功率閘及反向器電路之輸出入電壓狀態示意圖。

第四圖為一以虛擬電壓源為監測對象之延遲時間評估機制的圖形解示意圖。

第五圖為一延遲時間評估機制之直/曲線求律結果示意圖。

第六圖為一包含功率閘之乘法器電路圖。

第七圖為一適應性功率控制裝置電路方塊圖。

第八圖為一多模式功率閘網路之電路示意圖。

第九圖為一電壓感測器之電路示意圖。

第十圖為一可變門檻比較器示意圖。

第十一圖為一雙向位移暫存器示意圖。

【主要元件符號說明】

(21)多模式功率閘網路

- (23) 電壓感測器
- (24) 可變門檻比較器
- (25) 冗餘區間偵測電路
- (27) 雙向位移暫存器
- (30) 電路模組

七、申請專利範圍：

1. 一種具電路延遲評估機制之適應性功率控制裝置，其包含：一多模式功率閘網路、一電壓感測器、一可變門檻比較器、一冗餘區間偵測電路以及一雙向位移暫存器，該多模式功率閘網路包含複數個並聯之電晶體，當該多模式功率閘網路連接於一電源與一電路模組之間時，各電晶體為 P 型電晶體且該多模式功率閘網路與該電路模組之連接節點視為一虛擬電壓源，當該多模式功率閘網路連接於一接地點與該電路模組之間時，各電晶體為 N 型電晶體且該多模式功率閘網路與該電路模組之間的節點視為一虛擬接地點，其中：

該電壓感測器之輸入端連接於該虛擬電壓源或該虛擬接地點，其尋找該虛擬電壓源之一最低電壓(VL)或尋找該虛擬接地點之一最高電壓(VH)；

該可變門檻比較器與該電壓感測器之輸出端電性連接，其比較該虛擬電壓源之一瞬間電壓(VV)與該最低電壓(VL)是否滿足一第一特定關係而輸出一第一比較結果狀態，或者該可變門檻比較器比較該虛擬接地點之瞬間電壓(VG)與該最高電壓(VH)是否滿足一第二特定關係而輸出一第二比較結果狀態；

該冗餘區間偵測電路之輸入端連接於該可變門檻比較器，依據該可變門檻比較器之該第一或第二比較結果狀態及一時脈邊緣以偵測一時脈週期內是否存在一冗餘區間；

該雙向位移暫存器之輸入端與該冗餘區間偵測電路電性連接，其依據該冗餘區間之是否存在而產生位移，使該

雙向位移暫存器之複數個控制訊號的輸出狀態改變；以及

該多模式功率閘網路與該雙向位移暫存器之各控制訊號連接，各電晶體分別受該雙向位移暫存器之各控制訊號之狀態開啟或關閉，使該多模式功率閘網路依據冗餘區間之存在狀況而改變該電源輸出至該電路模組之功率。

2. 如申請專利範圍第 1 項所述之具電路延遲評估機制之適應性功率控制裝置，其中，該第一特定關係滿足下列公式：

$$\left(\frac{VDD - V_{th}}{VL - V_{th}}\right)^\alpha \frac{VDD - VL}{1 + \lambda VL} \cdot \frac{\frac{1}{2}VDD - V_{th} + \frac{1}{2}VL}{VDO \left(VDD - V_{th} - \frac{1}{2}VDO\right)} \geq \frac{(VDD - VV) \left(\frac{1}{2}VDD - V_{th} + \frac{1}{2}VV\right)}{VDS0 \left(VV - V_{th} - \frac{1}{2}VDS0\right)}$$

其中，

VDD 為該電源提供之電壓；

V_{th} 為該多模式功率閘網路及該電路模組內之 P 型電晶體之一臨界電壓 (threshold voltage)；

VDO 為 P 型電晶體於 V_{GS} = VDD 時之一汲極飽和電壓 (drain saturation voltage)；

α 為一速度飽和參數 (velocity saturation index)；

λ 為 P 型電晶體通道長度調變參數 (channel length modulation parameter)；及

VDS0 是一預設臨界電壓值。

3. 如申請專利範圍第 1 項所述之具電路延遲評估機制之適應性功率控制裝置，其中，該第二特定關係滿足下列公式：

$$\left(\frac{VDD - V_{th}}{VDD - V_H - V_{th}}\right)^\alpha \frac{V_H}{1 + \lambda(VDD - V_H)} \cdot \frac{VDD - V_{th} - \frac{1}{2}V_H}{V_{D0}\left(VDD - V_{th} - \frac{1}{2}V_{D0}\right)} \geq \frac{V_G\left(VDD - V_{th} - \frac{1}{2}V_G\right)}{V_{D0}\left(VDD - V_G - V_{th} - \frac{1}{2}V_{D0}\right)}$$

其中，

VDD 為該電源提供之電壓；

V_{th} 為該多模式功率閘網路及該電路模組內之 N 型電晶體之一臨界電壓 (threshold voltage)；

V_{D0} 為 N 型電晶體於 V_{GS} = VDD 時之一汲極飽和電壓 (drain saturation voltage)；

α 為一速度飽和參數 (velocity saturation index)；

λ 為 N 型電晶體通道長度調變參數 (channel length modulation parameter)；及

V_{D0} 是一預設臨界電壓值。

4. 如申請專利範圍第 1 或 2 或 3 項所述之具電路延遲評估機制之適應性功率控制裝置，該可變門檻比較器為一變型之史密特觸發電路。

5. 如申請專利範圍第 1 或 2 或 3 項所述之具電路延遲評估機制之適應性功率控制裝置，該電壓感測器包含以二極體連接方式串接之二電晶體的感測電路。

6. 如申請專利範圍第 2 項所述之具電路延遲評估機制之適應性功率控制裝置，該 V_{D0} 為 100mV 時，該第一特定關係則滿足下列二者公式之一：

$$VV \geq 0.5685 + 0.4568 \cdot VL ; \text{ 及}$$

$$VV \geq 0.0902 + 1.7137 \cdot VL - 0.8109 \cdot VL^2, \text{ 電壓單位為伏特 (V) 。}$$

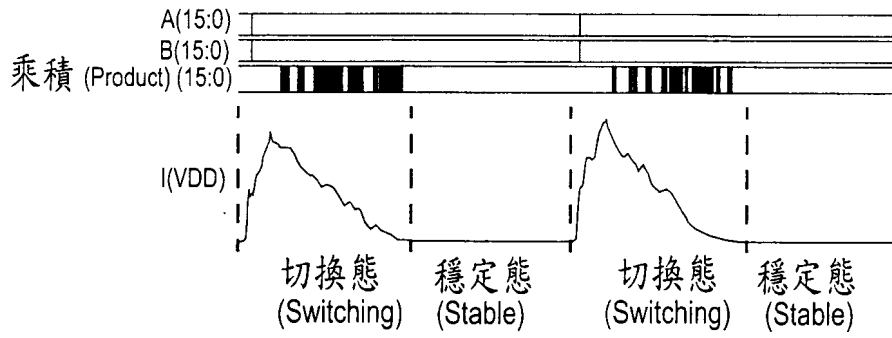
7. 如申請專利範圍第 3 項所述之具電路延遲評估機

制之適應性功率控制裝置，該 V_{DS0} 為 100mV 時，該第二特定關係則滿足下列二者公式之一：

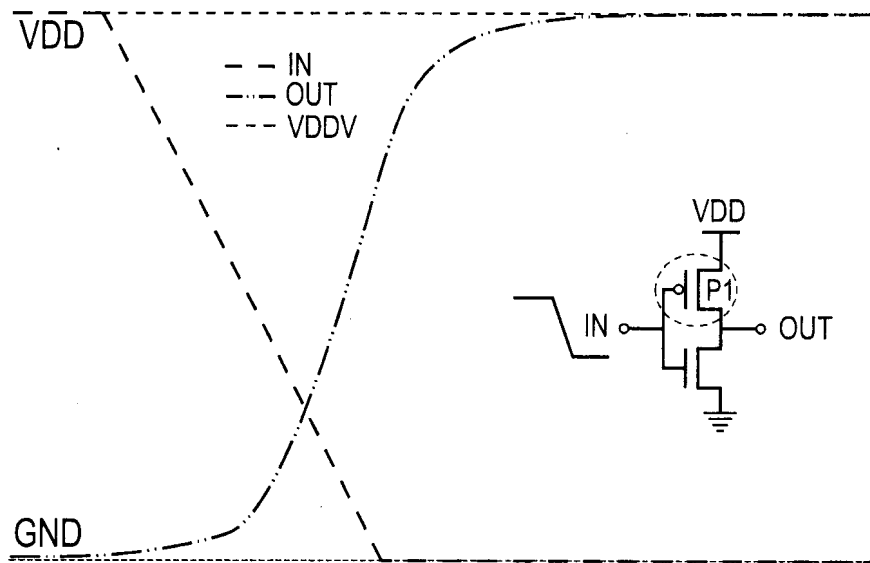
$$V_G \leq -0.01729 + 0.4424 \cdot V_H ; \text{ 及}$$

$$V_G \leq 0.0045 + 0.1810 \cdot V_H + 0.5810 \cdot V_H^2 , \text{ 電壓單位為伏特 (V) 。}$$

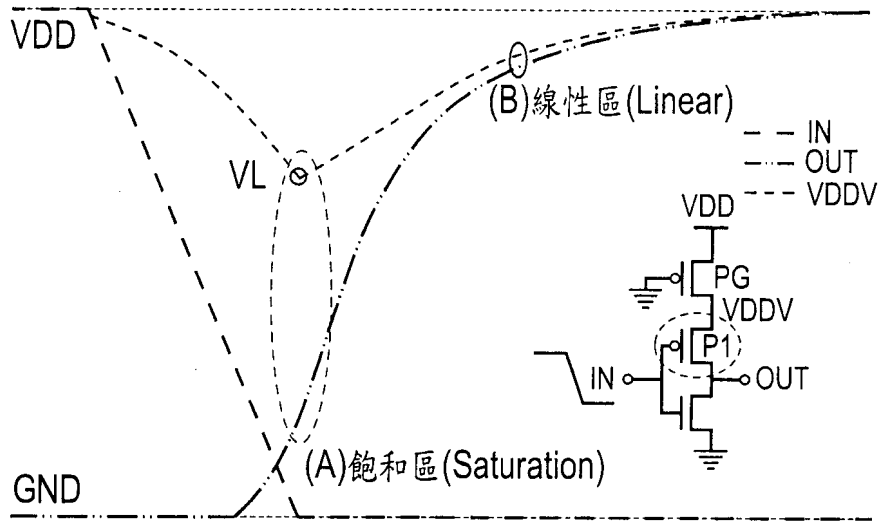
八、圖式：(如次頁)



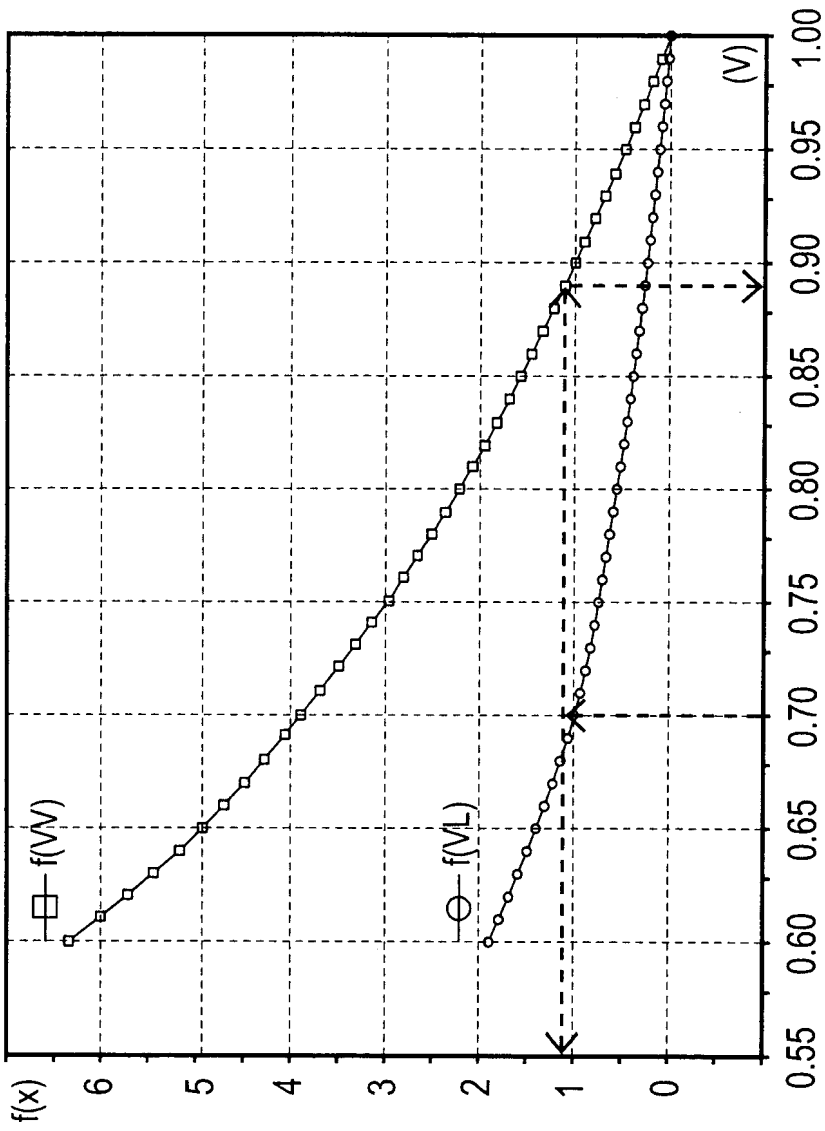
第一圖



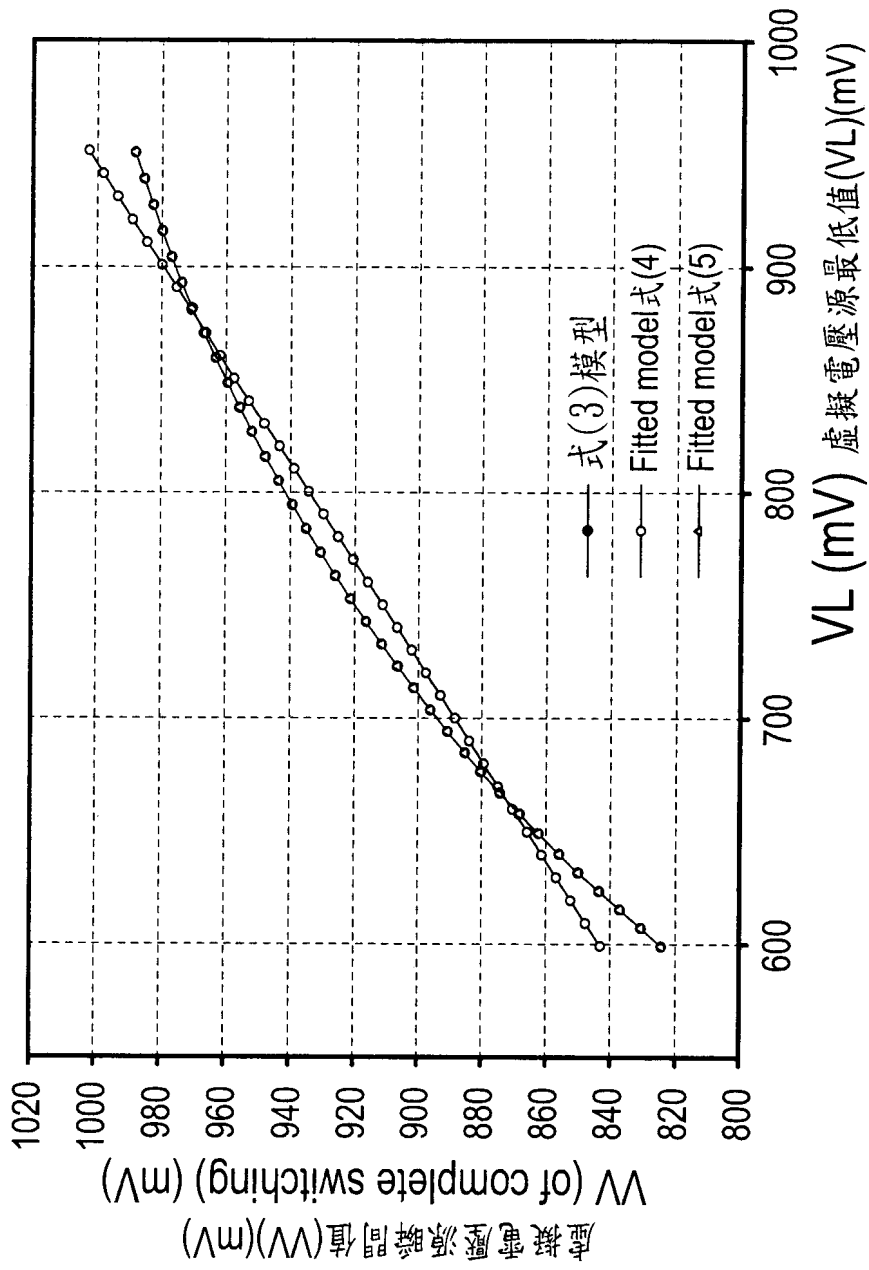
第二圖



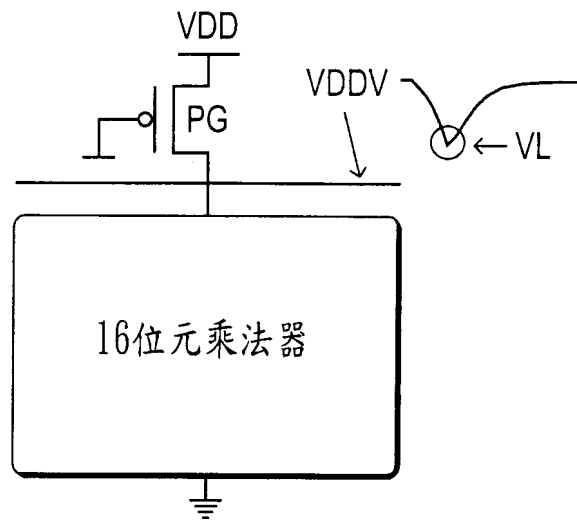
第三圖



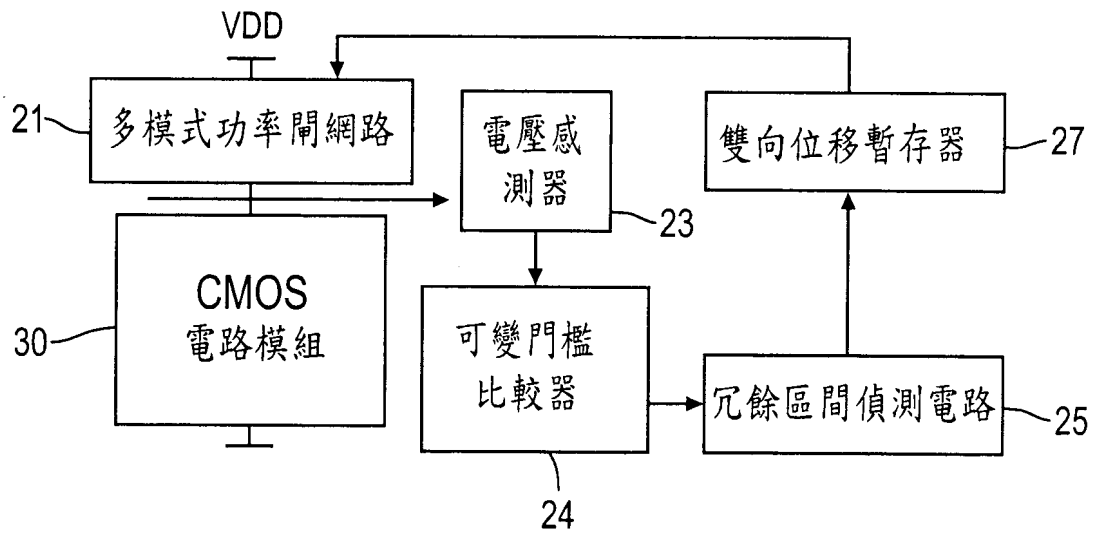
第四圖



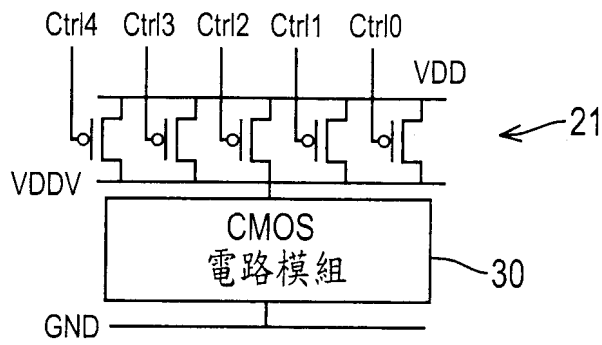
第五圖



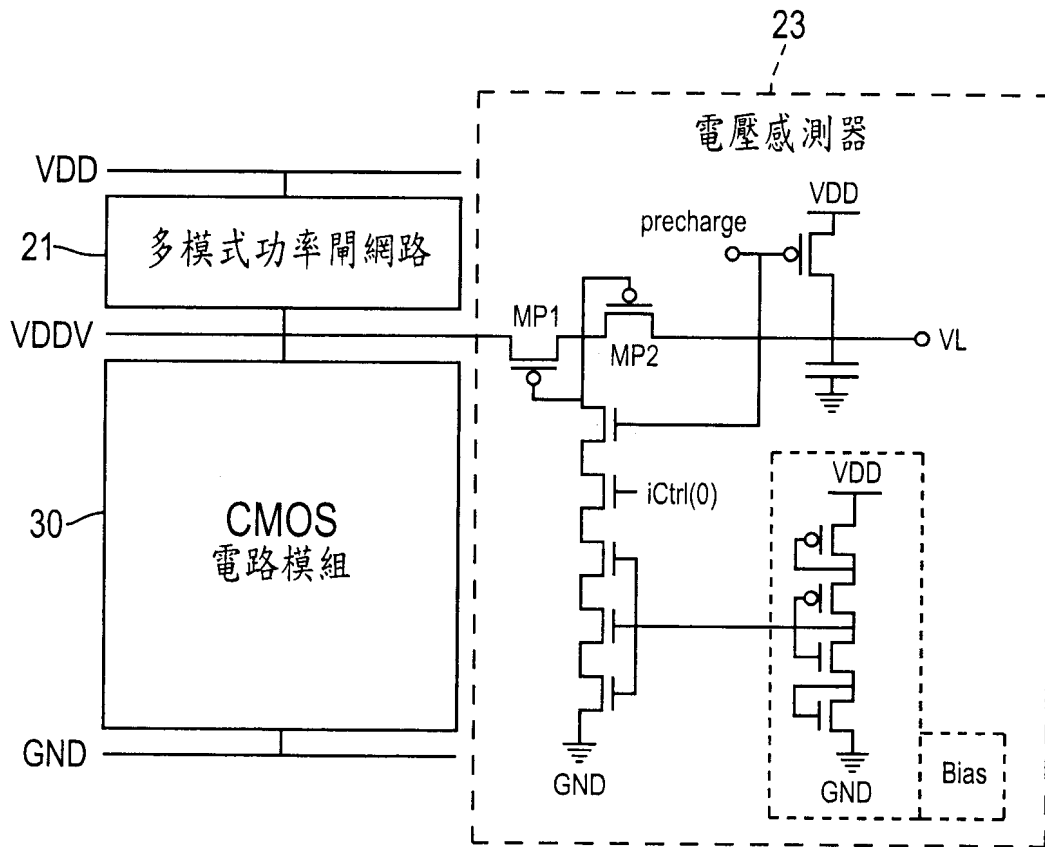
第六圖



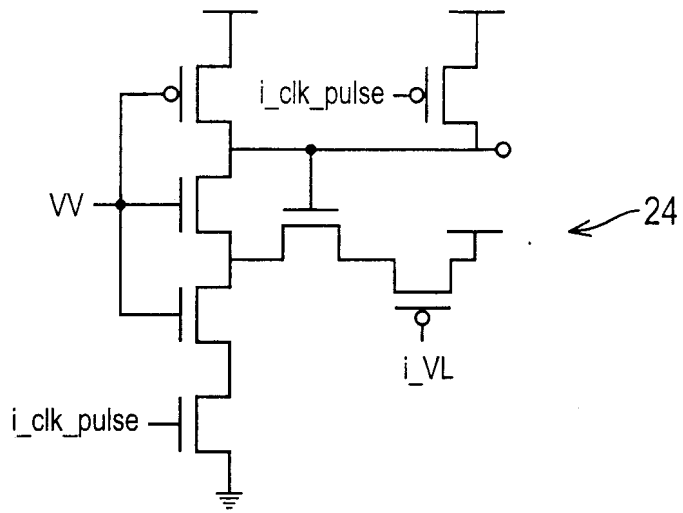
第七圖



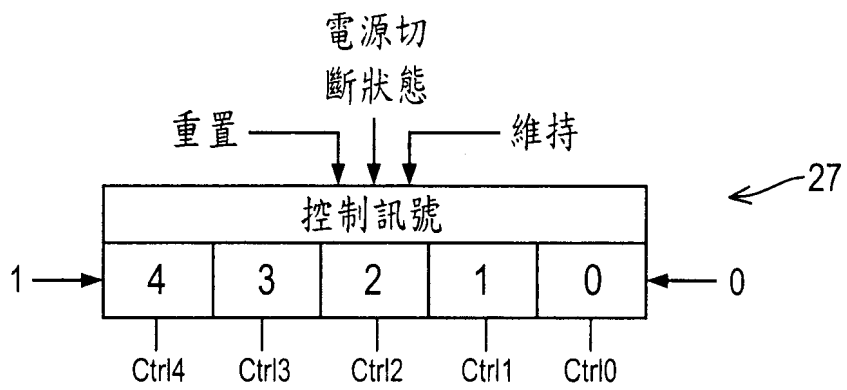
第八圖



第九圖



第十圖



第十一圖