

(21)申請案號：097149911

(22)申請日：中華民國 97 (2008) 年 12 月 19 日

(51)Int. Cl. : G11C11/56 (2006.01)

G11C11/4091(2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 100 號

(72)發明人：張牧天 CHANG, MU TIEN (TW) ; 黃威 HWANG, WEI (TW)

(74)代理人：蔡清福

申請實體審查：有 申請專利範圍項數：15 項 圖式數：5 共 31 頁

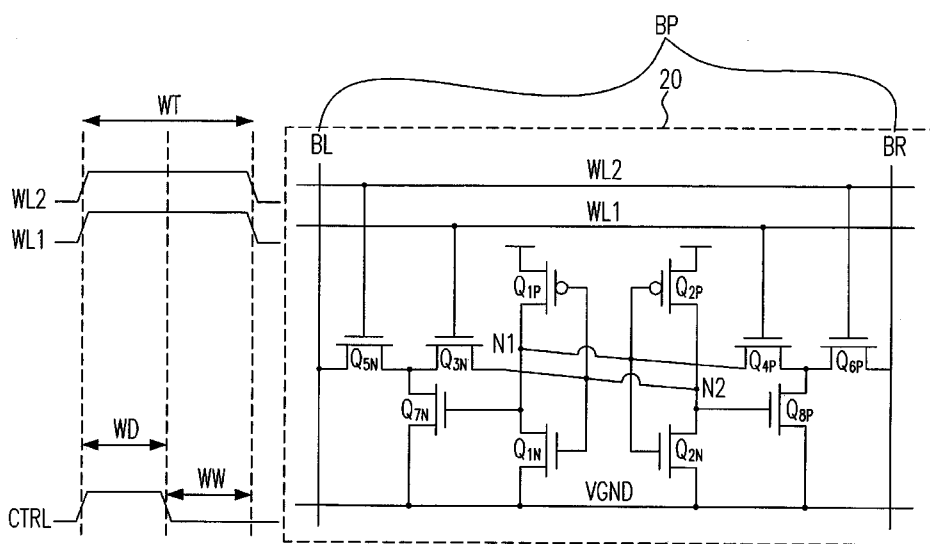
(54)名稱

全差分次臨界電壓靜態隨機存取記憶體裝置及其操作方法

FULLY DIFFERENTIAL SUBTHRESHOLD SRAM DEVICE AND ITS OPERATING METHOD

(57)摘要

本發明提出一個創新的靜態隨機存取記憶體裝置，適用於次臨界電壓。即便降低電壓使記憶體裝置的穩定度下降，本發明在次臨界電壓仍舊能夠提供穩健的操作，特別在維持資料時具有一放電路徑能產生自我補償機制，在受到雜訊干擾而改變資料儲存節點的電壓時，藉由該放電路徑放電以補償資料儲存節點的電壓，使資料儲存節點不易受到雜訊干擾而影響保存的資料，提升了資料保存的穩健性。



10：10T(10個電晶體所構成的SRAM元件)

20：全差分次臨界電壓靜態隨機存取記憶體裝置

201：雙穩態電路

202：控制電路

2011：第一反相器

2012：第二反相器

2021：存取電晶體

2022：補償/讀取電晶體

BP：一對位元線

BL：第一位元線

BR：第二位元線

BL3：第三位元線

BL3_B：反相第三位元線

CTRL：控制信號

INV3：第三反相器

INV4：第四反相器

N1：第一反相器輸出端

N2：第二反相器輸出端

N3：第一反相器輸入端

N4：第二反相器輸入端

N5：第五資料儲存節點

N6：第六資料儲存節點

P1：一對資料儲存節點

Q_{1N}：第一 n 型電晶體

Q_{1P}：第一 p 型電晶體

Q_{2N}：第二 n 型電晶體

Q_{2P}：第二 p 型電晶體

Q_{3N}：第三 n 型電晶體

Q_{4N}：第四 n 型電晶體

Q_{5N}：第五 n 型電晶體

Q_{6N}：第六 n 型電晶體

Q_{7N}：第七 n 型電晶體

Q_{8N}：第八 n 型電晶體

Q_{11N}：第十一 n 型電晶體

Q12N：第十二 n 型電
晶體

Q13N：第十三 n 型電
晶體

Q14N：第十四 n 型電
晶體

Q15N：第十五 n 型電
晶體

Q16N：第十六 n 型電
晶體

WP：一對字線

WL1：第一字線

WL2：第二字線

WL3：第三字線

WL3_B：反相第三字
線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97149911

※ 申請日：97.12.19

※ IPC 分類：G11C 11/56 (2006.01)
G11C 11/2091 (2006.01)

一、發明名稱：(中文/英文)

全差分次臨界電壓靜態隨機存取記憶體裝置及其操作
方法/Fully Differential Subthreshold SRAM Device And
Its Operating Method

二、中文發明摘要：

本發明提出一個創新的靜態隨機存取記憶體裝置，適用於次臨界電壓。即便降低電壓使記憶體裝置的穩定度下降，本發明在次臨界電壓仍舊能夠提供穩健的操作，特別在維持資料時具有一放電路徑能產生自我補償機制，在受到雜訊干擾而改變資料儲存節點的電壓時，藉由該放電路徑放電以補償資料儲存節點的電壓，使資料儲存節點不易受到雜訊干擾而影響保存的資料，提升了資料保存的穩健性。

三、英文發明摘要：

This invention disclose a fully differential subthreshold SRAM device particularly applied to subthreshold voltage. Even if the working voltage is lowered, this invention can still operate robustly. Especially while holding its data, there is a circuit path to discharge electricity, that can produce auto-compensation mechanism,

which compensate the voltage of the saving data node while being disturbed by noise, and elevate the stability of holding data.

四、指定代表圖：

(一)本案之指定代表圖為第三圖

(二)本代表圖之元件符號簡單說明

10 : 10T(10個電晶體所構成的SRAM元件)

20 : 全差分次臨界電壓靜態隨機存取記憶體裝置

201 : 雙穩態電路

2011 : 第一反相器

2012 : 第二反相器

202 : 控制電路

2021 : 存取電晶體

2022 : 補償/讀取電晶體

Q_{1N} : 第一n型電晶體

Q_{1P} : 第一p型電晶體

Q_{2N} : 第二n型電晶體

Q_{2P} : 第二p型電晶體

Q_{3N} : 第三n型電晶體

Q_{4N} : 第四n型電晶體

Q_{5N} : 第五n型電晶體

Q_{6N} : 第六n型電晶體

Q_{7N} : 第七n型電晶體

Q_{8N} : 第八n型電晶體

Q_{11N} : 第十一n型電晶體

Q_{12N} : 第十二 n 型電晶體

Q_{13N} : 第十三 n 型電晶體

Q_{14N} : 第十四 n 型電晶體

Q_{15N} : 第十五 n 型電晶體

Q_{16N} : 第十六 n 型電晶體

P1 : 一對資料儲存節點

N1 : 第一反相器輸出端

N2 : 第二反相器輸出端

N3 : 第一反相器輸入端

N4 : 第二反相器輸入端

N5 : 第五資料儲存節點

N6 : 第六資料儲存節點

WP : 一對字線

WL1 : 第一字線

WL2 : 第二字線

WL3 : 第三字線

WL3_B : 反相第三字線

BP : 一對位元線

BL : 第一位元線

BR : 第二位元線

BL3 : 第三位元線

BL3_B : 反相第三位元線

CTRL : 控制信號

INV3 : 第三反相器

INV4 : 第四反相器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明為一種全差分次臨界電壓靜態隨機存取記憶體裝置與其操作方法，特別是用於低電壓、低耗電的記憶體裝置。

【先前技術】

全差分次臨界電壓靜態隨機存取記憶體裝置，根據習知技術分為 6T(由六個電晶體所構成)、ST(由 Schmitt Trigger 電路所構成)、10T，所構成的記憶體裝置之優劣由保存資料時的穩定度、讀取資料時抗雜訊能力、寫入資料的難易度來判定。然而以上的技術都沒有同時具備優秀的資料保存、讀取、寫入的能力。

請參閱第一圖(a)，其為 10T(10 個電晶體所構成)的電路圖。根據習知技術 I. J. Chang, J. J. Kim, S. P. Park, and K. Roy, "A32kb 10T Subthreshold SRAM Array with Bit-Interleaving and Differential Read Scheme in 90nm CMOS," ISSCC Dig. Tech. Papers, pp. 388-389, Feb. 2008, 該電路包含 INV3, INV4, 四個存取電晶體 Q_{11N} 、 Q_{12N} 、 Q_{13N} 、 Q_{14N} ，兩個讀取電晶體 Q_{15N} 、 Q_{16N} 。INV3 與 INV4 形成一雙穩態電路 101 以儲存兩互為反相的準位值於 N5 與 N6，使該兩互為反相的準位形成一位元值。一虛擬地 VGND 電連接至 Q_{15N} 的源極 S 與 Q_{16N} 的源極 S，WL3 電連接至 Q_{11N} 的閘極 G 與 Q_{12N} 的閘極 G，WL3_B 電連接至 Q_{13N} 的閘極 G 與

Q_{14N} 的閘極 G，BL3 電連接至 Q_{14N} 的汲極 D，BL3_B 電連接至 Q_{13N} 的汲極 D。

請參閱第一圖(b)，其為該 10T 電路操作在保存資料時，WL3、WL3_B、與該虛擬地 VGND 的波形圖。當該虛擬地 VGND 接收一 0.3V 的電壓準位，且 WL3、WL3_B 皆為 0V 時， Q_{11N} 、 Q_{12N} 、 Q_{13N} 、 Q_{14N} 同時關閉，使該位元值保存在該雙穩態電路中。但是在該雙穩態電路 101 中，該第五資料儲存節點 N5 與該第六資料儲存節點 N6 的電壓容易受到雜訊干擾，而影響保存的資料。

鑑於上述問題，本案發明人經密集試驗與研究，最後終於開發出一種全差分次臨界電壓靜態隨機存取記憶體裝置與其操作方法，以克服習知技術的缺陷，並具產業利用性。

【發明內容】

本發明的目的主要在於提出一個創新的靜態隨機存取記憶體裝置，同時能改善資料的保存、讀取、寫入能力，適用於次臨界電壓。即便降低電壓使記憶體單元的穩定度下降，本發明在次臨界電壓仍舊能夠提供穩健的操作，且能克服先前技術的缺點。

鑑於上述，發明人提出一種全差分次臨界靜態隨機存取記憶體裝置，包括：一雙穩態電路與一控制電路。該雙穩態電路具有一對資料儲存節點與在該對資料儲存節點中的一位元值。該控制電路，電連接於該雙穩態電路，具有一對位元線、一對字線，且用於第一至第三功能。該第一功能是該

控制電路將該位元值寫入該對資料儲存節點中，該第二功能
是該控制電路自動地補償該對資料儲存節點的電壓變化來
穩定地維持在該對資料儲存節點中的該位元值，及該第三功
能是該控制電路將該對資料儲存節點與該對位元線解耦來
穩定地讀取該位元值。

本發明內容還包含一種全差分次臨界靜態隨機存取記
憶體裝置的操作方法，該記憶體裝置具有一對資料儲存節
點、一對字線與一對位元線，該方法包括下列步驟：

將一位元值寫入該對資料儲存節點中；

自動地補償該對資料儲存節點的電壓變化來穩定地維
持在該對資料儲存節點中的該位元值；及

將該對資料儲存節點與該對位元線解耦來穩定地讀取
該位元值。

【實施方式】

本案的電路設計概念是將一雙穩態電路具有一對資料
儲存節點與在該對資料儲存節點中的一位元值，透過一控制
電路，與一對字線、一對位元線來執行保存、讀取、寫入該
位元值於該對資料儲存節點中，其中該對資料儲存節點具有
兩相反的準位。

請參閱第二圖，其為一全差分次臨界靜態隨機存取記憶
體裝置 20 之電路示意圖，該全差分次臨界靜態隨機存取記
憶體裝置 20 包含該雙穩態電路 201、該控制電路 202。該
雙穩態電路 201 包含複數拴鎖電晶體 201，該複數拴鎖電

晶體 201 包含：一第一 n 型電晶體 Q_{1N} 、一第二 n 型電晶體 Q_{2N} 、一第一 p 型電晶體 Q_{1P} 、一第二 p 型電晶體 Q_{2P} 。

該控制電路 202，包含複數存取電晶體 2021 與複數補償/讀取電晶體 2022。該複數存取電晶體 2021 包含：一第三 n 型電晶體 Q_{3N} 、一第四 n 型電晶體 Q_{4N} 、一第五 n 型電晶體 Q_{5N} 、一第六 n 型電晶體 Q_{6N} 。該複數補償/讀取電晶體 2022 包含：一第七 n 型電晶體 Q_{7N} 、一第八 n 型電晶體 Q_{8N} 。

其中該第一 n 型電晶體 Q_{1N} 的源極 S 電連接至一虛擬地 VGND，該虛擬地 VGND 接收一控制信號 CTRL，在保存、讀取資料時，該控制信號 CTRL 為一低準位。該第一 n 型電晶體 Q_{1N} 的汲極 D 與該第一 p 型電晶體 Q_{1P} 的汲極 D、該第二 n 型電晶體 Q_{2N} 的閘極 G、該第二 p 型電晶體 Q_{2P} 的閘極 G、該第四 n 型電晶體 Q_{4N} 的汲極 D、該第七 n 型電晶體 Q_{7N} 的閘極 G 相連接。

相對稱於上述的元件結構之接法，該第二 n 型電晶體 Q_{2N} 的源極 S 電連接至該虛擬地 VGND，該虛擬地 VGND 接收該控制信號 CTRL，該第二 n 型電晶體 Q_{2N} 的汲極 D 與該第二 p 型電晶體 Q_{2P} 的汲極 D、該第一 n 型電晶體 Q_{1N} 的閘極 G、該第一 p 型電晶體 Q_{1P} 的閘極 G、該第三 n 型電晶體 Q_{3N} 的汲極 D、該第八 n 型電晶體 Q_{8N} 的閘極 G 相連接。

該第一 p 型電晶體 Q_{1P} 的源極 S 與該第二 p 型電晶體 Q_{2P} 的源極 S 電連接至一電源 VDD。該第一 p 型電晶體 Q_{1P} 與該第一 n 型電晶體 Q_{1N} 形成一第一反相器 2011，該第二 p 型電晶體 Q_{2P} 與該第二 n 型電晶體 Q_{2N} 形成一第二反相器 2012，

該第一反相器 2011 的輸入端 N3 電連接至該第二反相器 2012 的輸出端 N2，該第二反相器 2012 的輸入端 N4 電連接至該第一反相器 2011 的輸出端 N1 形成該雙穩態電路 201 以儲存該位元值於該第一反相器 2011 的輸出端 N1。該第二反相器 2012 的輸出端 N2 儲存與該位元值的準位相反的值。該第一反相器 2011 的輸出端 N1 與該第二反相器 2012 的輸出端 N2 組成該對資料儲存節點 P1。

請注意本發明與先前技術第一圖中的接法不同，該不同在於，先前技術中相對應於本發明的該第一反相器 2011 的輸入端 N3 接至該第七 n 型電晶體 Q_{7N} 的閘極 G，而本發明的該第一反相器 2011 的輸出端 N1 接至該第七 n 型電晶體 Q_{7N} 的閘極 G；先前技術中相對應於本發明的該第二反相器 2012 的輸入端 N4 接至該第八 n 型電晶體 Q_{8N} 的閘極 G，而本發明的該第二反相器 2012 的輸出端 N2 接至該第八 n 型電晶體 Q_{8N} 的閘極 G。

該對位元線 BP，包含一第一位元線 BL 與一第二位元線 BR，該第一位元線 BL 與該第五 n 型電晶體 Q_{5N} 的汲極 D 相連接，該第二位元線 BR 與該第六 n 型電晶體 Q_{6N} 的汲極 D 相連接。

該對字線 WP，包含一第一字線 WL1 與一第二字線 WL2。該第一字線 WL1 與該第三 n 型電晶體 Q_{3N} 的閘極 G、該第四 n 型電晶體 Q_{4N} 的閘極 G 相接，該第二字線 WL2 與該第五 n 型電晶體 Q_{5N} 的閘極 G、該第六 n 型電晶體 Q_{6N} 的閘極 G 相接。該第一字線 WL1 接收一準位且該第二字線 WL2

接收一準位，以執行該記憶體裝置 20 將該位元值寫入該對資料儲存節點中、自動地補償該對資料儲存節點的電壓變化來穩定地維持在該對資料儲存節點中的該位元值、將該對資料儲存節點與該對位元線解耦來穩定地讀取該位元值三種功能。

請參閱以下的真值表，其為操作在資料寫入、資料保存、資料讀取三種操作模式下，該第一字線 WL1 與該第二字線 WL2 之相對應值。

	WL1	WL2
資料寫入	1	1
資料保存	1	0
資料讀取	0	1

請參閱第三圖，其為該全差分次臨界靜態隨機存取記憶體裝置 20 操作在寫入資料時之示意圖。在將該位元值寫入該對資料儲存節點中時，該第一字線 WL1 的準位與該第二字線 WL2 的準位皆為一高準位；該對位元線 BP 具有一預寫入值，且該第一位元線 BL 的準位與該第二位元線 BR 的準位互為相反的準位。

將該位元值寫入該對資料儲存節點 P1 的時段 WT 分成兩時段，包括，破壞該對資料儲存節點 P1 的時段 WD，與將該預寫入值寫入該對資料儲存節點 P1 的時段 WW。將該位元值寫入該對資料儲存節點 P1 的方法為在破壞該對資料儲存節點 P1 的時段 WD，破壞該對資料儲存節點 P1

所儲存之該位元值後，在將該預寫入值寫入該對資料儲存節點 P1 的時段 WW，將該預寫入值寫入該對資料儲存節點 P1。通常對於能夠保存資料的穩定性高的電路而言，比較難以寫入資料。然而藉由本發明的電路與操作方法能改善此缺點。

破壞該對資料儲存節點 P1 所儲存之該位元值的操作方法為，設定該控制信號 CTRL 為該高準位，使該虛擬地 VGND 接收該高準位，該第一字線 WL1 接收該高準位且該第二字線 WL2 接收該高準位，使該第三、第四、第五、第六 n 型電晶體 Q_{3N} 、 Q_{4N} 、 Q_{5N} 、 Q_{6N} 同時開啟導通。

由於在寫入該位元值時，該第一位元線 BL 的準位與該第二位元線 BR 的準位互為相反的準位，因此在該第三、第四、第五、第六 n 型電晶體 Q_{3N} 、 Q_{4N} 、 Q_{5N} 、 Q_{6N} 同時開啟導通後，在該對資料儲存節點 P1 中必定存在該低準位，使得在該控制訊號 CTRL 為該高準位時，使該第一 n 型電晶體 Q_{1N} 或該第二 n 型電晶體 Q_{2N} 能夠導通，破壞了該低準位而形成該高準位，即破壞了原先儲存於該對資料儲存節點 P1 的該位元值。

接下來，將該預寫入值寫入該對資料儲存節點 P1。其操作方法為，設定該控制信號 CTRL 為該低準位使該虛擬地 VGND 接收該低準位，由於該對資料儲存節點 P1 的該位元值已經被破壞，所以該對位元線 BP 所具有的該預寫入值更容易被寫入該對資料儲存節點 P1 中。

請參閱第四圖，其圖為該全差分次臨界靜態隨機存取記

憶體裝置 20 操作在保存資料時之示意圖。該全差分次臨界靜態隨機存取記憶體裝置 20 操作在保存資料時，提供一第一放電路徑 A1，在低電壓運作易受雜訊干擾的情況下，利用該第一放電路徑 A1 能達到自動地補償該對資料儲存節點 P1 的電壓變化來穩定地維持該對資料儲存節點 P1 的該位元值。其操作方法為，設定該控制信號 CTRL 為該低準位使該虛擬地接收該低準位，在保存資料時，該第一字線 WL1 接收該高準位且該第二字線 WL2 接收該低準位，使得該第三 n 型電晶體 Q_{3N} 、該第四 n 型電晶體 Q_{4N} 開啟導通，而使該第五 n 型電晶體 Q_{5N} 、該第六 n 型電晶體 Q_{6N} 關閉。

由於該第五 n 型電晶體 Q_{5N} 、該第六 n 型電晶體 Q_{6N} 的關閉，隔絕了來自於該對位元線 BP 的雜訊干擾。由於該第三 n 型電晶體 Q_{3N} 、該第四 n 型電晶體 Q_{4N} 開啟導通，當該第一反相器 2011 的輸出端 N1 為該低準位時，在該第一反相器 2011 的輸出端 N1、該第四 n 型電晶體 Q_{4N} 、該第八 n 型電晶體 Q_{8N} 所構成的路徑上形成該第一放電路徑 A1，在該第一反相器 2011 的輸出端 N1 為低準位時，如果受到雜訊干擾而改變該第一反相器 2011 的輸出端 N1 的電壓時，藉由該第一放電路徑 A1 放電以補償該第一反相器 2011 的輸出端 N1 的電壓，使該第一反相器 2011 的輸出端 N1 不易受到雜訊干擾而影響保存的資料，提升了資料保存的穩健性。

請參閱第五圖，其圖為該全差分次臨界靜態隨機存取記憶體裝置 20 操作在讀取資料時之示意圖。該全差分次臨界

靜態隨機存取記憶體裝置 20 操作在讀取資料時，能夠防止該對位元線 BP 的雜訊干擾，使能更穩定地讀取該位元值。其操作方法為，設定該控制信號 CTRL 為該低準位使該虛擬地接收該低準位，在讀取資料時，該第一字線 WL1 接收該低準位，且該第二字線 WL2 接收該高準位，使得該第三 n 型電晶體 Q_{3N} 與第四 n 型電晶體 Q_{4N} 關閉、該第五 n 型電晶體 Q_{5N} 與第六 n 型電晶體 Q_{6N} 開啟導通；該對位元線 BP 具有一預充電位，且該第一位元線 BL 與該第二位元線 BR 所具有的預充電位皆為該高準位。

由於該第三 n 型電晶體 Q_{3N} 與第四 n 型電晶體 Q_{4N} 關閉，因此隔絕了來自於該第一位元線 BL 與該第二位元線 BR 對該對資料儲存節點 P1 的雜訊干擾。

當該第一反相器的輸出端 N1 為該低準位，該第二反相器的輸出端 N2 為該高準位時，由於該第五 n 型電晶體 Q_{5N} 、該第六 n 型電晶體 Q_{6N} 開啟導通，使該第六 n 型電晶體 Q_{6N} 、該第八 n 型電晶體 Q_{8N} 導通，在該第六 n 型電晶體 Q_{6N} 、該第八 n 型電晶體 Q_{8N} 形成一第二放電路徑 A2，將該第二位元線 BR 所具有的預充電位放電，使該第二位元線 BR 達到該低準位，此時由於該第三 n 型電晶體 Q_{3N} 與該第七 n 型電晶體 Q_{7N} 皆關閉而未形成放電路徑，因此該第一位元線 BL 仍然維持該預充電位為該高準位。如此，以該全差分次臨界靜態隨機存取記憶體裝置 20 操作在讀取資料的方法便能讀取該全差分次臨界靜態隨機存取記憶體裝置 20 所儲存的該位元值，並且在讀取該位元值時有效地防止雜訊干擾。

綜合以上該全差分次臨界靜態隨機存取記憶體裝置 20 的寫入資料能力、穩健的保存資料能力、抗干擾的讀取資料能力，三種能力同時都有優良的改善。尤其在供應電壓越來越低的應用下，次臨界操作電壓提供有效的方法來達成超低功率消耗，但伴隨而來的可靠度問題，特別在奈米製程下的生產製造過程中電壓與溫度不穩定的變因，使得穩定度成為最重要的設計考量。因此，本發明提供可靠的次臨界靜態隨機存取記憶體裝置，可應用於嵌入式記憶體、資訊、通訊、生醫、消費性電子產品等領域，特別適合應用於生醫相關之 IC 設計，有助於往後生醫電子產業的發展。

【圖示簡單說明】

第一圖：先前技術之全差分次臨界電壓靜態隨機存取記憶體裝置圖；

第二圖：全差分次臨界電壓靜態隨機存取記憶體裝置圖；

第三圖：全差分次臨界電壓靜態隨機存取記憶體裝置操作在寫入資料時之圖；

第四圖：全差分次臨界電壓靜態隨機存取記憶體裝置操作在保存資料時之圖；及

第五圖：全差分次臨界電壓靜態隨機存取記憶體裝置操作在讀取資料時之圖。

【主要元件符號說明】

10：10T(10 個電晶體所構成的 SRAM 元件)

20：全差分次臨界電壓靜態隨機存取記憶體裝置

201 : 雙穩態電路

2011 : 第一反相器

2012 : 第二反相器

202 : 控制電路

2021 : 存取電晶體

2022 : 補償/讀取電晶體

Q_{1N} : 第一 n 型電晶體

Q_{1P} : 第一 p 型電晶體

Q_{2N} : 第二 n 型電晶體

Q_{2P} : 第二 p 型電晶體

Q_{3N} : 第三 n 型電晶體

Q_{4N} : 第四 n 型電晶體

Q_{5N} : 第五 n 型電晶體

Q_{6N} : 第六 n 型電晶體

Q_{7N} : 第七 n 型電晶體

Q_{8N} : 第八 n 型電晶體

Q_{11N} : 第十一 n 型電晶體

Q_{12N} : 第十二 n 型電晶體

Q_{13N} : 第十三 n 型電晶體

Q_{14N} : 第十四 n 型電晶體

Q_{15N} : 第十五 n 型電晶體

Q_{16N} : 第十六 n 型電晶體

P1 : 一對資料儲存節點

N1 : 第一反相器輸出端

N2 : 第二反相器輸出端

N3 : 第一反相器輸入端

N4 : 第二反相器輸入端

N5 : 第五資料儲存節點

N6 : 第六資料儲存節點

WP : 一對字線

WL1 : 第一字線

WL2 : 第二字線

WL3 : 第三字線

WL3_B : 反相第三字線

BP : 一對位元線

BL : 第一位元線

BR : 第二位元線

BL3 : 第三位元線

BL3_B : 反相第三位元線

CTRL : 控制信號

INV3 : 第三反相器

INV4 : 第四反相器

七、申請專利範圍：

1. 一種全差分次臨界靜態隨機存取記憶體裝置，包括：

一雙穩態電路，具有一對資料儲存節點與在該對資料儲存節點中的一位元值；及

一控制電路，電連接於該雙穩態電路，具有一對位元線、一對字線，且用於第一至第三功能，其中：

該第一功能是該控制電路將該位元值寫入該對資料儲存節點中：

該第二功能是該控制電路自動地補償該對資料儲存節點的電壓變化來穩定地維持在該對資料儲存節點中的該位元值；及

該第三功能是該控制電路將該對資料儲存節點與該對位元線解耦來穩定地讀取該位元值。

2. 如申請專利範圍第 1 項所述的記憶體裝置，其中：

該雙穩態電路，包含複數閃鎖電晶體，該複數閃鎖電晶體包含：

一第一 n 型電晶體、一第二 n 型電晶體、一第一 p 型電晶體、一第二 p 型電晶體；

該控制電路，包含：

複數存取電晶體，包含：

一第三 n 型電晶體、一第四 n 型電晶體、一第五 n 型電晶體、一第六 n 型電晶體；及

該複數補償/讀取電晶體，包含：

一第七 n 型電晶體、一第八 n 型電晶體；

其中該第一/二 n 型電晶體的源極電連接至一虛擬地，該第一/二 n 型電晶體的汲極與該第一/二 p 型電晶體的汲極、該第二/一 n 型電晶體的閘極、該第二/一 p 型電晶體的閘極、該第四/三 n 型電晶體的汲極相連接、該第七/八 n 型電晶體的閘極相連接；及

該第一 p 型電晶體的源極與該第二 p 型電晶體的源極電連接至一電源，該第一 p 型電晶體與該第一 n 型電晶體形成一第一反相器、該第二 p 型電晶體與該第二 n 型電晶體形成一第二反相器，該第一反相器的輸入端電連接至該第二反相器的輸出端，該第二反相器的輸入端電連接至該第一反相器的輸出端形成該穩態電路以儲存該位元值於該對資料儲存節點。

3. 如申請專利範圍第 2 項所述的記憶體裝置，其中該第二反相器的輸出端儲存與該位元值準位相反的值，該第二反相器的輸出端為一反相的該對資料儲存點。

4. 如申請專利範圍第 2 項所述的記憶體裝置，其中該對字線包含一第一字線與一第二字線，該第一字線與該第三 n 型電晶體的閘極、該第四 n 型電晶體的閘極相接，該第二字線與該第五 n 型電晶體的閘極、該第六 n 型電晶體的閘極相接，該第一字線 WL1 接收一準位且該第二字線 WL2 接收一準位，以執行該記憶體裝置 20 保存資料、讀取資料、或寫入資料三種功能。

5. 如申請專利範圍第 2 項所述的記憶體裝置，其中該對位元線包含一第一位元線與一第二位元線，該第一位元線與該第

五 n 型電晶體的汲極相連接，該第二位元線與該第六 n 型電晶體的汲極相連接；

在寫入資料時，該對位元線具有一預寫入值，該第一位元線的準位與該第二位元線的準位互為相反的準位；及

在讀取資料時，該對位元線具有一預充電位，使該第一位元線的準位與該第二位元線的準位先預充電達到一高準位。

6. 一種全差分次臨界靜態隨機存取記憶體裝置的操作方法，該記憶體裝置具有一對資料儲存節點、一對字線與一對位元線，該方法包括下列步驟：

將一位元值寫入該對資料儲存節點中；

自動地補償該對資料儲存節點的電壓變化來穩定地維持在該對資料儲存節點中的該位元值；及

將該對資料儲存節點與該對位元線解耦來穩定地讀取該特定值。

7. 如申請專利範圍第 6 項所述的方法，該記憶體裝置包含：

一雙穩態電路，包含複數閃鎖電晶體，該複數閃鎖電晶體包含：

一第一 n 型電晶體、一第二 n 型電晶體、一第一 p 型電晶體、一第二 p 型電晶體；及

一控制電路，包含：

複數存取電晶體，包含：

一第三 n 型電晶體、一第四 n 型電晶體、一第五 n 型電晶體、一第六 n 型電晶體；及

複數補償/讀取電晶體，包含：

一第七 n 型電晶體、一第八 n 型電晶體；

其中該第一/二 n 型電晶體的源極電連接至一虛擬地，該虛擬地電連接一控制信號，該第一/二 n 型電晶體的汲極與該第一/二 p 型電晶體的汲極、該第二/一 n 型電晶體的閘極、該第二/一 p 型電晶體的閘極、該第四/三 n 型電晶體的汲極相連接、該第七/八 n 型電晶體的閘極相連接；

該第一 p 型電晶體的源極與該第二 p 型電晶體的源極電連接至一電源，該第一 p 型電晶體與該第一 n 型電晶體形成一第一反相器，該第二 p 型電晶體與該第二 n 型電晶體形成一第二反相器，該第一反相器的輸入端電連接至該第二反相器的輸出端，該第二反相器的輸入端電連接至該第一反相器的輸出端形成該雙穩態電路以儲存該位元值於該對資料儲存節點；

該對字線包含一第一字線與一第二字線，該第一字線與該第三 n 型電晶體的閘極、該第四 n 型電晶體的閘極相連接，該第二字線與該第五 n 型電晶體的閘極、該第六 n 型電晶體的閘極相連接；及

該對位元線包含一第一位元線與一第二位元線，該第一位元線與該第五 n 型電晶體的汲極相連接，該第二位元線與該第六 n 型電晶體的汲極相連接。

8. 如申請專利範圍第 7 項所述的該記憶體裝置，將一位元值寫入該對資料儲存節點中的方法為：

在寫入資料時，該第一字線接收一高準位且該第二字線

接收該高準位；及

在寫入資料時，該對位元線存在一預寫入值，且該第一位元線的準位與該第二位元線的準位互為相反的準位。

9. 如申請專利範圍第 8 項所述的方法，將該位元值寫入該對資料儲存節點的方法還包括，先破壞該對資料儲存節點所儲存之該位元值後，再將該預寫入值寫入該對資料儲存節點。

10. 如申請專利範圍第 9 項所述的方法，將該位元值寫入該對資料儲存節點中還包含三個步驟：

步驟一，該第一字線接收該高準位且該第二字線接收該高準位，使該第三與該第四 n 型電晶體、該第五與該第六 n 型電晶體開啟；

步驟二，設定該控制信號為該高準位，使該虛擬地接收該高準位，使該第一或該第二 n 型電晶體導通，破壞該對資料儲存點的該位元值；及

步驟三，設定該控制信號為該低準位，使該虛擬地接收該低準位，使該預寫入值寫入該對資料儲存點的該位元值。

11. 如申請專利範圍第 7 項所述該記憶體裝置，自動地補償該對資料儲存節點的電壓變化來穩定地維持該對資料儲存節點的該位元值包含下列步驟：

設定該控制信號為一低準位，使該虛擬地接收該低準位
該第一字線接收一高準位且該第二字線接收該低準位；
使該第三與該第四 n 型電晶體開啟，並使該第五與該第六 n 型電晶體關閉；及

該對資料儲存節點的該位元值為該高準位或該低準位

其中之一，當該位元值為該低準位時，該第一反相器的輸出端、該第四 n 型電晶體、該第八 n 型電晶體形成一第一放電路徑，在該第一反相器的輸出端為低準位時，如果受到雜訊干擾而改變該該第一反相器的輸出端的電壓時，藉由該第一放電路徑放電以補償該第一反相器的輸出端的電壓。

12. 如申請專利範圍第 7 項所述的記憶體裝置方法，將該對資料儲存節點與該對位元線解耦來穩定地讀取該位元值的方法為：

在讀取資料時，該第一字線接收一低準位且該第二字線接收一高準位；及

在讀取資料時，該對位元線具有一預充電位，且該第一位元線與該第二位元線所具有的預充電位皆為該高準位。

13. 如申請專利範圍第 12 項所述的方法，將該對資料儲存節點與該對位元線解耦來穩定地讀取該位元值還包含下列步驟：

設定該控制信號為該低準位，使該虛擬地接收該低準位該第一字線接收該低準位且該第二字線接收該高準位；使該第三與該第四 n 型電晶體關閉，並使且該第五與該第六 n 型電晶體開啟；

該第一與該第二位元線先預充電使該第一位元線的準位與該第二位元線的準位皆為該高準位；

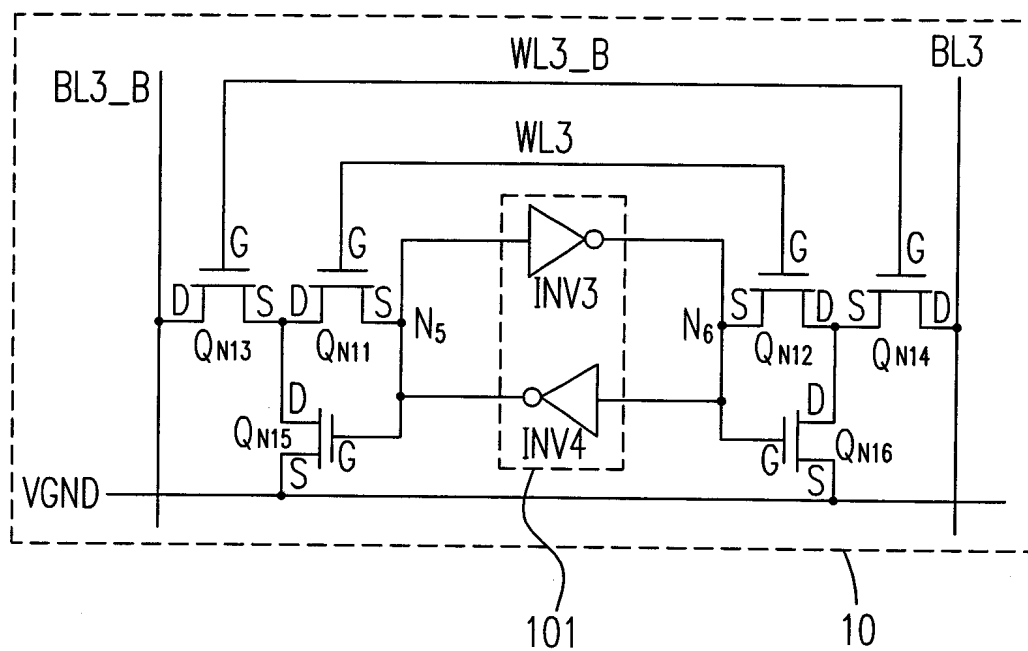
該對資料儲存節點的該位元值為高準位或低準位其中之一，當該位元值為低準位時，該第六與該第八 n 型電晶體開啟並導通形成一第二放電路徑，利用該第二放電路徑，使

該第二位元線讀取該位元值；及

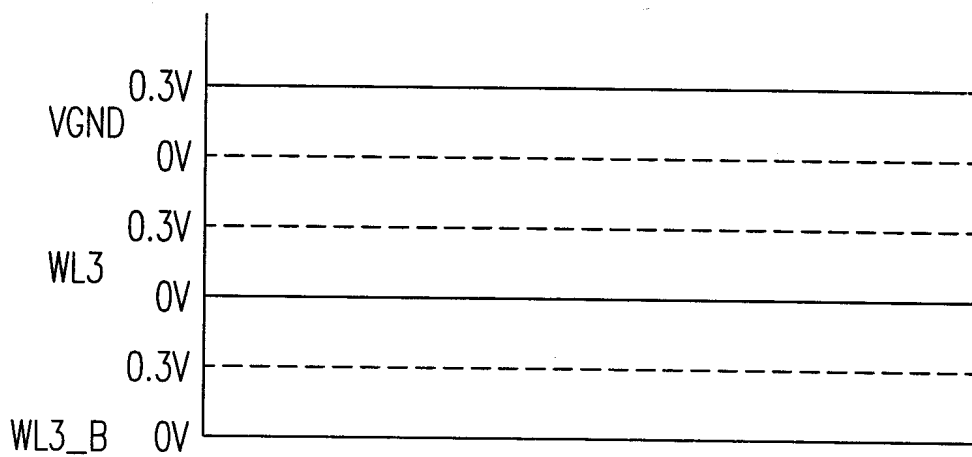
使該第三與該第七 n 型電晶體關閉，使該第一位元線維持在一預充電的狀態，為該高準位。

14. 如申請專利範圍第 13 項所述的方法，其中當讀取該位元值時，該第三 n 型電晶體與該第四 n 型電晶關閉，隔絕了從該第一位元線與該第二位元線所傳過來的雜訊干擾，使該對資料儲存點不易受雜訊干擾。

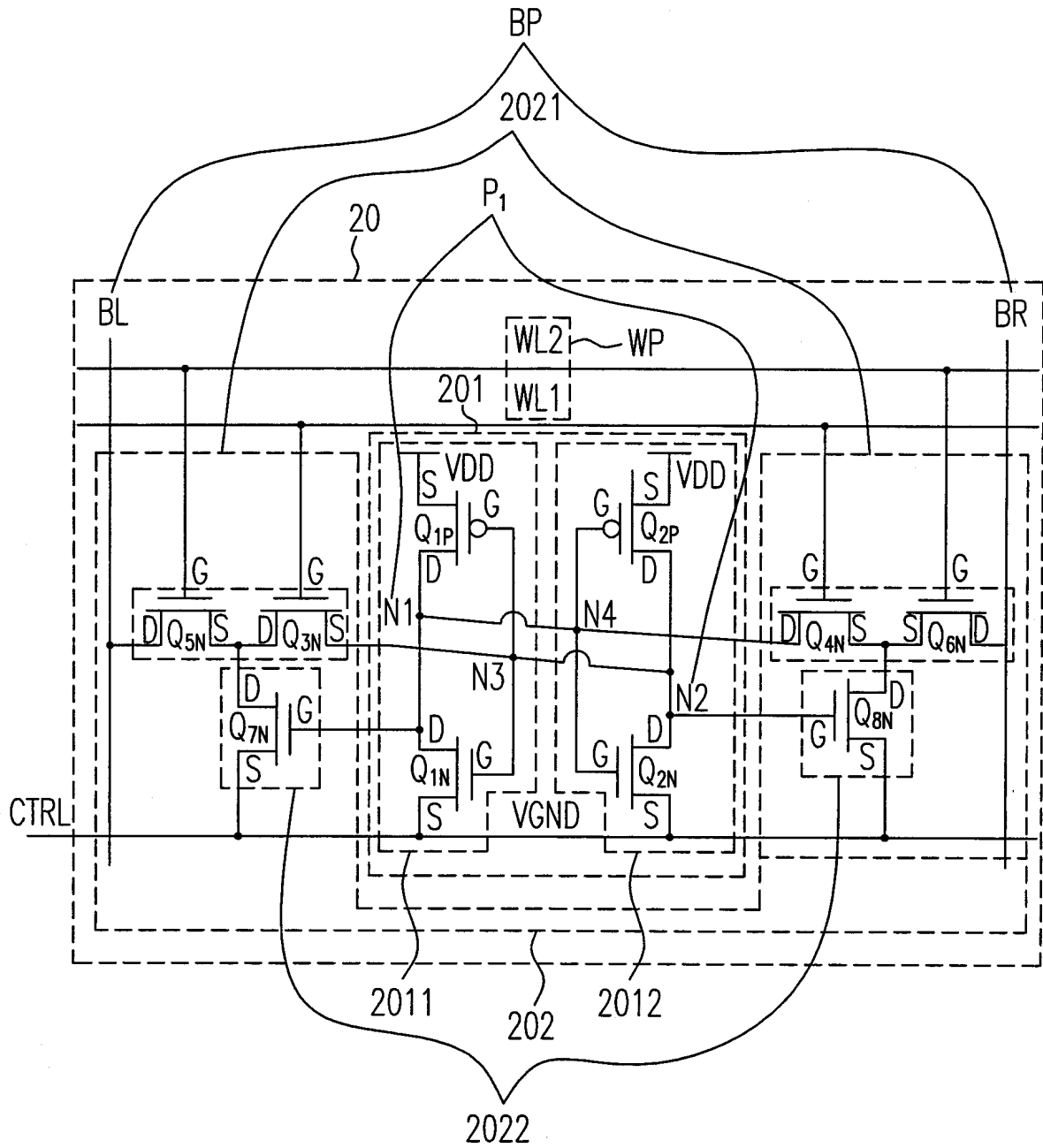
15. 如申請專利範圍第 6 項所述的方法，其中該全差分次臨界靜態隨機存取記憶體裝置係應用於一低功率 IC。



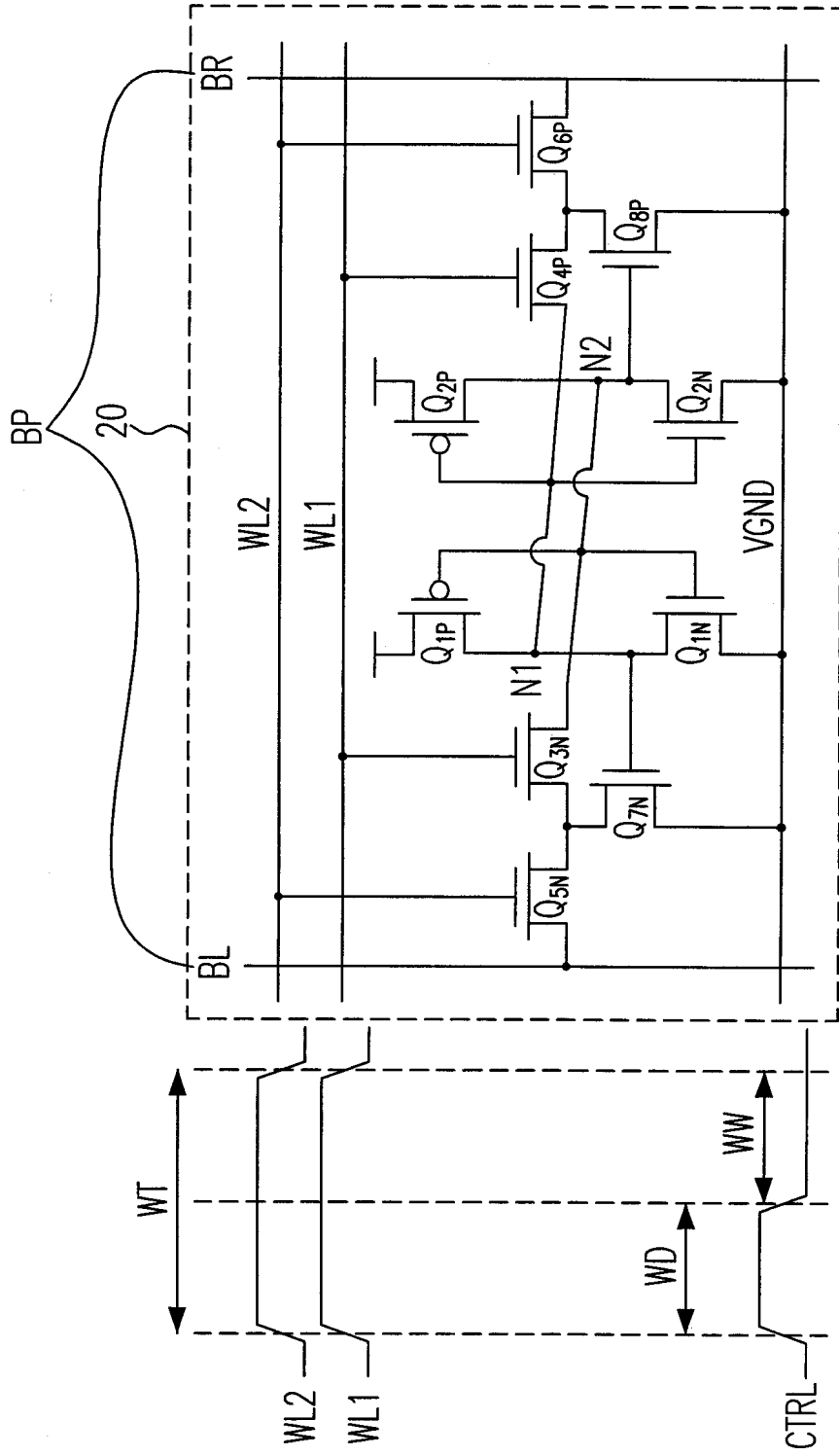
第一圖(a)



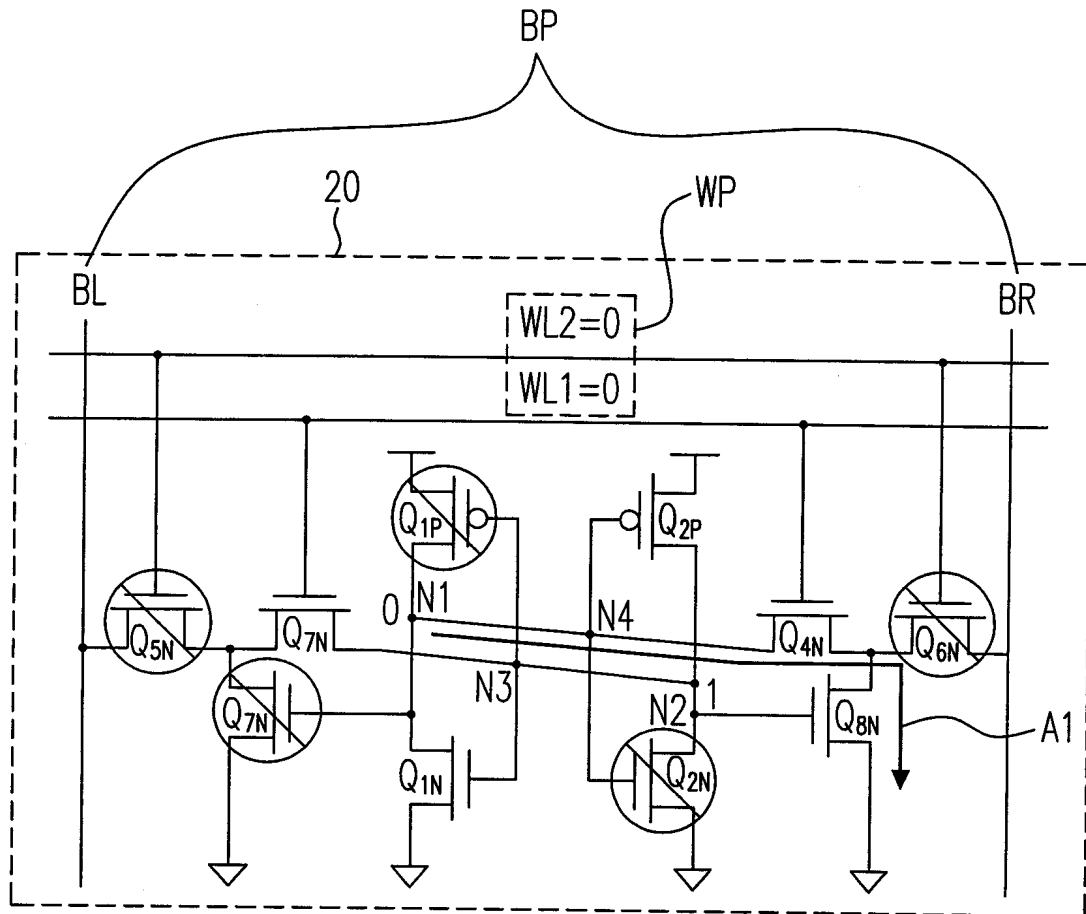
第一圖(b)



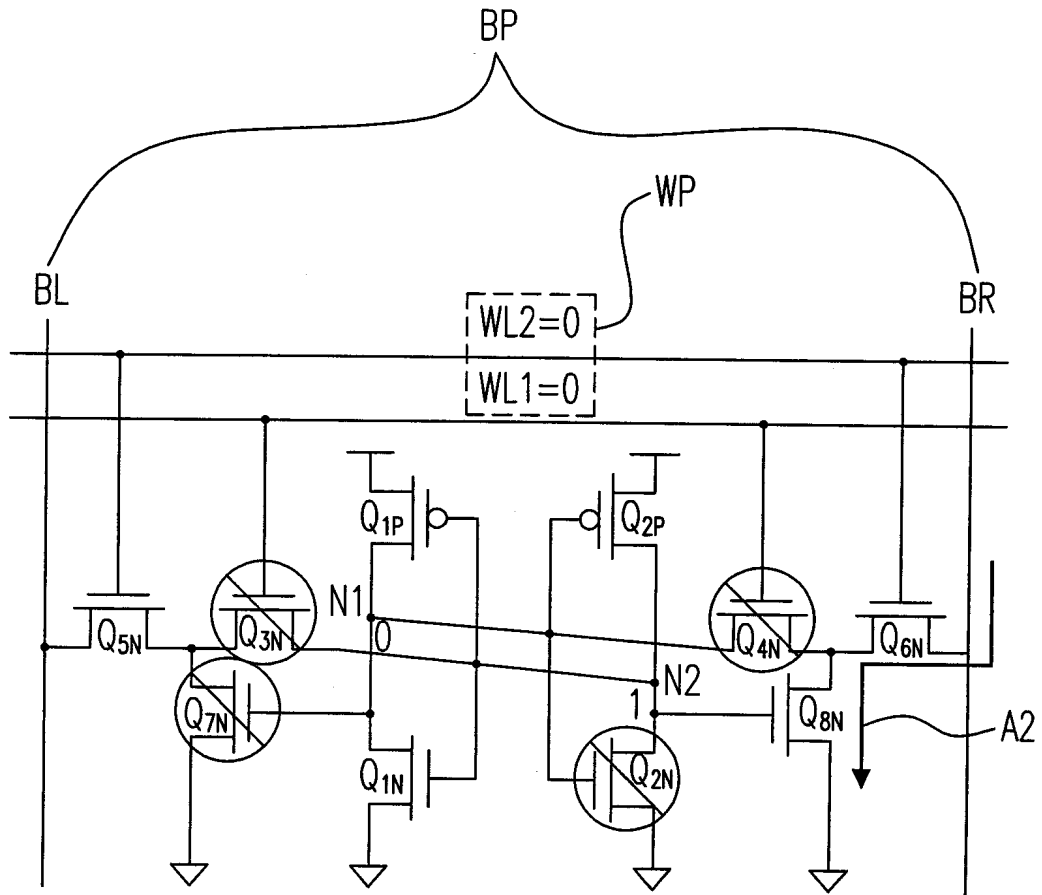
第二圖



第三圖



第四圖



第五圖