

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97150288

※ 申請日期：97.12.23

※IPC 分類：G09G 3/30 (2006.01)

## 一、發明名稱：(中文/英文)

顯示裝置之畫素補償電路

## 二、申請人：(共 1 人)

姓名或名稱：國立交通大學

代表人：吳重雨

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：中華民國 TW

## 三、發明人：(共 2 人)

姓 名：1. 劉柏村

2. 竹立煒

國 籍：1. 中華民國 TW 2. 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，  
其事實發生日期為：9 年 06 月 24 日。

主動矩陣有機發光二極體於薄膜電晶體之補償驅動電路研究

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係有關於一種顯示裝置之畫素補償電路，其由一第一開關耦接一電壓，並受控於一第一掃描訊號；一儲存電容具有一第一端與一第二端，第一端耦接第一開關，第二端耦接於第二開關，一第二開關受控於第一掃描訊號，一驅動元件耦接於一資料線、儲存電容與第二開關，驅動元件用以產生一驅動電流，並傳送驅動電流至一發光元件。如此，本發明藉由控制第一開關與第二開關而產生與臨界電壓無關之驅動電流，使得畫素之亮度與臨界電壓無關，進而增加驅動電流的均勻性使面板可長時間操作，並減少亮度不均勻的特性。

## 六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第( 二 )圖。

(二)本代表圖之元件符號簡單說明：

10	第一開關
12	第二開關
14	驅動元件
16	發光元件
18	第三開關
20	第四開關
$C_{st}$	儲存電容
EM	控制訊號
$V_{EE}$	參考準位
SEL1	第一掃描訊號
SEL2	第二掃描訊號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種補償電路，其係尤指一種顯示裝置之畫素補償電路。

### 【先前技術】

按，主動矩陣式有機發光二極體(Active Matrix OLED, AMOLED)顯示器為新一代平面顯示器，與主動式陣式液晶顯示器(Active Matrix Liquid Crystal Display, AMLCD)相比較，主動矩陣式有機發光二極體顯示器具有許多優點，例如較高的對比、較寬的視角、不需背光而有較薄的模組厚度、較低的功率消耗以及較低的成本，主動矩陣式液晶器需要由電流源來驅動一電致發光(electroluminescent)元件，電致發光元件的亮度正比於所通過的電流，流經電致發光元件之電流量的變異對於主動式有機發光二極體顯示器的亮度均勻度有負面的影響，因此，畫素電路的品質對於主動矩陣式有機發光二極體顯示器之畫質非常重要。

請參閱第一圖，係為習知技術之主動式有機發光二極體顯示器之畫素電路的電路圖。如圖所示，習知技術之畫素電路包含一第一開關 10'、一儲存電容 12'、一驅動元件 14' 與一發光元件 16'。第一開關 10' 耦接一資料線，並受控於一掃描線所產生之一掃描訊號，儲存電容 12' 耦接於第一開關 10' 與一供應電壓  $V_{dd}$  之間，第二開關 14' 耦接於第一開關 10' 與供應電壓  $V_{dd}$ ，用以產生一驅動電流而驅動發光元件 16'。其中，發光元件 16' 為一電致發光元件。

承上所述，當掃描線產生之掃描訊號導通第一開關 10' 時，資料線之資料訊號會被載入至驅動元件 14' 之閘極，且儲存於儲存電容 12' 中，藉以輸出固定之驅動電流驅動發光元件發光。一般而言，於主動式發光二極體顯示器中，驅動元件 14' 係藉由閘極耦接至資料線，且驅動元件 14' 之源汲極係分別耦接至供應電壓  $V_{dd}$  與電致發光元件之陽極，因此，電致發光

元件係與資料訊號存在下列關係：

$$\text{亮度} \propto \text{電流} \propto (V_{dd} - V_{data} - V_{th})^2$$

所以因供應電壓  $V_{dd}$  和資料訊號  $V_{data}$  為定值，當驅動元件 14' 長期使用下，會有臨界電壓增加的現象而使得驅動電流下降。

因此，如何針對上述問題而提出一種新穎顯示裝置之畫素補償電路，以克服臨界電壓的變動而造成驅動電流的不均勻性，使可解決上述之問題。

### 【發明內容】

本發明之目的之一，在於提供一種顯示裝置之畫素補償電路，其藉由使用與臨界電壓無關之驅動電流，使得畫素之亮度與臨界電壓無關，進而增加驅動電流的均勻性使面板可長時間操作，而不會因驅動元件本身元件的劣化讓驅動電流下降，減少亮度不均勻的特性。

本發明之目的之一，在於提供一種顯示裝置之畫素補償電路，其整合一資料線與一電源線，以減少製程複雜度進而減少成本，並增加開口率。

本發明之目的之一，在於提供一種顯示裝置之畫素補償電路，其藉由一開關設置於每一掃描線，而控制每列之畫素，進而減少顯示裝置的面積，以減少成本。

本發明之顯示裝置之畫素補償電路包含一第一開關、一儲存電容、一第二開關、一驅動元件。第一開關耦接一電壓，並受控於一第一掃描訊號；儲存電容具有一第一端與一第二端，第一端耦接第一開關，第二端耦接於第二開關，第二開關受控於第一掃描訊號，驅動元件耦接於一資料線、儲存電容與第二開關，驅動元件用以產生一驅動電流，並傳送驅動電流至一發光元件。如此，本發明藉由控制第一開關與第二開關而產生與臨界電壓無關之驅動電流，使得畫素之亮度與臨界電壓無關，進而增加驅動電流的均勻性使面板可長時間操作，而不會因驅動元件本身元件的劣化讓驅動電流下降，減少亮度不均勻的特性。

再者，本發明之畫素補償電路更包含一第三開關，耦接於發光元件與

一參考準位，並受控於一控制訊號。以藉由第三開關設置於每一掃描線，而控制每列之畫素，進而減少顯示裝置的面積，以減少成本。

又，本發明之畫素補償電路更包含一第四開關，其一端耦接第一開關與儲存電容之間，另一端耦接資料線，並受控於一第二掃描訊號。其中，資料線用以提供一資料/電源訊號，而達到整合一資料線與一電源線，以減少製程複雜度進而減少成本，並增加開口率。

### 【實施方式】

茲為使 貴審查委員對本發明之結構特徵及所達成之功效有更進一步之瞭解與認識，謹佐以較佳之實施例及配合詳細之說明，說明如後：

請參閱第二圖，係為本發明之一較佳實施例之電路圖。如圖所示，本發明之顯示裝置之畫素補償電路包含一第一開關 10、一儲存電容  $C_{st}$ 、一第二開關 12 與一驅動元件 14。第一開關 10 耦接一電壓，並受控於一第一掃描訊號 SEL1，儲存電容  $C_{st}$  具有一第一端與一第二端，儲存電容  $C_{st}$  之第一端耦接第一開關 10，儲存電容  $C_{st}$  之第二端透過節點 A 而耦接第二開關 12 之一端，第二開關 12 之另一端則透過節點 B 耦接於驅動元件 14 與一發光元件 16，並且第二開關 12 受控於第一掃描訊號 SEL1，驅動元件 14 耦接於一資料線、儲存電容  $C_{st}$  與第二開關 12，其中，驅動元件 14 為一 P 型場效電晶體，並為一低溫複晶矽薄膜電晶體(Low Temperature Polycrystalline Silicon Thin Film Transistor, LPTS-TFTs)，所以驅動元件 14 之閘極透過節點 A 耦接於儲存電容與第二開關 12 之一端，驅動元件 14 之源汲極分別耦接第二開關 12 之另一端或資料線，驅動元件 14 係用以產生一驅動電流，並傳送驅動電流至發光元件 16，使發光元件 16 發光。其中，發光元件 16 為一電致發光元件或一有機發光二極體(OLED)。如此，如此，本發明係可藉由控制第一開關 10 與第二開關 12 之致能/禁能的時機，而達到使驅動元件 14 產生與臨界電壓無關之驅動電流，使得畫素之亮度與臨界電壓無關，進而增加驅動電流的均勻性使面板可長時間操作，而不會因驅動元件

本身元件的劣化讓驅動電流下降，減少亮度不均勻的特性。

此外，本發明之畫素補償電路更包含一第三開關 18，其耦接於發光元件 16 與一參考準位  $V_{EE}$ ，並受控於一控制訊號 EM，由於第三開關 24 耦接於發光元件 16 而控制畫素補償電路來控制發光元件 14，所以第三開關 18 可耦接於顯示面板中的一列畫素之每一畫素的畫素補償電路，以藉由一個開關設置於每一掃描線，而控制每列之畫素，進而減少顯示裝置的面積，以減少成本。其中，第一開關 10、第二開關 12 與第三開關 16 為一 P 型場效電晶體，並且為一低溫複晶矽薄膜電晶體。

再者，本發明之畫素補償電路更包含一第四開關 20，其一端耦接第一開關 10 與儲存電容  $C_{st}$  之間，另一端耦接資料線，並受控於一第二掃描訊號 SEL2。由於本發明之畫素補償電路可藉由致能第四開關 20，而使儲存電容  $C_{st}$  可透過第四開關 20 的導通而耦接資料線，所以當資料線提供的電壓如同電源訊號般的大小時，儲存電容  $C_{st}$  可箝住電壓，而使得資料線可同時作為電源線使用，以提供一資料/電源訊號至畫素補償電路，如此，本發明藉由整合資料線與電源線，以減少製程複雜度進而減少成本，並增加開口率。

接著，請參閱第三圖、第四 A 圖、第四 B 圖與第四 C 圖，係分別為本發明之一較佳實施例之時序圖與畫素補償電路之運作狀態的電路圖。如圖所示，本發明係針對顯示裝置如何控制畫素補償電路之第一開關 10、第二開關 12、第三開關 18 與第四開關 20 的致能/禁能之時機而進行說明，畫素補償電路具有三個工作週期，其分別為一電荷釋放週期、一補償週期與一驅動週期。當畫素補償電路運作於電荷釋放週期時，即畫素補償電路運作於時間  $T_1$  至時間  $T_2$ ，資料/電源訊號、第一掃描訊號 SEL1 與控制訊號 EM 致能而導通第一開關 10、第二開關 12 與第三開關 18；第二掃描訊號 SEL2 禁能而截止第四開關 20，使儲存電容  $C_{st}$  可經由節點 A、第二開關 12、發光元件 16 與第三開關 18 而進行電荷的釋放，即儲存電荷  $C_{st}$  釋放上一個狀態的殘留電荷，以避免造成誤動作。

接下來，畫素補償電路運作於補償週期，於此週期中，資料/電源訊號



與第一掃描訊號 SEL1 致能而導通第一開關 10 與第二開關 12；第二掃描訊號 SEL2 與控制訊號 EM 禁能而截止第三開關 18 與第四開關 20。於此週期中，驅動元件 14 接收到的資料/電源訊號為供應電壓  $V_{DD}$  減去資料訊號  $V_{data}(V_{DD}-V_{data})$ ，而經由驅動元件 14、節點 B、第二開關 12 與節點 A，對儲存電容  $C_{st}$  充電，即寫入資料至儲存電容  $C_{st}$ ，也就是利用驅動元件 14 的二極體連接(diode-connect)效應，使節點 A 之電壓改變為  $V_{DD}-V_{data}-|V_{th}|$ ，其中  $V_{th}$  為驅動元件 14 之一臨界電壓。

之後，畫素補償電路運作於驅動週期，於此週期中，驅動元件 14 所接收到的資料/電源訊號改變為供應電壓  $V_{DD}$ ，所以，驅動元件 14 之閘極與源極間的壓降為：

$$V_{SG} = V_{DD} - (V_{DD} - V_{data} - |V_{th}|) = V_{data} - |V_{th}|$$

而驅動元件 14 所以產生之驅動電流則為：

$$I_d = K(V_{SG} - |V_{th}|)^2 = K(V_{data} + |V_{th}| - |V_{th}|)^2 = K(V_{data})^2$$

由上述可知，驅動元件 14 所產生之驅動電流  $I_d$  與驅動元件 14 本身之臨界電壓  $V_{th}$  無關，因此，使得畫素之亮度與臨界電壓無關，進而增加驅動電流的均勻性使面板可長時間操作，而不會因驅動元件本身元件的劣化讓驅動電流下降，減少亮度不均勻的特性。

此外，第一開關 10 係耦接於前一條之掃描線，並第一開關 10 所接收到的電壓為前一條之掃描線所傳送之掃描訊號 SEL1(n-1)，且於驅動週期時，掃描訊號 SEL1(n-1) 的電壓準位相同於資料線所傳送之資料/電源訊號的電壓準位，即兩者的電壓準位皆為供應電壓  $V_{DD}$  之準位，如此，當第四開關 20 導通時，而使儲存電容  $C_{st}$  透過第四開關 20 耦接至資料線，不至於掃描訊號 SEL1(n-1) 的電壓準位與資料/電源訊號的電壓準位相差太大而影響到畫素的顯示品質。

請參閱第五圖，係為本發明之一較佳實施例之顯示面板的方塊圖。如圖所示，本發明之顯示面板包含一畫素陣列 30、一掃描驅動電路 32 與一資料驅動電路 34。畫素陣列 30 包含複數畫素，而每一個畫素皆包含畫素補償

電路，以驅動畫素，掃描驅動電路 32 包含複數掃描線，用以提供第一掃描訊號 Scan1 與第二掃描訊號 Scan2 於每一個畫素之畫素補償電路中，資料驅動電路 34 包含複數資料線，用以產生資料/電源訊號至每一個畫素之畫素補償電路中，其中，資料驅動電路 34 之該些資料線係藉由第四開關 20 而可作為電源線是功用，以產生資料/電源訊號至畫素補償電路，進而減少製程複雜度進而減少成本，並增加開口率。

再者，於上述之第三開關 18，其設置於畫素陣列 30 中之每一列掃描線，即每一列之掃描線僅設置一個第三開關 18，而控制每列掃描線中的畫素補償電路，而第三開關 18 之控制訊號 EM 係耦接至顯示面板的陰極，並且每一列掃描線之控制訊號 EM 需分別耦接顯示面板的圖案化之陰極(pattern cathode)。

綜上所述，本發明之顯示裝置之畫素補償電路係藉由控制一第一開關、一第二開關、一第三開關與一第四開關的導通/截止時機，使一驅動元件產生與臨界電壓無關之驅動電流，使得畫素之亮度與臨界電壓無關，進而增加驅動電流的均勻性使面板可長時間操作，而不會因驅動元件本身元件的劣化讓驅動電流下降，減少亮度不均勻的特性。

本發明係實為一具有新穎性、進步性及可供產業利用者，應符合我國專利法所規定之專利申請要件無疑，爰依法提出發明專利申請，祈 鈞局早日賜准專利，至感為禱。

惟以上所述者，僅為本發明之一較佳實施例而已，並非用來限定本發明實施之範圍，舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第一圖為習知技術之主動式有機發光二極體顯示器之畫素電路的電路圖；

第二圖為本發明之一較佳實施例之電路圖；

第三圖為第二圖之一較佳實施例的時序圖；

第四 A 圖為依據第三圖之畫素補償電路之一較佳實施例的運作示意圖；

第四 B 圖為依據第三圖之畫素補償電路之另一較佳實施例的運作示意圖；

第四 C 圖為依據第三圖之畫素補償電路之另一較佳實施例的運作示意圖；

以及

第五圖為本發明之一較佳實施例之顯示面板的方塊圖。

### 【主要元件符號說明】

習知技術：

10' 第一開關

$V_{th}$  臨界電壓

12' 儲存電容

SEL1 第一掃描訊號

14' 驅動元件

SEL2 第二掃描訊號

16' 發光元件

$V_{dd}$  供應電壓

$V_{data}$  資料訊號

本發明：

10 第一開關

12 第二開關

14 驅動元件

16 發光元件

18 第三開關

20 第四開關

$C_{st}$  儲存電容

EM 控制訊號

$I_d$  驅動電流

$V_{DD}$  供應電壓

$V_{data}$  資料訊號

$V_{EE}$  參考準位

## 十、申請專利範圍：

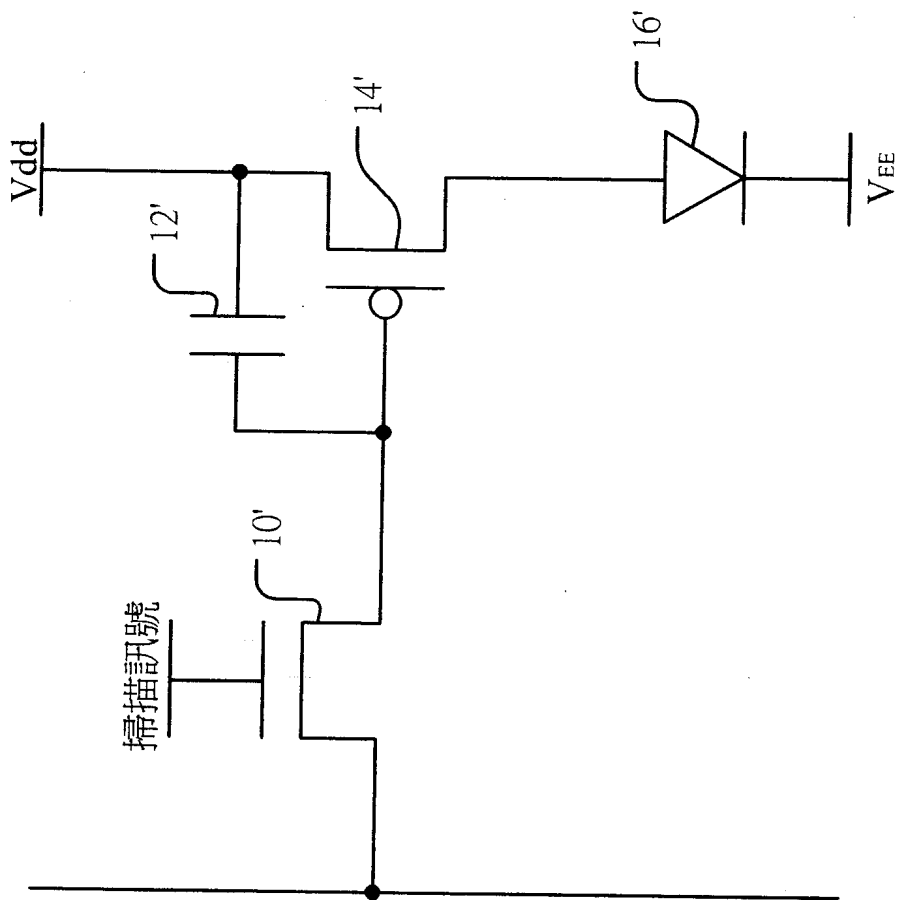
1. 一種顯示裝置之畫素補償電路，其包含：
  - 一第一開關，耦接一電壓，並受控於一第一掃描訊號；
  - 一儲存電容，具有一第一端與一第二端，該第一端耦接該第一開關；
  - 一第二開關，耦接於該儲存電容之該第二端，並受控於該第一掃描訊號；以及
  - 一驅動元件，耦接於一資料線、該儲存電容與該第二開關，該驅動元件用以產生一驅動電流，並傳送該驅動電流至一發光元件。
2. 如申請專利範圍第 1 項所述之畫素補償電路，更包含：
  - 一第三開關，耦接於該發光元件與一參考準位，並受控於一控制訊號。
3. 如申請專利範圍第 2 項所述之畫素補償電路，其中該控制訊號係由一掃描驅動電路所產生。
4. 如申請專利範圍第 2 項所述之畫素補償電路，其具有一電荷釋放週期、一補償週期與一驅動週期，於該電荷釋放週期，該第一開關、該第二開關與該第三開關致能；於該補償週期時，該第一開關與該第二開關致能，而該第三開關禁能；於該驅動週期時，該第一開關與該第二開關禁能，而該第三開關致能。
5. 如申請專利範圍第 2 項所述之畫素補償電路，其中該第三開關為一低溫複晶矽薄膜電晶體(Low Temperature Polycrystalline Silicon Thin Film Transistor, LPTS-TFTs)。
6. 如申請專利範圍第 2 項所述之畫素補償電路，其中該第三開關為一 P 型場效電晶體。
7. 如申請專利範圍第 1 項所述之畫素補償電路，更包含：
  - 一第四開關，其一端耦接該第一開關與該儲存電容之間，另一端耦接該資料線，並受控於一第二掃描訊號。
8. 如申請專利範圍第 7 項所述之畫素補償電路，其中該資料線提供一資料/電源訊號。

9. 如申請專利範圍第 7 項所述之畫素補償電路，其具有一電荷釋放週期、一補償週期與一驅動週期，於該電荷釋放週期時，該第一開關與該第二開關致能，而該第四開關禁能；於該補償週期時，該第一開關與該第二開關致能，而該第四開關禁能；於該驅動週期時，該第一開關與該第二開關禁能，而該第四開關致能。
10. 如申請專利範圍第 7 項所述之畫素補償電路，其中該第三開關為一低溫複晶矽薄膜電晶體。
11. 如申請專利範圍第 7 項所述之畫素補償電路，其中該第三開關為一 P 型場效電晶體。
12. 如申請專利範圍第 1 項所述之畫素補償電路，其具有一電荷釋放週期、一補償週期與一驅動週期，該電荷釋放週期用以釋放電荷，該補償週期用以補償與寫入資料，該驅動週期用以驅動該發光元件。
13. 如申請專利範圍第 12 項所述之畫素補償電路，於該電荷釋放週期時，該第一開關與該第二開關致能，使該儲存電容釋放電荷。
14. 如申請專利範圍第 12 項所述之畫素補償電路，於該補償週期時，該第一開關與該第二開關致能。
15. 如申請專利範圍第 12 項所述之畫素補償電路，於該驅動週期時，該第一開關與該第二開關禁能。
16. 如申請專利範圍第 1 項所述之畫素補償電路，其中該第一開關耦接於前一條之一掃描線，而接收該電壓。
17. 如申請專利範圍第 1 項所述之畫素補償電路，更包含：  
一掃描驅動電路，具有複數掃描線，用以產生該第一掃描訊號；以及  
一資料驅動電路，具有複數資料線，用以產生一資料訊號，並傳送該資料訊號至該驅動元件。
18. 如申請專利範圍第 1 項所述之畫素補償電路，其中該第一開關、該第二開關與該驅動元件為一低溫複晶矽薄膜電晶體。
19. 如申請專利範圍第 1 項所述之畫素補償電路，其中該第一開關、該第二

開關與該驅動元件為一 P 型場效電晶體。

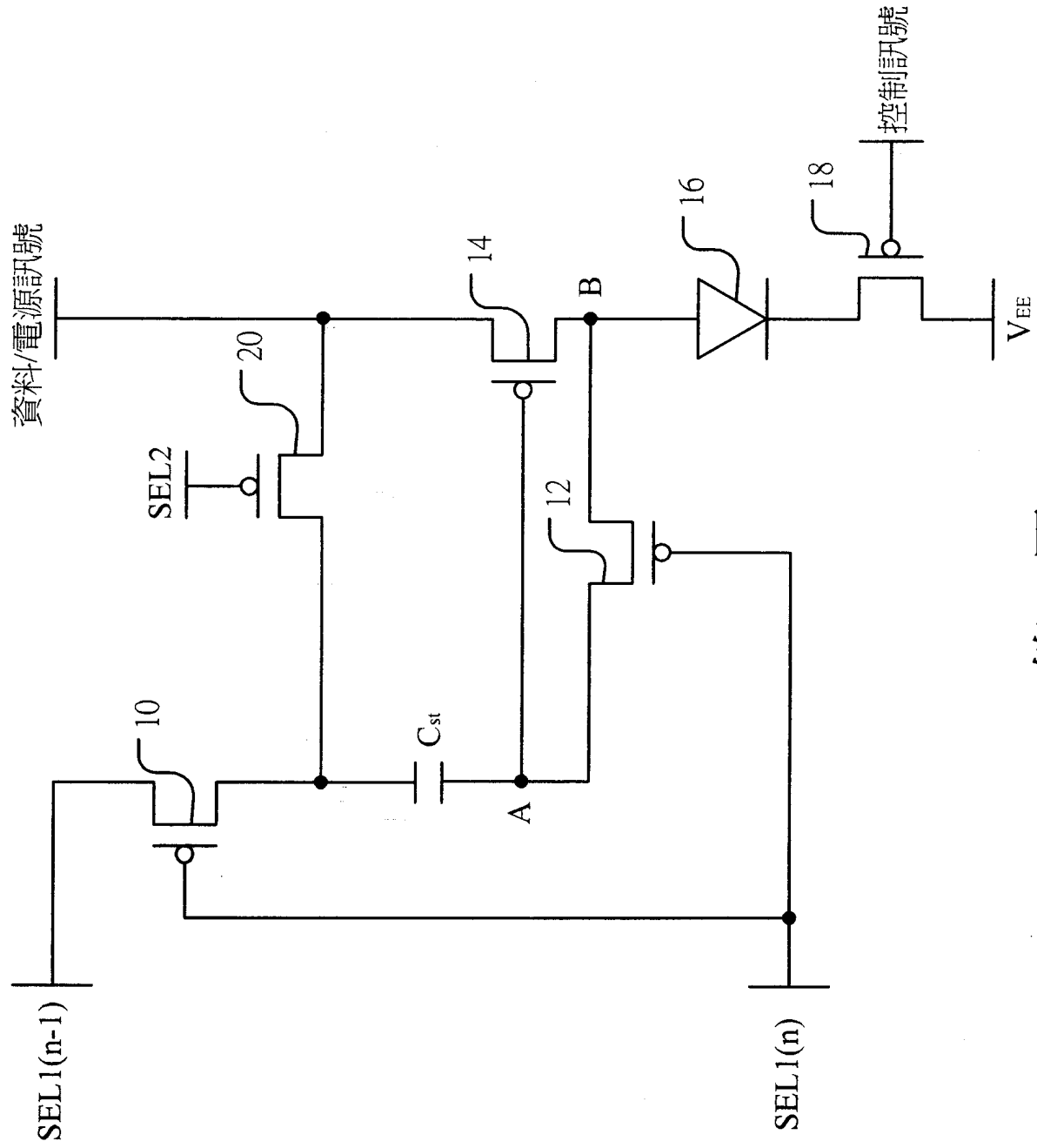
20. 如申請專利範圍第 1 項所述之畫素補償電路，其中該發光元件為一電致發光(electroluminescent)元件。
21. 如申請專利範圍第 1 項所述之畫素補償電路，其中該發光元件為一有機發光二極體(OLED)。

十一、圖式：

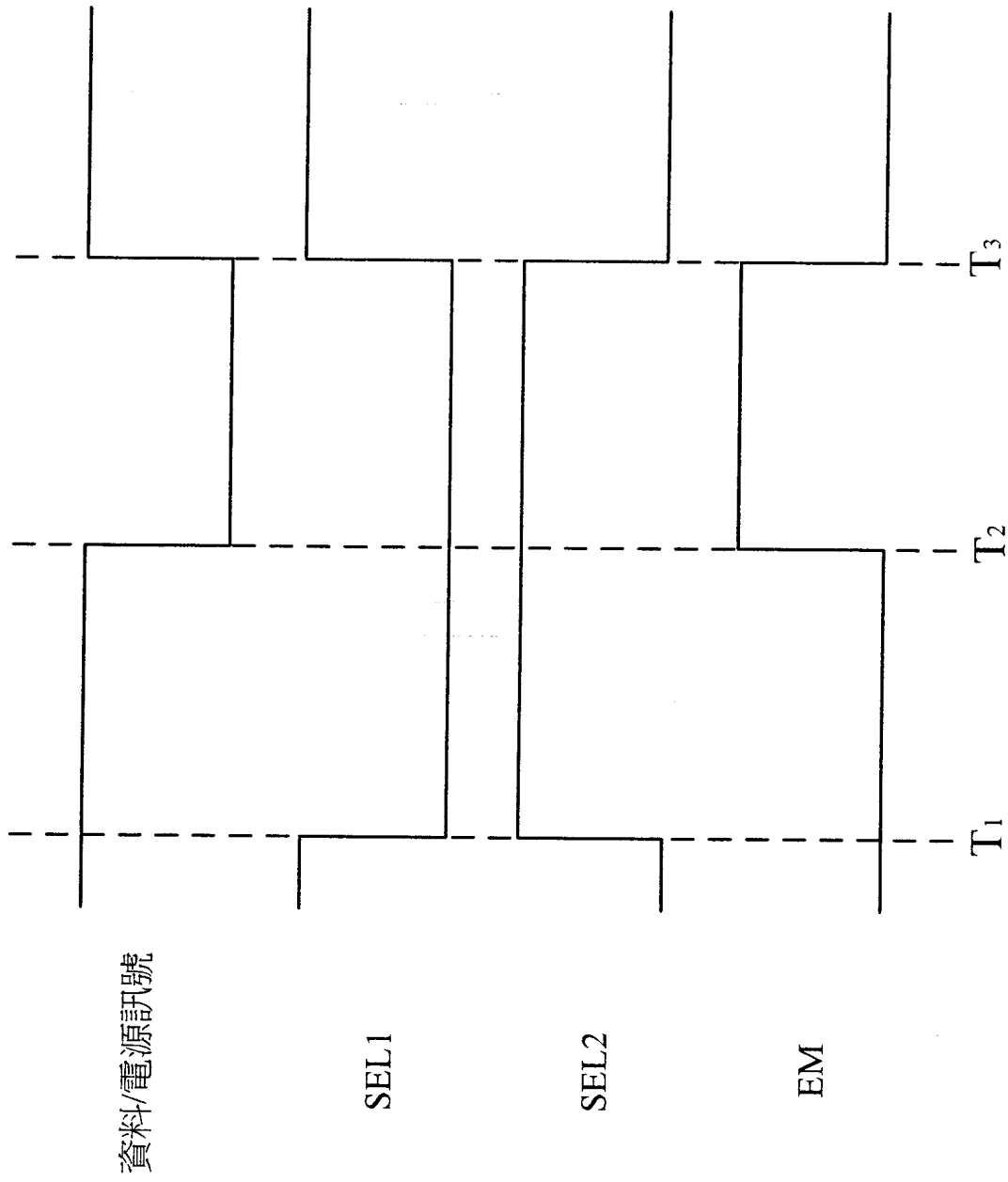


第一圖(習知技術)

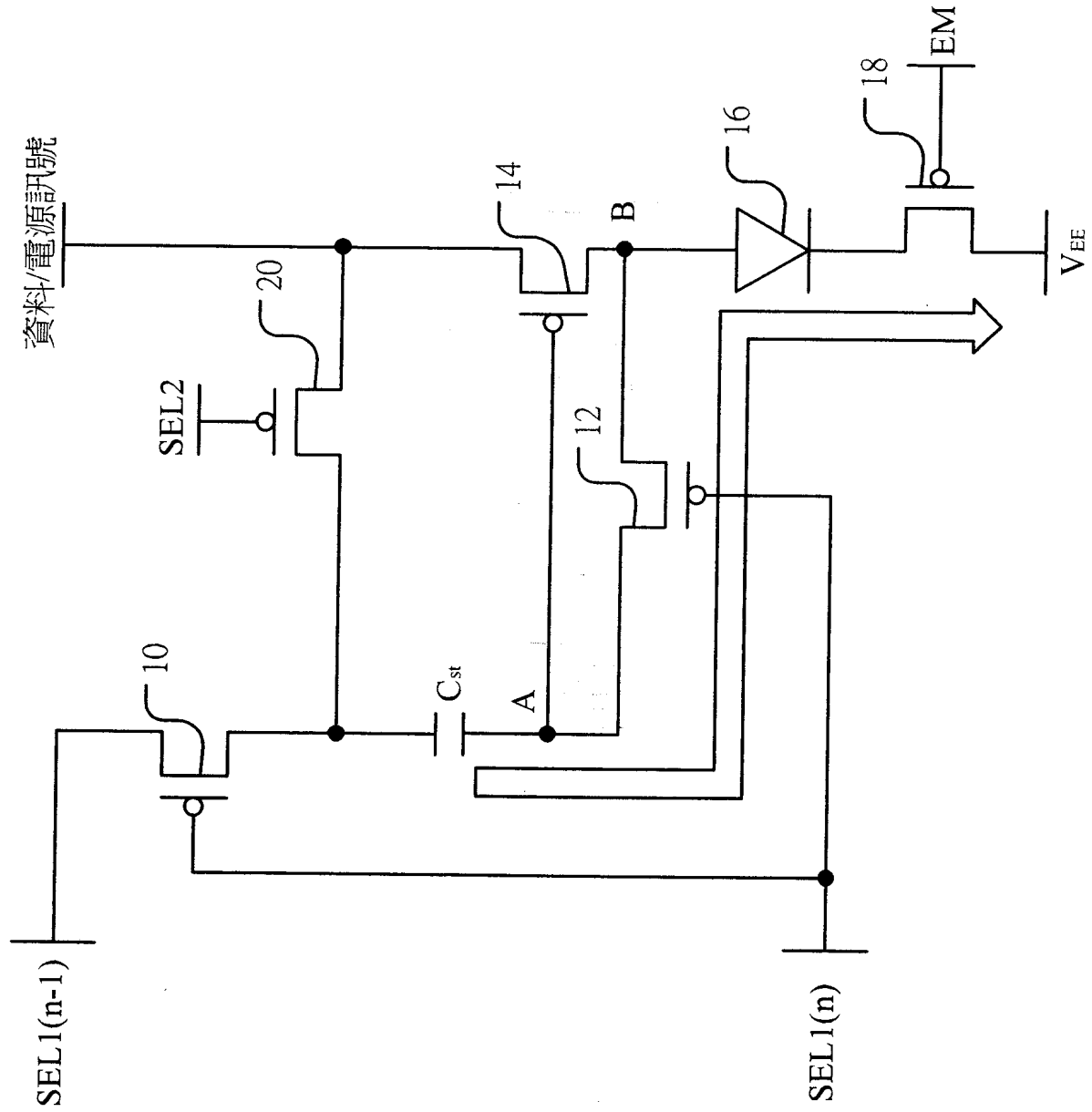




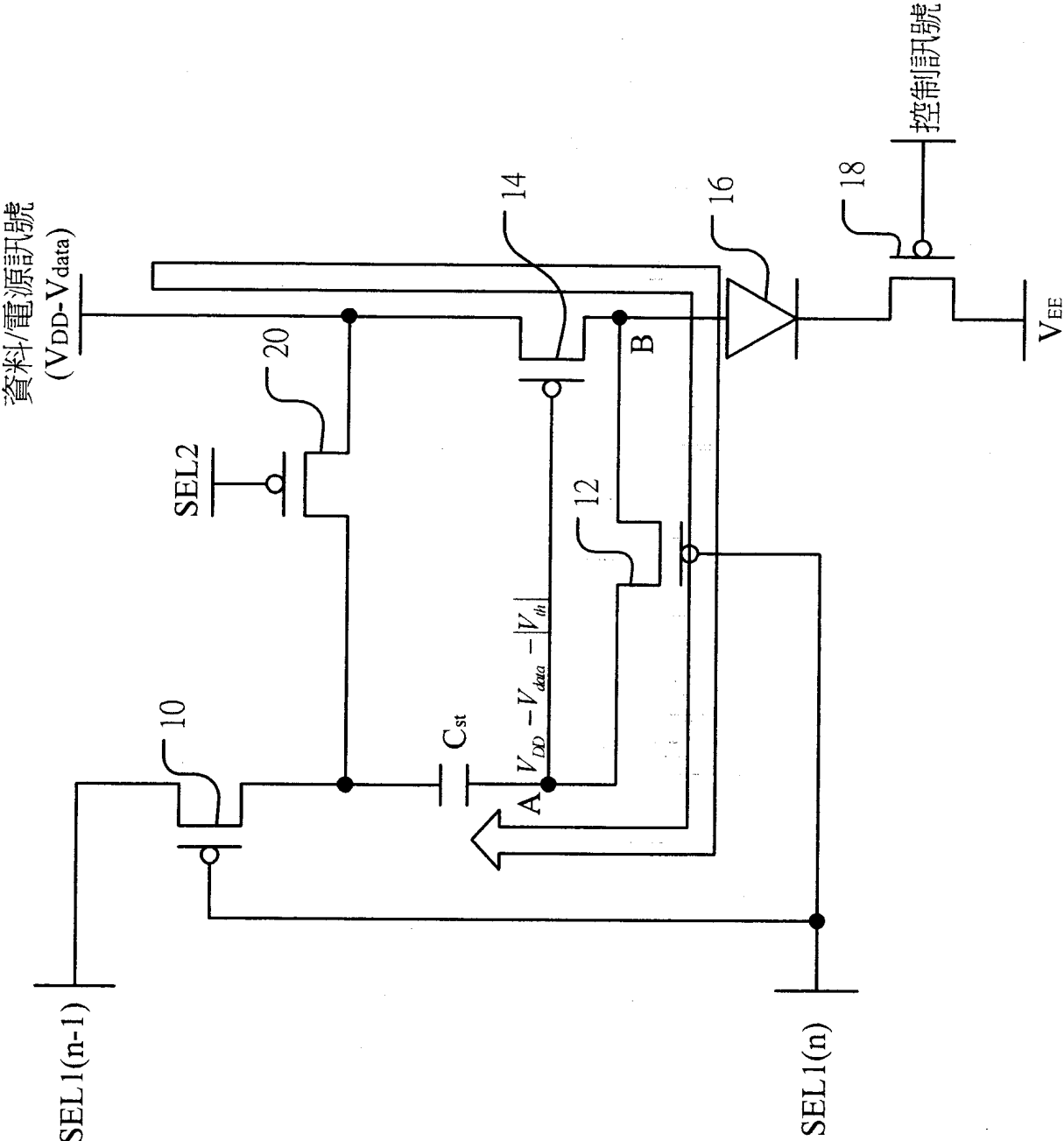
第二圖



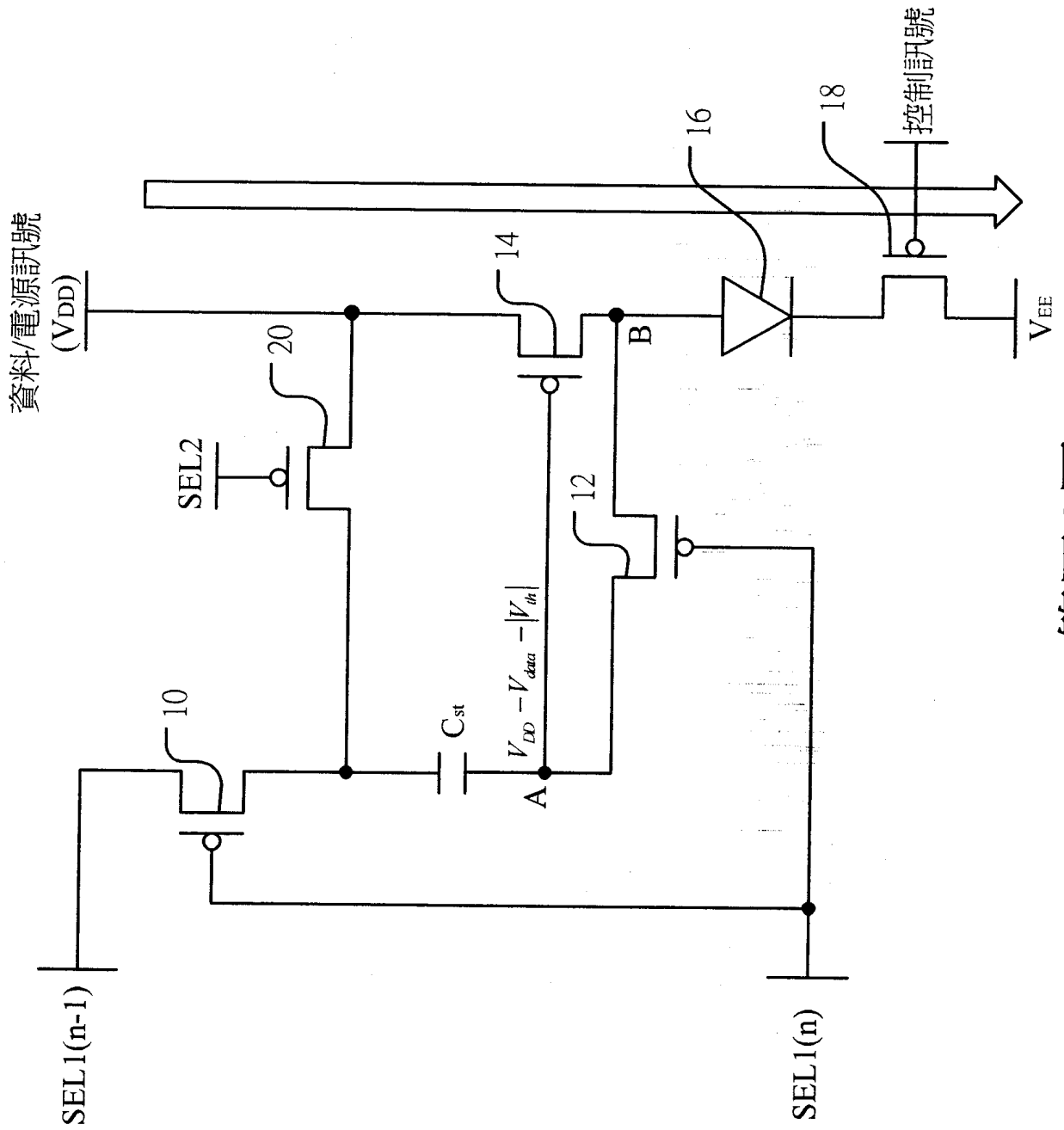
第三圖



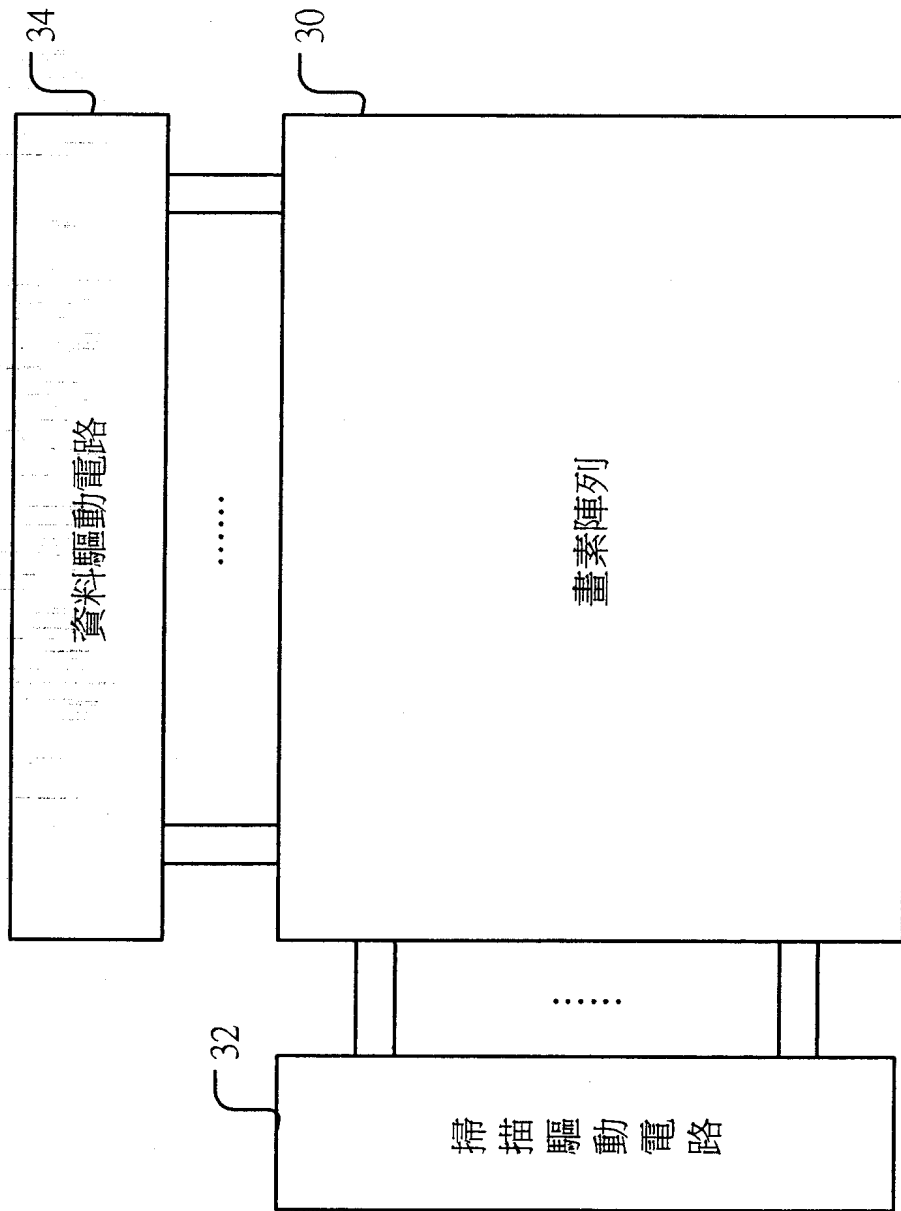
第四A圖



第四B圖



第四C圖



第五圖