



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I435397 B

(45) 公告日：中華民國 103 (2014) 年 04 月 21 日

(21) 申請案號：099126328

(22) 申請日：中華民國 99 (2010) 年 08 月 06 日

(51) Int. Cl. : H01L21/60 (2006.01)

H01L23/48 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：趙子元 CHAO, TZU YUAN (TW) ; 梁家瑋 LIANG, CHIA WEI (TW) ; 鄭裕庭  
CHENG, YU TING (TW)

(74) 代理人：莊志強

(56) 參考文獻：

US 4927505A

US 2008/0009095A1

審查人員：黃鼎富

申請專利範圍項數：12 項 圖式數：11 共 0 頁

(54) 名稱

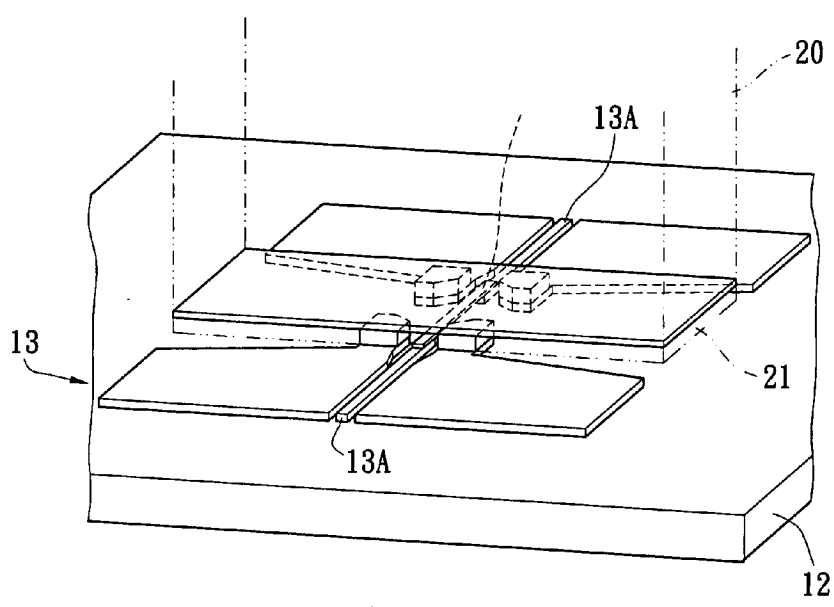
軟性微系統結構及其製造方法

FLEXIBLE MICRO-SYSTEM AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種將多晶片/單晶片整合於軟基材上形成軟性微系統結構的製造方法，該方法包含低溫覆晶製程以及晶圓級的半導體製程。在本發明中，晶片係利用低溫覆晶製作出金屬對金屬之連接結構，以使晶片整合於軟性基板上；另外，更利用蝕刻位於軟性基板下之犧牲層，使軟性基板可由操作基板上分離。因此，本發明係使用標準化製程將晶片整合於軟基材上，且不需使用特殊的材料或製程，故具有製程簡單、成本低的優點。

A fabrication method of multi-chip/single chip integration of a flexible micro-system using low temperature flip chip connection and wafer-level process is presented. Chip(s) are integrated on flexible substrate with metal interconnection by low temperature flip chip technology. After etching the sacrificial layer underneath the flexible substrate, the flexible substrate can be detached from a handle wafer. The steps of the fabrication method can easily integrate chips on flexible substrate to realize flexible micro-system without the limitation in materials and processes.



- 12 . . . 軟性基板
- 13 . . . 第一導電結構
- 13A . . . 共平面波導管結構
- 20 . . . 電子元件
- 21 . . . 第二導電結構

第二A圖

公告本
-----

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99 126 328

※申請日： 99.8.08

※IPC 分類： H01L 21/60 (2006.01)

H01L 23/08 (2006.01)

一、發明名稱:(中文/英文)

軟性微系統結構及其製造方法 / FLEXIBLE

MICRO-SYSTEM AND MANUFACTURING METHOD

THEREOF

二、中文發明摘要：

一種將多晶片/單晶片整合於軟基材上形成軟性微系統結構的製造方法，該方法包含低溫覆晶製程以及晶圓級的半導體製程。在本發明中，晶片係利用低溫覆晶製作出金屬對金屬之連接結構，以使晶片整合於軟性基板上；另外，更利用蝕刻位於軟性基板下之犧牲層，使軟性基板可由操作基板上分離。因此，本發明係使用標準化製程將晶片整合於軟基材上，且不需使用特殊的材料或製程，故具有製程簡單、成本低的優點。

三、英文發明摘要：

A fabrication method of multi-chip/single chip integration of a flexible micro-system using low temperature flip chip connection and wafer-level process is presented. Chip(s) are integrated on flexible substrate with metal interconnection by low temperature flip chip technology. After etching the sacrificial layer underneath the

flexible substrate, the flexible substrate can be detached from a handle wafer. The steps of the fabrication method can easily integrate chips on flexible substrate to realize flexible micro-system without the limitation in materials and processes.

四、指定代表圖：

(一) 本案指定代表圖為：第二 A 圖

(二) 本代表圖之元件符號簡單說明：

- 1 2 軟性基板
- 1 3 第一導電結構
- 1 3 A 共平面波導管結構
  
- 2 0 電子元件
- 2 1 第二導電結構

五、本案若有化學式時,請揭示最能顯示發明特徵的化學式:

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種軟性微系統結構及其製造方法，尤指一種整合晶圓級製程以將晶片接合於軟性基板上的軟性微系統結構及其製造方法。

### 【先前技術】

軟性電子(Flexible Electronics)技術近年來成為世界各國的重點研發題材之一，此技術的出現，可讓過去以矽為主軸的電子產品的應用領域進一步擴展，而由於具備可彎曲、輕薄、低成本的特性，使軟性電子可以應用於需要彎曲、捲曲的環境中，故軟性電子的應用領域將更為寬廣。

目前的軟性電子系統的製程必須考量製程溫度，具體而言，全製程的溫度需小於軟性基板的玻璃轉換溫度。在此限制之下，許多如 SOI active layer transfer、ultra-thin chip embedding、amorphous silicon transistor 等製程被開發用以製作軟性電子；然而，上述製程皆有製程複雜、成本高、製程之調整彈性低的缺點，且所生產的產品特性不佳。

又例如，一種稱做異質晶片整合(heterogeneous chip assembly schemes)的技術可使用錫球或異向性導電黏膠將多晶片整合於一軟性基板上，雖然，製程溫度可小於軟性基板的玻璃轉換溫度，但上述兩種技術仍有缺點，例如錫球的使用會造成基板與晶片之間出現非常嚴重的不連

續性結構；而異向性導電黏膠則會形成相當高的接觸電阻，導致微系統的高頻特性不佳，使得產品之返回損失及插入損耗過大，進而使其無法滿足高頻應用的領域。

因此，如何在上述溫度限制下，以目前標準化的製程製作可廣泛運用於各種領域的軟性電子之製程技術，實為目前研發的重點。

本案發明人有鑑於上述習用的技術於實際施用時的缺失，且積累個人從事相關產業開發實務上多年之經驗，精心研究，終於提出一種設計合理且有效改善上述問題之結構。

#### 【發明內容】

本發明之主要目的，在於提供一種軟性微系統結構及其製造方法，其係利用晶圓級（wafer-level）的製程將單晶片/多晶片以低溫方式接合於成形有金屬連接線的軟性基板之上，故在製程上可使用業界標準化的半導體製程，以降低製作成本。

本發明之另一目的，在於提供一種軟性微系統結構及其製造方法，其中基板與晶片之間不會出現傳統製程中所造成的不連續性結構或高接觸電阻的問題。

本發明之另一目的，在於提供一種軟性微系統結構及其製造方法，其金屬互連結構具有良好的訊號傳輸特性，故可適用於高頻的應用。

為了達到上述目的，本發明係提供一種軟性微系統結構之製造方法，包含以下步驟：提供一操作基板；成型一

犧牲層於該操作基板上；成型一軟性基板於該犧牲層上；成型一第一導電結構於該軟性基板上；提供至少一電子元件，其上設有一對應該第一導電結構之第二導電結構；低溫固接該第一導電結構與該第二導電結構，以使該電子元件固定於該軟性基板上；去除犧牲層，以將該軟性基板由該操作基板上釋放/脫離，其中，該電子元件係固定於該軟性基板上而形成所述之軟性微系統結構。

本發明更提供一種軟性微系統結構之製造方法，包含以下步驟：提供一操作基板；成型一犧牲層於該操作基板上；成型一軟性基板於該犧牲層上；製作至少一電子元件於該軟性基板上；去除犧牲層，以將該軟性基板由該操作基板上釋放 (release)，其中，該電子元件與該軟性基板係形成所述之軟性微系統結構。

為了達到上述目的，本發明係提供一種軟性微系統結構，包括一軟性基板及至少一電子元件，該電子元件係利用一金屬互連結構固定於該軟性基板，該金屬互連結構係由該軟性基板之第一導電結構與該電子元件之第二導電結構進行低溫固接而成。

在具體實施例中，本發明闡述利用低溫覆晶整合技術及晶圓級犧牲層製程完成多晶片整合軟性微系統之製作。換言之，本發明可針對不同製程技術所製作之晶片利用低溫覆晶接合技術整合於成形有金屬連接線的軟性基板之上，透過蝕刻軟性基板下方之犧牲層可使軟性基板與矽操作晶圓分離，利用此製程步驟可以輕易整合不同功能與種類之晶片以形成軟性電子微系統，且本發明沒有材料



與製程方面的限制，故本發明提出之軟性微系統製作方法具有製程簡單（可使用半導體之標準製程），低成本等優點，使得本發明在軟性電子系統/微系統的製作上具有其龐大的應用潛力。

本發明具有以下有益的效果：本發明主要利用目前標準半導體/微機電製程製作軟性電子系統/微系統，故在製程上具有成本低、製程彈性大等優勢，且在材料選擇上不受特定的材料所限制，因此可大幅提昇軟性電子系統/微系統的製作技術；另外，由於良好的金屬連接，本發明所製成之軟性電子系統/微系統可廣泛地應用於高頻應用、生醫領域（如可戴式的感測器）、軟性顯示器或太陽能模組等等。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制者。

### 【實施方式】

本發明提出一種軟性微系統結構及其製造方法，其整合晶圓級(wafer-level)的製程，例如犧牲層釋放(sacrificial release)、覆晶(flip chip)、金屬對金屬熱壓焊接(metal-metal thermo-compressive bond)等製程，以有效率地量產軟性微系統結構，且在成本上得到有效的管理，進而提高軟性系統/微系統/產品的應用。

請參考第一 A 圖至第一 F 圖及第二圖；其中本發明所提出的軟性微系統結構之製造方法包括以下步驟：

首先，如第一 A 圖所示，提供一操作基板 1 0；該操作基板 1 0 係為一暫時性的載具，例如一矽晶圓，以提供足夠的結構強度進行下述的各種晶圓級製程。接著，在該操作基板 1 0 上成型一犧牲層 1 1，該犧牲層 1 1 係在後續步驟中被移除以用於將所製成的軟性微系統結構由上述操作基板 1 0 上釋放 (release)、脫離；該犧牲層 1 1 可為單層或多層結構，其可為各種適合的材料，該材料可經過蝕刻去除而不會造成其上之結構層/元件的傷害，例如在本具體實施例中，係利用濺鍍製程成型鉻 (Cr)/銅 (Cu) 材質之犧牲層 1 1 於該操作基板 1 0 上，而鉻/銅層之厚度約為 10nm/300nm。

同樣參考第一 A 圖，下一步驟係成型一軟性基板 1 2 於該犧牲層 1 1 上。該軟性基板 1 2 可為各種彈性的 (flexible)、可捲繞的 (rollable)、可彎折的 (bendable)、具伸展性的 (stretchable) 的材質所製成，例如在本具體實施例中，係利用旋轉塗佈 (spin coating) 製程將市售商品 SU-8 成型於該鉻/銅材質之犧牲層 1 1 上，以形成上述之軟性基板 1 2，而其厚度約為 26 $\mu$ m，但其他市售軟板材料亦可使用旋轉塗佈、物理氣相沈積或化學氣相沈積等類似方法製作成上述之軟性基板 1 2。而該 SU-8 之軟性基板 1 2 可先經過圖樣 (pattern) 成型製程後，進行硬烤 (hard-baking) 的步驟，而在本具體的實施步驟中，可利用 200°C，2 小時的條件將 SU-8 之軟性基板 1 2 進行硬烤，以使軟性基板 1 2 可充分硬化，使其具有較高的玻璃轉換溫度 (Tg)，同時，上述硬烤步驟更可提高軟性基板

1 2 在後續之熱壓焊接步驟的可靠度及在後續之表面改質步驟之抗化學特性。

接下來，下一步驟係為成型一第一導電結構 1 3 於該軟性基板 1 2 上（如第一 B 圖所示）。在成型一第一導電結構 1 3 的步驟之前，本具體實施例係先製作一種晶層（seeding layer）S 於該軟性基板 1 2 上（如第一 A 圖所示），以提高第一導電結構 1 3 的成核/成長特性，該種晶層 S 可為厚度約 10nm/90nm 之鈦（Ti）/銅（Cu）層，而第一導電結構 1 3 即可以電鍍製程成型於該種晶層 S 上。在本具體實施例中，該第一導電結構 1 3 的製程步驟可包括以下子步驟：先利用黃光製程製作一具有圖樣的光阻層 P 於種晶層 S 上，例如使用市售光阻劑 AZ 4620 製作 10um 厚之光阻層 P，以定義出第一導電結構 1 3 的位置；接著，利用電鍍銅製程於上述定義位置中製作出約 8um 厚之第一導電結構 1 3，而該第一導電結構 1 3 可形成為一種共平面波導管（coplanar waveguide, CPW），可用於傳遞/轉接電訊號。另外，該第一導電結構 1 3 更可成型有第一連接層 1 3 1，例如利用無電鍍製程成型厚度約 1um/0.4nm 之鎳（Ni）/金（Au）層，以用於後續之低溫固接製程。接著，如第一 C 圖所示，該光阻層 P 及光阻層 P 下方的種晶層 S 則可利用 ACE、CR-7T、BOE（Buffered Oxide Etch）等半導體標準製程加以移除。值得說明的是，第一導電結構 1 3 與後文所述之層狀結構可為多層或單層的結構，其可視製程而進行調整。

另外，在一變化實施例中，在成型第一導電結構 1 3

於該軟性基板 1 2 上的步驟之後，更包括一成型一輔助軟性基板（圖未示）的步驟，具體而言，該輔助軟性基板係成型於該軟性基板 1 2 上，使第一導電結構 1 3 夾設於該輔助軟性基板與該軟性基板 1 2 之間形成類似於三明治之結構，而部分的第一導電結構 1 3 可裸露出該輔助軟性基板，以作為後續連接之用；該輔助軟性基板的材質可同於或不同於軟性基板 1 2，其主要提供保護等功能。

至此，該軟性基板 1 2 上已製作出可用以連接元件的第一導電結構 1 3/第一連接層 1 3 1，因此，後續步驟將詳細說明將電子元件 2 0 固接於軟性基板 1 2 的方法。

請參考第一 D 圖，所提供的電子元件 2 0 可為以 CMOS、MEMS、III-V 族製程所製作之晶片，例如本實施例係以 CMOS 標準製程所製作之射頻（RF）晶片作說明，但不以此為限，該電子元件 2 0 之接觸面上具有一對應該第一導電結構 1 3 之第二導電結構 2 1，而該第二導電結構 2 1 的表面可為 0.2um/0.4 um 之鎳（Ni）/金（Au）層的微帶線（microstrip line），在本具體實施例中，共平面波導管與微帶線係設計成阻抗為 50Ω、寬度為 10.5um 的結構；因此，可利用第一導電結構 1 3 之第一連接層 1 3 1 與第二導電結構 2 1 利用低溫固接的方式將電子元件 2 0 固定於軟性基板 1 2 上。而在本具體實施例中，該在低溫固接該第一導電結構與該第二導電結構的步驟中，更包括以下步驟：

針對該第一導電結構 1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1 進行表面改質步驟，例如，利用乾蝕

刻或濕蝕刻方法清潔該第一導電結構 1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1；在本具體實施例中，係利用硫酸 ( $H_2SO_4$ ) 與過氧化氫 ( $H_2O_2$ ) 的混合溶液進行金 (Au) 層之表面清潔 (又稱作 Piranha clean)，以提高第一導電結構 1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1 的連接強度，例如將硫酸 ( $H_2SO_4$ ) 與過氧化氫 ( $H_2O_2$ ) 以體積比 3:1 進行混合，以用於清潔金 (Au) 層之表面。根據下表 1 所示之蝕刻與否與表面組成的關係，可發現，在經過上述之表面改質步驟後，電子元件 2 0 與軟性基板 1 2 的金 (Au) 層之表面的金元素之組成由 41.91% 提升之 64.4%，並降低氧、碳的組成比例，故在第一導電結構 1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1 進行固接時，即可獲致較佳的固接強度。另一方面，SU-8 之軟性基板 1 2 較佳地具有優良的抗化學性，且金 (Au) 層可保護其下的結構層不受硫酸與過氧化氫的混合溶液之傷害。

表 1

Cleaning 時間 (秒)	表面組成 (at.%)		
	碳(C)	氧(O)	金(Au)
0	1.71	56.38	41.91
180	1.45	33.95	64.4

接著，以覆晶 (flip chip) 方法將該電子元件 2 0 進行接合，例如一種金屬對金屬熱壓焊接 (thermo-compressive bond) 步驟，以將該第一導電結構

1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1 彼此連接固定。具體而言，本步驟可施加 100MPa 的壓力約 3 分鐘，並於 180°C 的環境下將該第一導電結構 1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1 形成接合 (bonding) 以形成一金屬互連 (interconnection) 結構，其亦可作為傳輸電訊號之轉接 (transition) 結構。另外，本發明之特點之一在於，係利用低溫的方式將第一導電結構 1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1 進行接合，例如上述之金屬對金屬熱壓焊接步驟之溫度係小於該軟性基板之玻璃轉換溫度 (T<sub>g</sub>)，藉以避免軟性基板 1 2 之熱膨脹係數 (CTE) 上升或強度下降的問題。根據下表 2 所示之熱壓焊接溫度與金-金接觸電阻 (SCR) 的關係，可發現，在經過上述之 4 分鐘的表面改質步驟後，即使熱壓焊接溫度低至 160°C，其金-金接觸電阻仍僅有  $(5.65 \pm 1.86) \times 10^{-7} \Omega \cdot \text{cm}^2$ 。

表 2

接合溫度(°C)	160	200	240
SCR( $10^{-7} \Omega \cdot \text{cm}^2$ )	5.65±1.86	4.74±1.69	2.84±1.03

但在一變化實施例中，上述低溫固接該第一導電結構 1 3 與該第二導電結構 2 1 的步驟中不需進行表面改質步驟，而直接將該電子元件 2 0 進行低溫覆晶步驟，以將該第一導電結構 1 3 之該第一連接層 1 3 1 與該第二導電結構 2 1 彼此連接固定，即可將電子元件 2 0 接合於軟

性基板 1 2 上。

接下來，如第一 E 圖所示，此步驟主要在於去除犧牲層 1 1，以將該軟性基板 1 2 由該操作基板 1 0 上釋放 (release)，其中，該電子元件 2 0 係固定於該軟性基板 1 2 上而形成所述之軟性微系統結構。在本具體實施例中，係利用銅之蝕刻液 (組成比例  $H_2O:CH_3COOH:H_2O_2=100:5:5$ ) 將鉻/銅之犧牲層 1 1 移除，以使軟性基板 1 2/電子元件 2 0 自該操作基板 1 0 上脫離，而形成軟性、可撓的微系統結構。請參考第二 A 圖，其中軟性基板 1 2 之第一導電結構 1 3 形成兩組共平面波導管結構 1 3 A，另外，電子元件 2 0 的第二導電結構 2 1 為鋁 (Al)，其上可利用 double-zincating process 於鋁金屬上沈積鋅層，在於鋅層上沈積 0.2um/0.4um 之鎳 (Ni)/金 (Au) 層，以形成一第二連接層 2 1 1 (如第一 D 圖所示)，故進行覆晶製程時，電子元件 2 0 之接地區域可藉由焊墊或其他結構，使電子元件 2 0 之接地與軟性基板 1 2 上之接地區域相導通；而電子元件 2 0 之接觸面上的第二導電結構 2 1/第二連接層 2 1 1 所形成之微帶線則連接於上述兩共平面波導管結構 1 3 A，故共平面波導管結構 1 3 A/微帶線之配合可用以提供電性及結構上的連接關係，換言之，本發明可利用第一導電結構 1 3 與該電子元件 2 0 之第二導電結構 2 1 進行低溫固接而形成金屬互連 (interconnection) 結構，以達到電性傳導及結構上連接之雙重效果。經過實際的測試，上述金-金接合強度 (bonding strength) 可大於 6MPa 左右，故使電子元件 2

0 可穩固地連接於該軟性基板 1 2，並與軟性基板 1 2 上的被動元件，如 RF 被動元件、感測器、致動器等等配合，而形成可產品化的軟性、可撓的微系統結構；請參考第五圖 (a) 部分，其為本發明所製作之軟性微系統結構的實品圖。

另外，值得說明的是，本發明係採用晶圓級的製程，因此，上述步驟可於一晶圓上同時製作多個軟性微系統結構，如第二圖所示，操作基板 1 0 上可設有多個軟性基板 1 2 (如圖所示之 16 個軟性基板 1 2)，且每一個軟性基板 1 2 上均可照上述步驟製作第一導電結構 1 3；接著在每個軟性基板 1 2 上接合電子元件 2 0，故於去除犧牲層 1 1 (請參閱第一 E 圖) 後即可同時得到多個軟性微系統。

請參考第一 F 圖，其中上述製程中所完成之軟性微系統結構可固定於一可撓性載板 3 0 上，例如聚二甲基矽氧烷膜 (PDMS，市售商品：Sylgard 184)，以增加整體的結構強度；請參考第五圖 (b) 部分，其為本發明所製作之軟性微系統結構固定於 PDMS 膜上的實品圖。

另外，本發明針對上述電訊號轉接結構 (即共平面波導管結構 1 3 A/微帶線之組合，後文稱 MS-CPW 轉接結構) 在頻率 10 至 50GHz 之 S 參數 (S-parameters) 進行測試，而為了量測的精確度，以下量測數據係在矽晶圓 (即操作基板 1 0) 或 PDMS 上進行。請參考第三圖，其中顯示各種條件下之 S11、S21 測試曲線，由圖可知，在頻率 40GHz 以下，本發明可達到返回損失較 -15dB 為佳的特性，且插入損耗 (insertion loss) 係小於 -0.8dB；另外，RF 量測值相當



接近於 HFSS 的模擬曲線圖。另一方面，所測得之 MS-CPW 轉接結構的返回損失係相當於一般純金材質之傳輸線的良好特性，而本發明可藉由調整阻抗匹配，提升上述之返回損失特性。再一方面，在第三圖所示之測試曲線中，放置於矽晶圓（即操作基板 10）與 PDMS 上的 MS-CPW 轉接結構並無明顯的 RF 特性上的差異，其原因可能在於 SU-8 之軟性基板 12 具有足夠的厚度，以避免犧牲層 11 所造成的影響。

請參考第四圖，其顯示利用不同材料製作之共平面波導管結構 13A 在 SU-8/PDMS 上的比較數據，其中共平面波導管結構 13A 係分別以銅（8um）/鎳（1um）/金（0.4um）及純金層（9.4um）所製作。純金層之 MS-CPW 轉接結構的插入損耗係小至 -0.59dB，其係因較低的金屬損失所導致之結果，因此，本發明可藉由不同材料的共平面波導管結構 13A 達到所需之高頻特性；另外，本發明可調整接合的尺寸（本具體實施例的接合寬度約為 10.5um）及其他結構以滿足無線的軟性微系統結構之應用。

綜上所述，本發明依據上述具體實施例的方法，製作出一種軟性微系統結構，包含：一軟性基板 12 及至少一電子元件 20，該電子元件 20 係利用一金屬互連（interconnection）結構固定於該軟性基板 12 上，該金屬互連結構係由該軟性基板 12 之第一導電結構 13 與該電子元件 20 之第二導電結構 21 進行低溫固接而成，該金屬互連結構可提供傳遞/轉接訊號及結構上的固接強度，以電子元件 20 得以穩定地安裝於軟性基板 12 上，

並將其訊號傳遞至系統中。

另一方面，本發明之軟性微系統結構之製造方法提出一第二實施例，與第一實施例不同之處在於，電子元件 20 係為直接製作於軟性基板 12 上，換言之，第二實施例的步驟包括：

- 步驟 1：提供一操作基板 10；
- 步驟 2：該操作基板 10 上成型一犧牲層 11；
- 步驟 3：成型一軟性基板 12 於該犧牲層 11 上；
- 步驟 4：將電子元件 20 直接製作於軟性基板 12 上；
- 步驟 5：去除犧牲層 11，以將該軟性基板 12 由該操作基板 10 上釋放，即可得到軟性微系統；此步驟同樣可係利用乾蝕刻或濕蝕刻方法去除該犧牲層 11。

第二實施例之具體製作流程可參考上述第一實施例，在此不予贅述；另外，第二實施例亦採用晶圓級的製程，因此，上述步驟可於一晶圓上同時製作多個軟性微系統結構，如第二圖所示，操作基板 10 上可設有多個軟性基板 12，且每一個軟性基板 12 上均可照上述步驟製作電子元件 20；接著去除犧牲層 11（請參閱第一 D 圖與第一 E 圖）後即可同時得到多個軟性微系統結構。

綜上所述，本發明具有下列諸項優點：

- 1、本發明利用晶圓級（wafer-level）的製程將單晶片/多晶片以低溫方式接合於軟性基板上，故在製程上可使用業界標準化的半導體製程，以降低製作成本。
- 2、另外，如上所述，本發明利用低溫方式將晶片接合於軟性基板，然兩者之間的金屬互連結構具有良好的訊

號傳輸特性，故可適用於高頻的應用。

以上所述僅為本發明之較佳可行實施例，非因此侷限本發明之專利範圍，故舉凡運用本發明說明書及圖示內容所為之等效技術變化，均包含於本發明之範圍內。

### 【圖式簡單說明】

第一 A 圖至第一 F 圖係顯示本發明之軟性微系統結構之製造方法的流程示意圖。

第二圖係為本發明利用晶圓級製程製作軟性微系統結構的示意圖。

第二 A 圖係為本發明之軟性微系統結構的立體示意圖。

第三圖係為本發明之軟性微系統結構的 S11、S21 測試圖。

第四圖係為本發明之軟性微系統結構中不同材質的金屬互連結構之 S11、S21 測試圖。

第五圖係顯示本發明之軟性微系統結構的實品圖。

### 【主要元件符號說明】

1 0	操作基板		
1 1	犧牲層		
1 2	軟性基板		
1 3	第一導電結構	1 3 1	第一連接層
1 3 A	共平面波導管結構		
2 0	電子元件		
2 1	第二導電結構	2 1 1	第二連接層
S	種晶層		

P 光阻層

## 七、申請專利範圍：

### 1、一種軟性微系統結構之製造方法，包含以下步驟：

提供一操作基板；

成型一犧牲層於該操作基板上；

成型一軟性基板於該犧牲層上；

成型一第一導電結構於該軟性基板上；

提供至少一電子元件，其上設有一對應該第一導電結構之第二導電結構；

低溫固接該第一導電結構與該第二導電結構，該第二導電結構平貼並覆蓋該第一導電結構，以使該電子元件固定於該軟性基板上；

去除犧牲層，以將該軟性基板由該操作基板上釋放（release），其中，該電子元件係固定於該軟性基板上而形成所述之軟性微系統結構。

### 2、如申請專利範圍第1項所述之軟性微系統結構之製造方法，其中在成型一第一導電結構於該軟性基板的步驟中，更包括成型一第一連接層於該第一導電結構上之步驟，該第一連接層平貼並覆蓋該第一導電結構的表面。

### 3、如申請專利範圍第2項所述之軟性微系統結構之製造方法，其中在低溫固接該第一導電結構與該第二導電結構的步驟中，更包括以下步驟：

針對該第一導電結構之該第一連接層與該第二導電結構進行表面改質步驟；

將該電子元件進行低溫覆晶步驟，以將該第一導電結

構之該第一連接層與該第二導電結構彼此連接固定，該第二導電結構平貼並覆蓋該第一連接層。

- 4、如申請專利範圍第3項所述之軟性微系統結構之製造方法，其中該低溫覆晶步驟係為一種金屬對金屬熱壓焊接步驟，該金屬對金屬熱壓焊接步驟之溫度係小於該軟性基板之玻璃轉換溫度（ $T_g$ ）。
- 5、如申請專利範圍第3項所述之軟性微系統結構之製造方法，其中該表面改質步驟係利用乾蝕刻或濕蝕刻方法清潔該第一導電結構之該第一連接層與該第二導電結構。
- 6、如申請專利範圍第2項所述之軟性微系統結構之製造方法，其中在低溫固接該第一導電結構與該第二導電結構的步驟中，更包括以下步驟：將該電子元件進行低溫覆晶步驟，以將該第一導電結構之該第一連接層與該第二導電結構彼此連接固定，該第二導電結構平貼並覆蓋該第一連接層。
- 7、如申請專利範圍第1項所述之軟性微系統結構之製造方法，其中在去除犧牲層的步驟中係利用乾蝕刻或濕蝕刻方法去除該犧牲層。
- 8、如申請專利範圍第1項所述之軟性微系統結構之製造方法，更包括一將該軟性微系統結構固定於一可撓性載板上之步驟。
- 9、如申請專利範圍第1項所述之軟性微系統結構之製造方法，其中在成型一第一導電結構於該軟性基板上的步驟之後，更包括一成型一輔助軟性基板的步驟，該

輔助軟性基板係成型於該軟性基板上，並裸露出部分的第一導電結構。

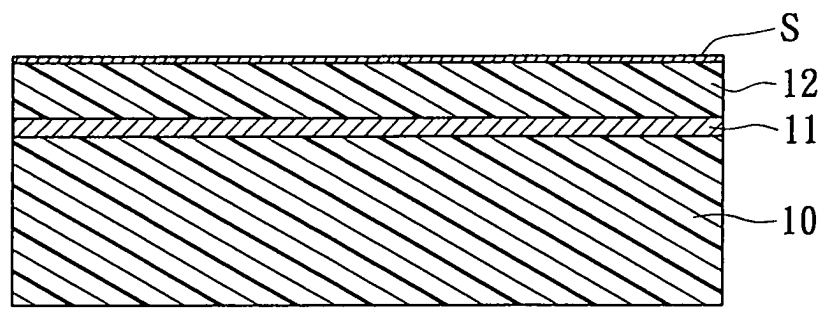
1 0、一種軟性微系統結構，包含：

一軟性基板及至少一電子元件，該電子元件係利用一金屬互連（interconnection）結構固定於該軟性基板，該金屬互連結構係由該軟性基板之第一導電結構與該電子元件之第二導電結構進行低溫固接而成，該第二導電結構平貼並覆蓋該第一導電結構。

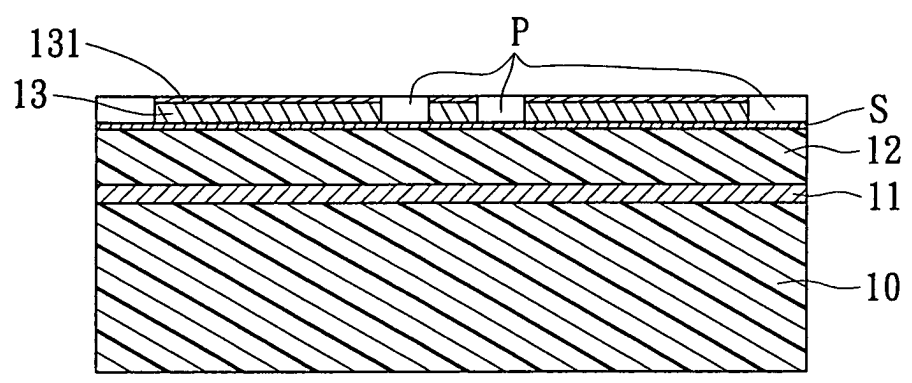
1 1、如申請專利範圍第1 0項所述之軟性微系統結構，其中該軟性微系統結構係設置於一可撓性載板上。

1 2、如申請專利範圍第1 0項所述之軟性微系統結構，其中該軟性基板上更成型有一輔助軟性基板，該第一導電結構係夾設於該輔助軟性基板與該軟性基板之間，而部分的該第一導電結構係裸露出該輔助軟性基板。

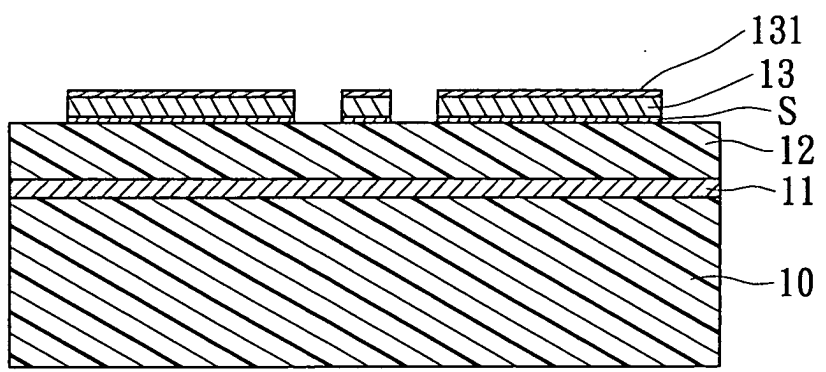
八、圖式：



第一A圖

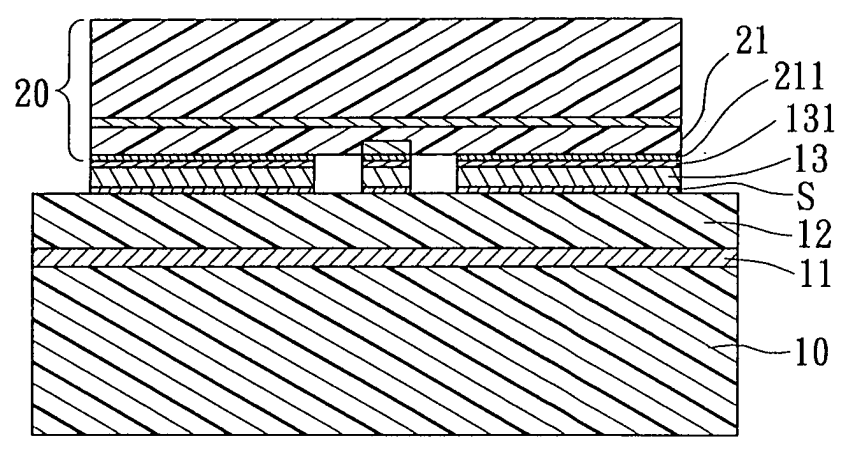


第一B圖

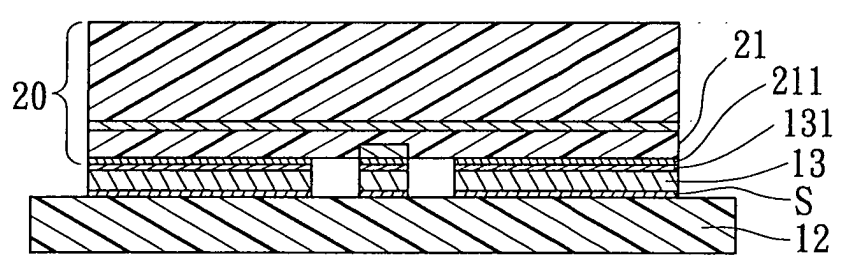


第一C圖

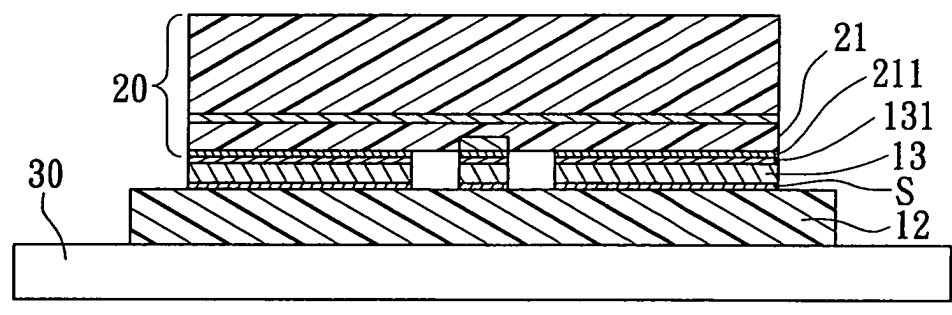




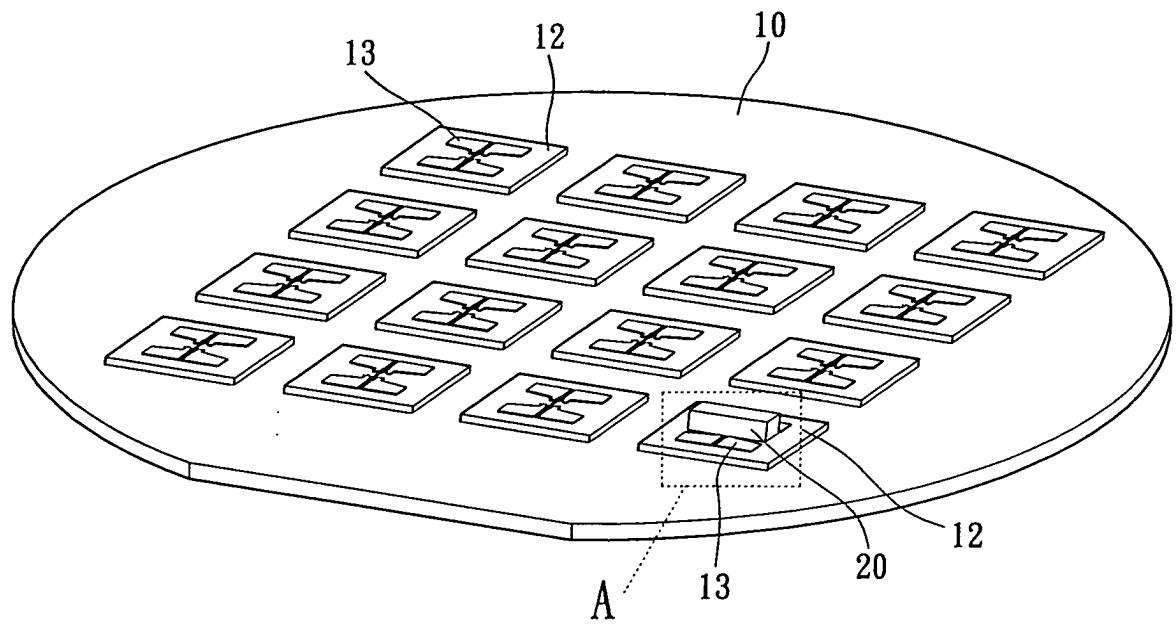
第一D圖



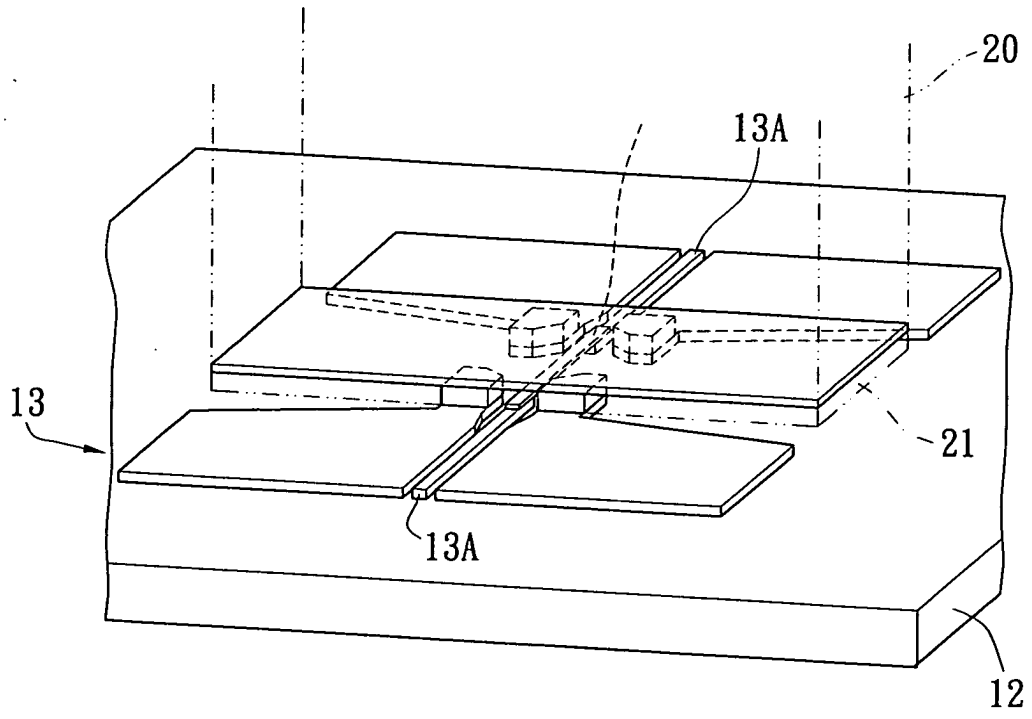
第一E圖



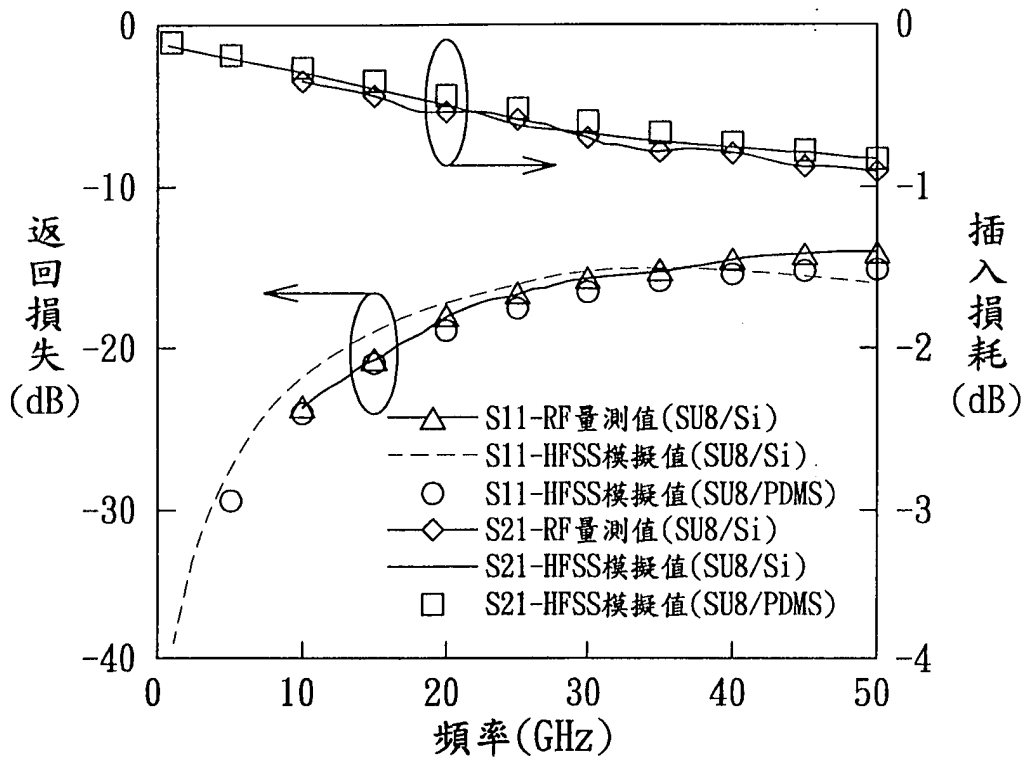
第一F圖



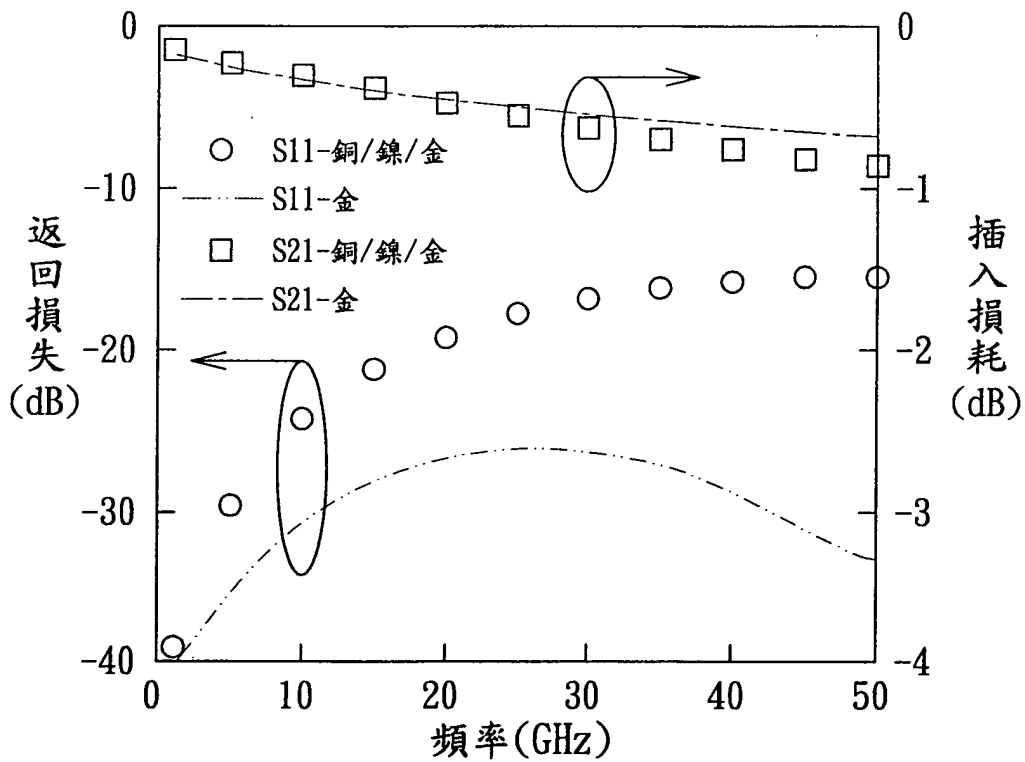
第二圖



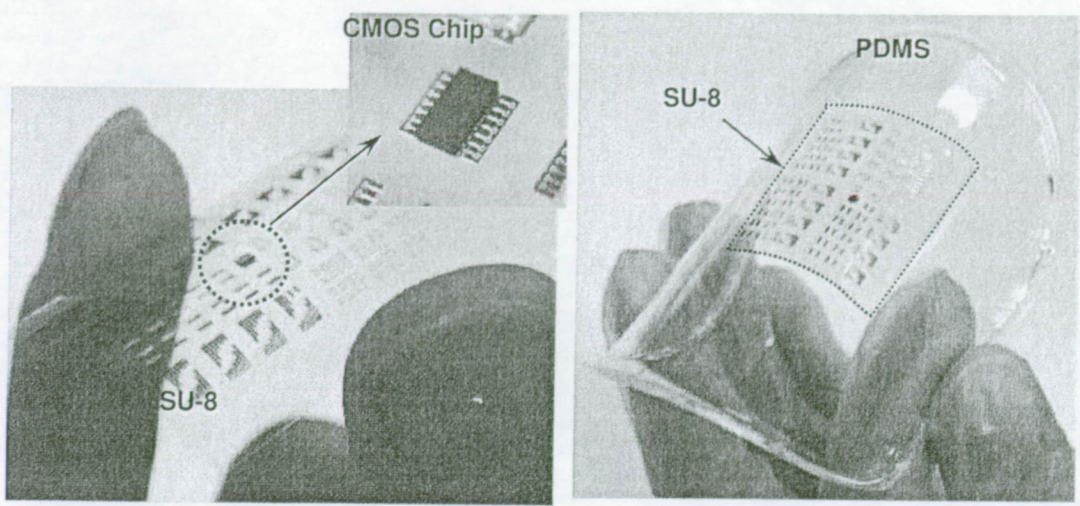
第二A圖



第三圖



第四圖



(a)

(b)

第五圖