



(21) 申請案號：100106145

(22) 申請日：中華民國 100 (2011) 年 02 月 24 日

(51) Int. Cl. : H01L21/336 (2006.01)

H01L21/28 (2006.01)

H01L29/78 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：冉曉雯 ZAN, HSIAO WEN (TW)；蔡娟娟 TSAI, CHUANG CHUANG (TW)；孟心

飛 MENG, HSIN FEI (TW)；蔡武衛 TSAI, WU WEI (TW)；陳家新 CHEN, CHIA

HSIN (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

TW 200731589A

US 5930609

Polymer space-charge-limited transistor as a solid-state vacuum tube triode, Yu-Chiang Chao, Ming-Che Ku, Wu-Wei Tsai, Hsiao-Wen Zan, Hsin-Fei Meng, Hung-Kuo Tsai and Sheng-Fu Horng, APPLIED PHYSICS LETTERS 97, 223307 2010.

審查人員：徐雨弘

申請專利範圍項數：12 項 圖式數：23 共 0 頁

(54) 名稱

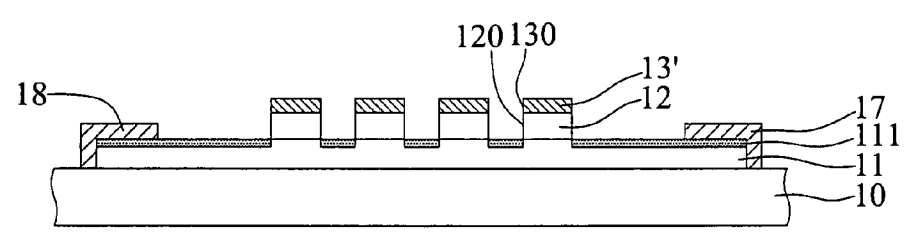
具有電晶體的半導體元件及其製法

SEMICONDUCTOR COMPONENT HAVING A TRANSISTOR AND METHOD OF FORMING SAME

(57) 摘要

一種具有電晶體的半導體元件，係包括：承載板；金屬氧化物半導體層，係設於該承載板上；介電層，係設於該金屬氧化物半導體層上，該介電層係構成微奈米級線寬的圖案，俾外露部分該金屬氧化物半導體層，該金屬氧化物半導體層之外露表面的載子濃度大於該金屬氧化物半導體層內部的載子濃度；圖案化遮罩層，係設於該介電層之頂面上；以及源極金屬層與汲極金屬層，係設於外露之該金屬氧化物半導體層上。本發明係於閘極區進行微奈米等級的圖形摻雜，因此大幅增進了有效載子遷移率，並提升電晶體的操作特性。本發明復提供一種具有電晶體的半導體元件之製法。

Disclosed is a semiconductor component having a transistor, comprising a carrier board; a metallic oxidant semiconductor layer formed on the carrier board; a dielectric layer disposed on the metallic oxidant semiconductor layer and constituting micro-nano scale line width patterns for exposing parts of the metallic oxidant semiconductor layer therefrom, wherein the concentration of carriers on the exposed metallic oxidant semiconductor layer is greater than the concentration of carriers inside of the metallic oxidant semiconductor layer; a patterned mask layer formed on top of the dielectric layer; and a source electrode metallic layer and a drain electrode metallic layer disposed on the exposed metallic oxidant semiconductor layer. By doping micro-nano scale patterns on the gate electrode area, the migration of carriers is significantly increased as well as the performance characteristic of the transistor. This invention further discloses a method of forming a semiconductor component having a transistor as described above.



第1G圖

- 10 . . . 承载板
- 11 . . . 金属氧化物
- 111 . . . 高载子浓度子层
- 12 . . . 介电层
- 120 . . . 介电层开孔
- 13' . . . 图案化遮罩层
- 130 . . . 遮罩层开孔
- 17 . . . 源极金属层
- 18 . . . 汲极金属层
- 17 . . . 半导体层

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100106145

※申請日：100.2.24 ※IPC 分類：

H01L 21/336 (2306.01)

H01L 21/28 (2306.01)

H01L 29/178 (2006.01)

一、發明名稱：(中文/英文)

具有電晶體的半導體元件及其製法

SEMICONDUCTOR COMPONENT HAVING A TRANSISTOR AND
METHOD OF FORMING SAME

二、中文發明摘要：

一種具有電晶體的半導體元件，係包括：承載板；金屬氧化物半導體層，係設於該承載板上；介電層，係設於該金屬氧化物半導體層上，該介電層係構成微奈米級線寬的圖案，俾外露部分該金屬氧化物半導體層，該金屬氧化物半導體層之外露表面的載子濃度大於該金屬氧化物半導體層內部的載子濃度；圖案化遮罩層，係設於該介電層之頂面上；以及源極金屬層與汲極金屬層，係設於外露之該金屬氧化物半導體層上。本發明係於閘極區進行微奈米等級的圖形摻雜，因此大幅增進了有效載子遷移率，並提升電晶體的操作特性。本發明復提供一種具有電晶體的半導體元件之製法。

三、英文發明摘要：

Disclosed is a semiconductor component having a transistor, comprising a carrier board; a metallic oxidant semiconductor layer formed on the carrier board; a dielectric layer disposed on the metallic oxidant semiconductor layer and constituting micro-nano scale line width patterns for exposing parts of the metallic oxidant semiconductor layer therefrom, wherein the concentration of carriers on the exposed metallic oxidant semiconductor layer is greater than the concentration of carriers inside of the metallic oxidant semiconductor layer; a patterned mask layer formed on top of the dielectric layer; and a source electrode metallic layer and a drain electrode metallic layer disposed on the exposed metallic oxidant semiconductor layer. By doping micro-nano scale patterns on the gate electrode area, the migration of carriers is significantly increased as well as the performance characteristic of the transistor. This invention further discloses a method of forming a semiconductor component having a transistor as described above.

四、指定代表圖：

(一)本案指定代表圖為：第 (1G) 圖。

(二)本代表圖之元件符號簡單說明：

10	承載板
11	金屬氧化物半導體層
111	高載子濃度子層
12	介電層
120	介電層開孔
13'	圖案化遮罩層
130	遮罩層開孔
17	源極金屬層
18	汲極金屬層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件及其製法，尤指一種具有電晶體的半導體元件及其製法。

【先前技術】

近年來，半導體電子元件已經被廣泛地應用在液晶顯示器的像素 (pixel) 驅動、開關元件、或靜態隨機存取記憶體 (static random access memory, 簡稱 SRAM) 的主動負載等電子產品中。

在液晶顯示器的應用方面，為了符合液晶顯示器在製程上的低溫限制與大尺寸面積的需求，其積體電路驅動元件已經開始以頂閘極之複晶矽薄膜電晶體為其主要元件。

然而，為了進一步提升半導體本身的操作特性，習知技術有以下幾種作法。

首先，如第 6,229,177 B1 號美國專利與第 6,380,041 B1 號美國專利所示，此兩專利皆是利用離子佈值的方式來對水平結構的通道進行斜向 (角度由 0 度至 60 度) 摻雜，且不同種類的半導體 (N 型或 P 型) 是使用不同的原子進行摻雜，但是摻雜的強度通常隨著通道深度而減弱，又摻雜完後必須經過 900°C 至 1050°C 的快速熱退火以增強摻雜的效果，所以此類製程係要求在相當高的溫度下進行，且所需的成本也較高。

再者，如西元 2005 年的應用物理學期刊 (Applied Physics Letters) 第 87 卷的「Control of threshold voltage in

pentacene thin-film transistors using carrier doping at the charge-transfer interface with organic acceptors」所示，其係在半導體的通道上直接蓋一層受體層（acceptor layer），並藉由調控載子摻雜濃度，而改變元件特性（例如臨界電壓等），但是如果結構為雙層材料時，則可能會遇到互溶的問題，且如果調控的載子濃度沒有控制好，則容易會遇到背面通道漏電的問題。

又，如西元 2004 年的應用物理學期刊（Applied Physics Letters）第 84 卷的「Enhancement-mode thin-film field-effect transistor using phosphorus-doped (Zn,Mg) O channel」所示，其係在例如氧化鋅（ZnO）的半導體中摻雜鎂（Mg）以調控半導體的能隙大小，或者，在例如氧化鋅（ZnO）的半導體中摻雜磷（P）以降低元件的電子濃度，但是此種方式難以調整到適當的比例，且不容易控制元件的漏電流。

此外，如西元 2007 年的應用物理學期刊（Applied Physics Letters）第 90 卷的「Improvements in the device characteristics of amorphous indium gallium zinc oxide thin-film transistors by Ar plasma treatment」所示，其係利用氬氣電漿來處理元件的源極與汲極，以降低元件的注入能障，並降低元件的電阻率，但是因為只有對元件電極的介面做處理，所以元件特性的提升有限。

因此，鑒於上述習知技術所存在之問題，如何有效且方便地改善電子元件的元件特性，特別是提高電晶體的載

子移動率，以增進電子元件的效能，實已成為目前亟欲解決之課題。

【發明內容】

鑒於上述習知技術之缺失，本發明揭露一種具有電晶體的半導體元件之製法，係包括：提供一承載板；於該承載板上形成金屬氧化物半導體層；於該金屬氧化物半導體層上形成介電層，使該金屬氧化物半導體層夾置於該承載板與介電層之間；於該介電層上形成圖案化遮罩層，該圖案化遮罩層係構成微奈米級線寬的圖案，以外露部分該介電層；移除未被該圖案化遮罩層所覆蓋之介電層，以形成介電層開孔，俾使該金屬氧化物半導體層外露於該介電層開孔；對外露之該金屬氧化物半導體層進行表面處理，以使該金屬氧化物半導體層之外露表面的載子濃度增加；以及於外露之該金屬氧化物半導體層上形成源極金屬層與汲極金屬層。

本發明揭露另一種具有電晶體的半導體元件之製法，係包括：提供一承載板；於該承載板上形成金屬氧化物半導體層，該承載板是單一材質層、或是包括導電層與其一側上的絕緣層，且該金屬氧化物半導體層係設於該絕緣層上；對部分該金屬氧化物半導體層之頂表面進行表面處理，以令部分該金屬氧化物半導體層之頂表面的載子濃度增加，俾使該金屬氧化物半導體層之表層構成具有微奈米級線寬的圖案的高載子濃度子層；以及於該金屬氧化物半導體層上形成源極金屬層與汲極金屬層。

前述之具有電晶體的半導體元件之製法中，復可包括於該金屬氧化物半導體層上形成介電層，並於該介電層上形成閘極金屬層，該閘極金屬層係可間隔設置於該源極金屬層與汲極金屬層之間，且該源極金屬層與汲極金屬層復各自延伸通過該金屬氧化物半導體層的側壁，並延伸至該承載板上。

依上述之具有電晶體的半導體元件之製法，該承載板之材質可為玻璃、塑膠或矽等，且微奈米級線寬的圖案係遮罩層開孔，該遮罩層開孔可為圓形孔、矩形孔、三角形孔、圓環形孔、十字形孔或不規則孔。

依上述之製法，該金屬氧化物半導體層之材質可為氧化鋅 (zinc oxide, ZnO)、氧化銦鋅 (indium zinc oxide, IZO)、或氧化銦鎵鋅 (indium gallium zinc oxide, IGZO) 等，且該介電層之材質可為聚(4-乙基苯酚) (poly-(4-vinylphenol), 簡稱 PVP)、聚甲基丙烯酸甲酯 (Polymethylmethacrylate, 簡稱 PMMA)、或聚乙醇醇 (Polyvinyl Alcohol, 簡稱 PVA)，但不限於此。

又依上述之製法，表面處理該金屬氧化物半導體層之方式可為包含光退火處理等各種可以提升半導體摻雜濃度之製程方法，例如氫氣電漿、氧氣電漿、氮氣電漿、紫外光(UV)、或雷射退火等。

依上述之具有電晶體的半導體元件之製法，該圖案化遮罩層係可間隔設置於該源極金屬層與汲極金屬層之間，且該源極金屬層與汲極金屬層復可各自延伸通過該金屬氧

化物半導體層的側壁，並延伸至該承載板上。

於本發明之製法中，該承載板可包括導電層與其一側上的絕緣層，且該金屬氧化物半導體層係設於該絕緣層上。

依上述之製法，該導電層可為經摻雜的半導體層，該承載板復可包括設於該導電層另一側上的基底層，俾使該導電層設於該絕緣層與該基底層之間。

又依上述之具有電晶體的半導體元件之製法，該圖案化遮罩層之材質可為金屬或絕緣材料。

本發明復揭露一種具有電晶體的半導體元件，係包括：承載板；金屬氧化物半導體層，係設於該承載板上；介電層，係設於該金屬氧化物半導體層上，該介電層係構成微奈米級線寬的圖案，俾外露部分該金屬氧化物半導體層，該金屬氧化物半導體層之外露表面的載子濃度大於該金屬氧化物半導體層內部的載子濃度；圖案化遮罩層，係設於該介電層之頂面上；以及源極金屬層與汲極金屬層，係設於外露之該金屬氧化物半導體層上。

本發明揭露另一種具有電晶體的半導體元件，係包括：承載板；金屬氧化物半導體層，係設於該承載板上，該金屬氧化物半導體層之表層具有微奈米級線寬的圖案的高載子濃度子層，該承載板是單一材質層、或是包括導電層與其一側上的絕緣層，且該金屬氧化物半導體層係設於該絕緣層上；以及源極金屬層與汲極金屬層，係分設於該金屬氧化物半導體層兩端之表面上。

前述之具有電晶體的半導體元件中，復可包括介電層

與閘極金屬層，該介電層係設於該金屬氧化物半導體層上，該閘極金屬層係設於該介電層上，該閘極金屬層係可間隔設置於該源極金屬層與汲極金屬層之間，且該源極金屬層與汲極金屬層復各自延伸通過該金屬氧化物半導體層的側壁，並延伸至該承載板上。

依上述之半導體元件，該承載板之材質可為玻璃、塑膠或矽等，且微奈米級線寬的圖案係介電層開孔，該介電層開孔可包含圓形孔、矩形孔、三角形孔、圓環形孔、十字形孔或不規則孔。又依上述之半導體元件，該金屬氧化物半導體層之材質可為氧化鋅 (zinc oxide, ZnO)、氧化銦鋅 (indium zinc oxide, IZO)、或氧化銦鎵鋅 (indium gallium zinc oxide, IGZO) 等，且該介電層之材質可為聚(4-乙基苯酚) (poly-(4-vinylphenol), 簡稱 PVP)、聚甲基丙烯酸甲酯 (Polymethylmethacrylate, 簡稱 PMMA)、或聚乙醇醇 (Polyvinyl Alcohol, 簡稱 PVA)，但不限於此。

依上述之具有電晶體的半導體元件，該圖案化遮罩層係可間隔設置於該源極金屬層與汲極金屬層之間，且該源極金屬層與汲極金屬層復可各自延伸通過該金屬氧化物半導體層的側壁，並延伸至該承載板上。

於本發明之半導體元件中，該承載板可包括導電層與其一側上的絕緣層，且該金屬氧化物半導體層係設於該絕緣層上。

依上述之半導體元件，該導電層可為經摻雜的半導體層，該承載板復可包括設於該導電層另一側上的基底層，

俾使該導電層設於該絕緣層與該基底層之間。

又依上述之具有電晶體的半導體元件，該圖案化遮罩層之材質可為金屬或絕緣材料。

由上可知，本發明係於頂閘極或底閘極電晶體的通道處形成微奈米等級的圖形摻雜，使得通道區域中的導電率上升，造成有效載子遷移率明顯的提高，以增進對於周遭電路的電流驅動力；此外，本發明之具有電晶體的半導體元件的源極與汲極可直接形成在高載子遷移率的通道上，這樣不僅能夠減少製程步驟，也能降低成本，更能夠降低接觸電阻，形成歐姆接觸，進而提高整體元件效能。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並未完全按照實際比例來繪製，且並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「上」、「頂」、「底」及「一」等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無

實質變更技術內容下，當亦視為本發明可實施之範疇。

第一實施例

請參閱第 1A 至 1G 圖，係本發明之具有電晶體的半導體元件之製法之第一實施例的剖視圖，其中，第 1B' 與 1C' 圖係第 1B 與 1C 圖之另一實施態樣，第 1G' 圖係第 1G 圖之俯視圖。

如第 1A 圖所示，提供一承載板 10，該承載板 10 之材質可為玻璃、塑膠或矽等，並於該承載板 10 上形成金屬氧化物半導體層 11，該金屬氧化物半導體層 11 之材質可為氧化鋅 (zinc oxide, ZnO)、氧化銦鋅 (indium zinc oxide, IZO)、或氧化銦鎵鋅 (indium gallium zinc oxide, IGZO)，該金屬氧化物半導體層 11 之材質較佳為非晶氧化銦鎵鋅 (amorphous In-Ga-Zn-O, 簡稱 a-IGZO) 等，且於該金屬氧化物半導體層 11 上形成介電層 12，該介電層 12 之材質可為聚(4-乙基苯酚) (poly-(4-vinylphenol), 簡稱 PVP)、聚甲基丙烯酸甲酯 (Polymethylmethacrylate, 簡稱 PMMA)、或聚乙醇醇 (Polyvinyl Alcohol, 簡稱 PVA)，但不限於此。

如第 1B 至 1D 圖所示，於該介電層 12 上形成金屬材質的遮罩層 13，並於該遮罩層 13 上形成阻層 14，接著以微奈米壓印模具 15 壓印該阻層 14 以構成圖案化阻層 14'，且移除未被該圖案化阻層 14' 覆蓋的該遮罩層 13 以構成圖案化遮罩層 13'，最後，移除該圖案化阻層 14'。

或者，如第 1B'、1C' 與 1D 圖所示，於該介電層 12

上塗佈複數微奈米球 16，並於該介電層 12 與微奈米球 16 上形成金屬材質的遮罩層 13，接著移除該微奈米球 16 及其上的遮罩層 13 以構成圖案化遮罩層 13'。

如第 1D 圖所示，此時該介電層 12 上形成有圖案化遮罩層 13'，該圖案化遮罩層 13' 係構成微奈米級（一般是 10 奈米至 999 微米的範圍）線寬的圖案，且該圖案化遮罩層 13' 具有遮罩層開孔 130，以外露部分該介電層 12；於本實施例中，該圖案化遮罩層 13' 之圖形係以複數個圓形孔作為例示，且舉例來說，該遮罩層開孔 130 之孔徑可為 5 奈米至 50 微米，當然，該遮罩層開孔 130 亦可為矩形孔、三角形孔、圓環形孔、十字形孔、不規則形狀孔、或其他形狀之孔洞，而不以圓形孔為限。

如第 1E 圖所示，移除未被該圖案化遮罩層 13' 所覆蓋之介電層 12，以形成介電層開孔 120，俾使該金屬氧化物半導體層 11 外露於該介電層開孔 120，其中，移除該介電層 12 之方式可為氧氣電漿、氫氣電漿、或濕式蝕刻，且該介電層開孔 120 可為圓形孔、矩形孔、三角形孔、圓環形孔、十字形孔、不規則形狀孔、或其他形狀之孔洞。

如第 1F 圖所示，對外露之該金屬氧化物半導體層 11 進行表面處理，以令該金屬氧化物半導體層 11 之外露表面的載子濃度增加，俾使該金屬氧化物半導體層 11 之表層構成高載子濃度子層 111，其中，表面處理該金屬氧化物半導體層 11 之方式可為包含光退火處理等各種可以提升半導體摻雜濃度之製程方法，例如氫氣電漿、氧氣電漿、氫

氣電漿、紫外光(UV)、或雷射退火。

如第 1G 與 1G' 圖所示，於外露之該金屬氧化物半導體層 11 上形成源極金屬層 17 與汲極金屬層 18，該圖案化遮罩層 13' 係間隔設置於該源極金屬層 17 與汲極金屬層 18 之間，該源極金屬層 17 與汲極金屬層 18 復可延伸通過該金屬氧化物半導體層 11 的側壁，並延伸至該承載板 10 上，至此即完成本發明之頂閘極 (top gate) 型式的具有電晶體的半導體元件，即該圖案化遮罩層 13' 係作為閘極使用。

本發明復揭露一種具有電晶體的半導體元件，係包括：承載板 10；金屬氧化物半導體層 11，係設於該承載板 10 上；介電層 12，係設於該金屬氧化物半導體層 11 上，該介電層 12 係構成微奈米級線寬的圖案，俾外露部分該金屬氧化物半導體層 11，該金屬氧化物半導體層 11 之外露表面的載子濃度大於該金屬氧化物半導體層 11 內部的載子濃度；圖案化遮罩層 13'，係設於該介電層 12 之頂面上；以及源極金屬層 17 與汲極金屬層 18，係設於外露之該金屬氧化物半導體層 11 上。

依上述之結構，該承載板 10 之材質可為玻璃、塑膠或矽等，且該微奈米級線寬的圖案係介電層開孔 120，該介電層開孔 120 可為圓形孔、矩形孔、三角形孔、圓環形孔、十字形孔、不規則形狀孔、或其他形狀之孔洞。

於本發明之具有電晶體的半導體元件中，該金屬氧化物半導體層 11 之材質可為氧化鋅 (zinc oxide, ZnO)、氧化銦鋅 (indium zinc oxide, IZO)、或氧化銦鎵鋅 (indium

gallium zinc oxide, IGZO) , 該金屬氧化物半導體層 11 之材質較佳為非晶氧化銦鎵鋅 (amorphous In-Ga-Zn-O, 簡稱 a-IGZO) 等, 該介電層 12 之材質可為聚(4-乙基苯酚) (poly-(4-vinylphenol), 簡稱 PVP)、聚甲基丙烯酸甲酯(Polymethylmethacrylate, 簡稱 PMMA)、或聚乙醇醇(Polyvinyl Alcohol, 簡稱 PVA), 但不限於此。該圖案化遮罩層 13'之材質可為金屬材料、絕緣層材料, 但不限於此。

又依前述之半導體元件, 該圖案化遮罩層 13'係間隔設置於該源極金屬層 17 與汲極金屬層 18 之間, 且該源極金屬層 17 與汲極金屬層 18 復可各自延伸通過該金屬氧化物半導體層 11 的側壁, 並延伸至該承載板 10 上。

請參閱第 2 圖, 分別係習知與本發明之具有電晶體的半導體元件的汲極電流 (I_D) 對閘極電壓 (V_G) 的關係圖, 其中, A 是代表習知之具有電晶體的半導體元件, B 是代表本發明之具有電晶體的半導體元件, 習知之遮罩層未形成有複數個圓形孔, 而本發明之圖案化遮罩層 13'具有複數個圓形孔, 兩者其餘之參數均相同, 該承載板 10 之材質係玻璃, 該金屬氧化物半導體層 11 之材質係 50 奈米厚的非晶氧化銦鎵鋅 (amorphous In-Ga-Zn-O, 簡稱 a-IGZO), 該介電層 12 之材質係 420 奈米厚的聚(4-乙基苯酚) (poly-(4-vinylphenol), 簡稱 PVP), 該源極金屬層 17 與汲極金屬層 18 之材質係鋁, 該圖案化遮罩層 13'之材質係 100 奈米厚的鋁。

承上述, 從該實驗中另計算出元件特性比較表如下:

	習知元件 A	本發明元件 B
最大載子遷移率 $\mu .\max(\text{cm}^2/\text{Vs})$	4.6	79.18
開關比 (On/Off ratio)	3.8×10^5	2.7×10^6

由上可知，本發明之具有電晶體的半導體元件可大幅提升載子遷移率約 17 倍，且開關比也能維持在 10^6 個數量級。

第二實施例

請參閱第 3A 至 3F 圖，係本發明之具有電晶體的半導體元件之製法之第二實施例的剖視圖，其中，第 3B' 與 3C' 圖係第 3B 與 3C 圖之另一實施態樣。

本實施例與前一實施例之主要差異在於前一實施例是先形成介電層 12、再形成高載子濃度子層 111，而本實施例是先形成高載子濃度子層 111、再形成介電層 12，詳如下所述，且相同的構件將不再重複說明。

如第 3A 圖所示，提供一承載板 10，並於該承載板 10 上形成金屬氧化物半導體層 11。

如第 3B 至 3D 圖所示，於該金屬氧化物半導體層 11 上形成阻層 14，接著以微奈米壓印模具 15 壓印該阻層 14 以構成圖案化阻層 14'，且對外露之該金屬氧化物半導體層 11 進行表面處理，以令該金屬氧化物半導體層 11 之外露表面的載子濃度增加，俾使該金屬氧化物半導體層 11 之表層構成具有微奈米級線寬的圖案的高載子濃度子層

111，最後，移除該圖案化阻層 14'。

或者，如第 3B'、3C'與 3D 圖所示，於該金屬氧化物半導體層 11 上塗佈複數微奈米球 16，並對外露之該金屬氧化物半導體層 11 進行表面處理，以令該金屬氧化物半導體層 11 之外露表面的載子濃度增加，俾使該金屬氧化物半導體層 11 之表層構成具有微奈米級線寬的圖案的高載子濃度子層 111，最後，移除該等微奈米球 16。

如第 3E 圖所示，於該金屬氧化物半導體層 11 上形成介電層 12，於該介電層 12 上形成閘極金屬層 19。

如第 3F 圖所示，於外露之該金屬氧化物半導體層 11 上形成源極金屬層 17 與汲極金屬層 18，該閘極金屬層 19 係間隔設置於該源極金屬層 17 與汲極金屬層 18 之間，該源極金屬層 17 與汲極金屬層 18 復可延伸通過該金屬氧化物半導體層 11 的側壁，並延伸至該承載板 10 上，至此即完成本發明之頂閘極 (top gate) 型式的具有電晶體的半導體元件。

本發明復揭露另一種具有電晶體的半導體元件，係包括：承載板 10，該承載板 10 是單一材質層；金屬氧化物半導體層 11，係設於該承載板 10 上，該金屬氧化物半導體層 11 之表層具有微奈米級線寬的圖案的高載子濃度子層 111；以及源極金屬層 17 與汲極金屬層 18，係分設於該金屬氧化物半導體層 11 兩端之表面上。

於本發明之具有電晶體的半導體元件中，復包括介電層 12 與閘極金屬層 19，該介電層 12 係設於該金屬氧化物

半導體層 11 上，該閘極金屬層 19 係設於該介電層 12 上。

依上述之具有電晶體的半導體元件，該閘極金屬層 19 係間隔設置於該源極金屬層 17 與汲極金屬層 18 之間，且該源極金屬層 17 與汲極金屬層 18 復各自延伸通過該金屬氧化物半導體層 11 的側壁，並延伸至該承載板 10 上。

第三實施例

請參閱第 4A 與 4B 圖，係本發明之具有電晶體的半導體元件之第三實施例的剖視圖，其中，第 4B 圖係第 4A 圖之另一實施態樣。

如第 4A 圖所示，係對應至第 1G 圖，本實施例與第一實施例大致相同，其主要差異在於第一實施例是屬於頂閘極型式，而本實施例屬於底閘極 (bottom gate) 型式。

詳而言之，本實施例之承載板 10 係包括導電層 101 與其一側上的絕緣層 102，且該金屬氧化物半導體層 11 係設於該絕緣層 102 上，該導電層 101 係可為經摻雜的半導體層，該導電層 101 之材質較佳為高度摻雜的 P 型半導體且最佳為高度摻雜的 P 型矽 (P^+Si)，該絕緣層 102 之材質較佳為氮化矽 (SiN_x)，由於本實施例係以該導電層 101 作為閘極使用，因此該遮罩層 13 (或圖案化遮罩層 13') 之材質較佳為不導電之氧化矽 (SiO_x)。

如第 4B 圖所示，該承載板 10 復包括設於該導電層 101 另一側上的基底層 103，俾使該導電層 101 設於該絕緣層 102 與該基底層 103 之間，此時，該絕緣層 102 之材質可為氮化矽 (SiN_x)、氧化矽 (SiO_x)、聚甲基丙烯酸甲酯

(Polymethylmethacrylate, 簡稱 PMMA)、或聚乙炔醇 (Polyvinyl Alcohol, 簡稱 PVA), 但不限於此。該基底層 103 之材質可為玻璃、塑膠、或矽, 該導電層 101 之材質可為金屬 (例如鋁或金) 或一般透明電極 (例如 ITO 或 FTO)。

至於本實施例之製法基本上與第一實施例相同, 故不在此贅述。

第四實施例

請參閱第 5A 與 5B 圖, 係本發明之具有電晶體的半導體元件之第四實施例的剖視圖, 其中, 第 5B 圖係第 5A 圖之另一實施態樣。

如第 5A 圖所示, 係對應至第 3F 圖, 本實施例與第二實施例大致相同, 其主要差異在於第二實施例是屬於頂閘極型式, 而本實施例屬於底閘極型式。

詳而言之, 本實施例之承載板 10 係包括導電層 101 與其一側上的絕緣層 102, 且該金屬氧化物半導體層 11 係設於該絕緣層 102 上, 該導電層 101 係可為經摻雜的半導體層, 該導電層 101 之材質較佳為高度摻雜的 P 型半導體且最佳為高度摻雜的 P 型矽 (P^+Si), 該絕緣層 102 之材質較佳為氮化矽 (SiN_x), 由於本實施例係以該導電層 101 作為閘極使用, 因此不需設置該介電層 12 與閘極金屬層 19, 甚至該圖案化阻層 14' 或微奈米球 16 亦可保留在半導體元件上 (未圖示此情況)。

如第 5B 圖所示, 該承載板 10 復包括設於該導電層 101

另一側上的基底層 103，俾使該導電層 101 設於該絕緣層 102 與該基底層 103 之間，此時，該絕緣層 102 之材質可為氮化矽 (SiN_x)、氧化矽 (SiO_x)、聚甲基丙烯酸甲酯 (Polymethylmethacrylate，簡稱 PMMA)、或聚乙烯醇 (Polyvinyl Alcohol，簡稱 PVA)，但不限於此。該基底層 103 之材質可為玻璃、塑膠、或矽，該導電層 101 之材質可為金屬 (例如鋁或金) 或一般透明電極 (例如 ITO 或 FTO)。

至於本實施例之製法基本上與第二實施例相同，故不在此贅述。

綜上所述，本發明係於電晶體的通道 (channel) 處 (包含通道正面或背面) 形成微米或奈米等級的圖形摻雜 (micro-patterned doping or nano-patterned doping，簡稱 MPD or NPD)，使得通道區域中的導電率上升，造成有效載子遷移率有明顯的提高，以增進對於周遭電路的電流驅動力；又本發明可應用在頂閘極型式或底閘極型式的電晶體上，且形成該圖案化遮罩層的方式可使用微奈米壓印技術或微奈米球塗佈技術；此外，本發明之具有電晶體的半導體元件的源極與汲極可直接形成在高載子遷移率的通道上，這樣不僅能夠減少製程步驟，也能降低成本，更能夠降低接觸電阻，形成歐姆接觸，進而提高整體元件效能。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修

改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 至 1G 圖係本發明之具有電晶體的半導體元件之製法之第一實施例的剖視圖，其中，第 1B' 與 1C' 圖係第 1B 與 1C 圖之另一實施態樣，第 1G' 圖係第 1G 圖之俯視圖；

第 2 圖分別係習知與本發明之具有電晶體的半導體元件的汲極電流對閘極電壓的關係圖；

第 3A 至 3F 圖係本發明之具有電晶體的半導體元件之製法之第二實施例的剖視圖，其中，第 3B' 與 3C' 圖係第 3B 與 3C 圖之另一實施態樣；

第 4A 與 4B 圖係本發明之具有電晶體的半導體元件之第三實施例的剖視圖，其中，第 4B 圖係第 4A 圖之另一實施態樣；以及

第 5A 與 5B 圖係本發明之具有電晶體的半導體元件之第四實施例的剖視圖，其中，第 5B 圖係第 5A 圖之另一實施態樣。

【主要元件符號說明】

- 10 承載板
- 101 導電層
- 102 絕緣層
- 103 基底層
- 11 金屬氧化物半導體層

- 111 高載子濃度子層
- 12 介電層
- 120 介電層開孔
- 13 遮罩層
- 13' 圖案化遮罩層
- 130 遮罩層開孔
- 14 阻層
- 14' 圖案化阻層
- 15 微奈米壓印模具
- 16 微奈米球
- 17 源極金屬層
- 18 汲極金屬層
- 19 閘極金屬層
- A 習知之具有電晶體的半導體元件
- B 本發明之具有電晶體的半導體元件

七、申請專利範圍：

1. 一種具有電晶體的半導體元件之製法，係包括：

提供一承載板；

於該承載板上形成金屬氧化物半導體層；

於該金屬氧化物半導體層上形成介電層，使該金屬氧化物半導體層夾置於該承載板與介電層之間；

於該介電層上形成圖案化遮罩層，該圖案化遮罩層係構成微奈米級線寬的圖案，以外露部分該介電層；

移除未被該圖案化遮罩層所覆蓋之介電層，以形成介電層開孔，俾使該金屬氧化物半導體層外露於該介電層開孔；

藉由退火對外露之該金屬氧化物半導體層進行表面處理，以使該金屬氧化物半導體層之外露表面的載子濃度增加；以及

於外露之該金屬氧化物半導體層上形成源極金屬層與汲極金屬層。

2. 如申請專利範圍第 1 項所述之具有電晶體的半導體元件之製法，其中，該微奈米級線寬的圖案係遮罩層開孔，該遮罩層開孔係圓形孔、矩形孔、三角形孔、圓環形孔、十字形孔或不規則孔。

3. 如申請專利範圍第 1 項所述之具有電晶體的半導體元件之製法，其中，該圖案化遮罩層係間隔設置於該源極金屬層與汲極金屬層之間，且該源極金屬層與汲極金屬層復各自延伸通過該金屬氧化物半導體層的側壁，並延

伸至該承載板上。

4. 如申請專利範圍第 1 項所述之具有電晶體的半導體元件之製法，其中，該承載板係包括導電層與其一側上的絕緣層，且該金屬氧化物半導體層係設於該絕緣層上。
5. 一種具有電晶體的半導體元件之製法，係包括：
 - 提供一承載板；
 - 於該承載板上形成金屬氧化物半導體層；
 - 對部分該金屬氧化物半導體層之頂表面進行表面處理，以令部分該金屬氧化物半導體層之頂表面的載子濃度增加，俾使該金屬氧化物半導體層之表層構成具有微奈米級線寬的圖案的高載子濃度子層；
 - 於該金屬氧化物半導體層上形成介電層，並於該介電層上形成閘極金屬層；以及
 - 於該金屬氧化物半導體層上形成源極金屬層與汲極金屬層。
6. 如申請專利範圍第 5 項所述之具有電晶體的半導體元件之製法，其中，該閘極金屬層係間隔設置於該源極金屬層與汲極金屬層之間，且該源極金屬層與汲極金屬層復各自延伸通過該金屬氧化物半導體層的側壁，並延伸至該承載板上。
7. 一種具有電晶體的半導體元件之製法，係包括：
 - 提供一承載板；
 - 於該承載板上形成金屬氧化物半導體層，該承載板係包括導電層與其一側上的絕緣層，且該金屬氧化物半

導體層係設於該絕緣層上；

對部分該金屬氧化物半導體層之頂表面進行表面處理，以令部分該金屬氧化物半導體層之頂表面的載子濃度增加，俾使該金屬氧化物半導體層之表層構成具有微奈米級線寬的圖案的高載子濃度子層；以及

於該金屬氧化物半導體層上形成源極金屬層與汲極金屬層。

8. 如申請專利範圍第 5 或 7 項所述之具有電晶體的半導體元件之製法，其中，表面處理該金屬氧化物半導體層之方式係氫氣電漿、氧氣電漿、氮氣電漿、紫外光(UV)、或雷射退火。
9. 如申請專利範圍第 4 或 7 項所述之具有電晶體的半導體元件之製法，其中，該導電層係經摻雜的半導體層。
10. 如申請專利範圍第 4 或 7 項所述之具有電晶體的半導體元件之製法，其中，該承載板復包括設於該導電層另一側上的基底層，俾使該導電層設於該絕緣層與該基底層之間。
11. 一種具有電晶體的半導體元件，係包括：

承載板；

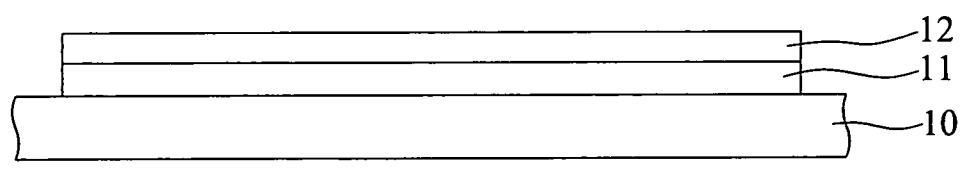
金屬氧化物半導體層，係設於該承載板上，該金屬氧化物半導體層之表層具有微奈米級線寬的圖案的高載子濃度子層；

介電層，係設於該金屬氧化物半導體層上，且不具圖案化之孔洞；

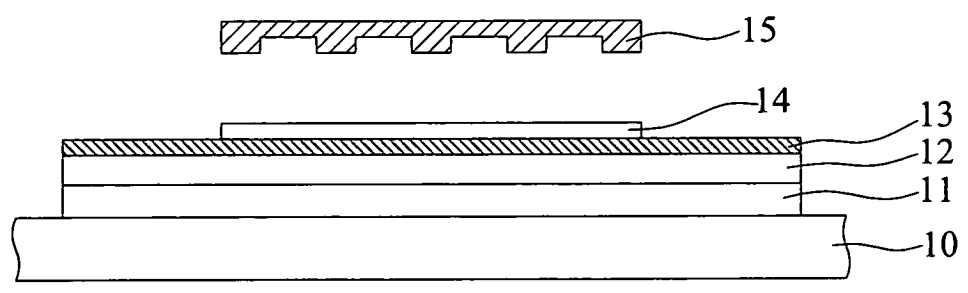
閘極金屬層，係設於該介電層上；以及

源極金屬層與汲極金屬層，係分設於該金屬氧化物半導體層兩端之表面上。

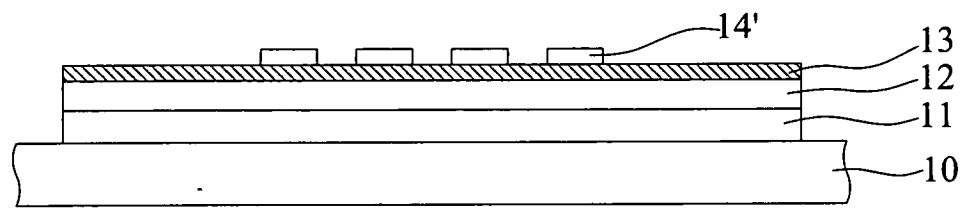
12. 如申請專利範圍第 11 項所述之具有電晶體的半導體元件，其中，該閘極金屬層係間隔設置於該源極金屬層與汲極金屬層之間，且該源極金屬層與汲極金屬層復各自延伸通過該金屬氧化物半導體層的側壁，並延伸至該承載板上。



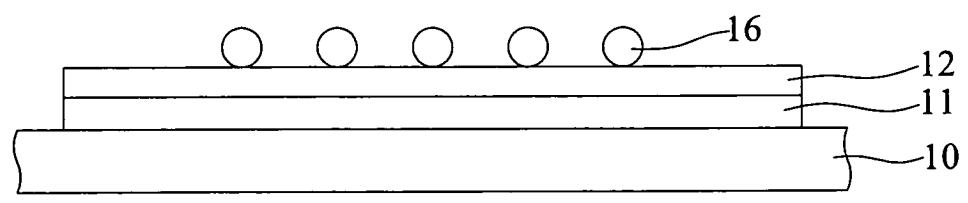
第1A圖



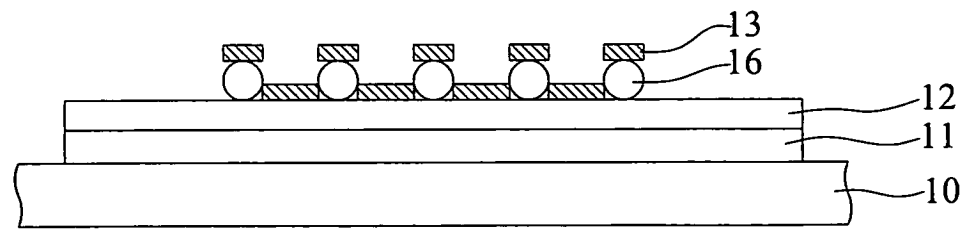
第1B圖



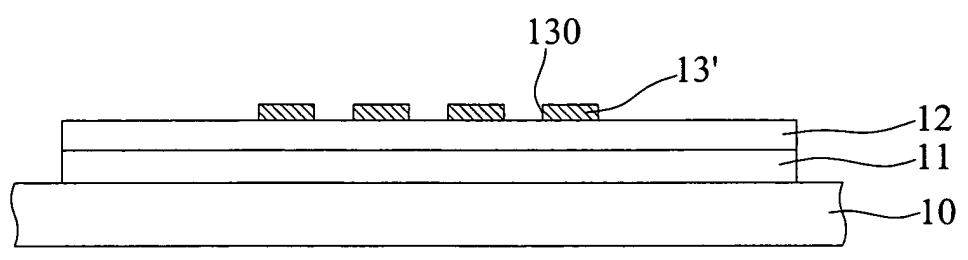
第1C圖



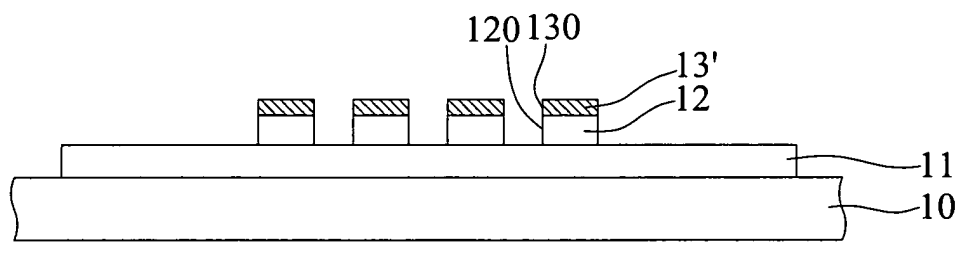
第1B'圖



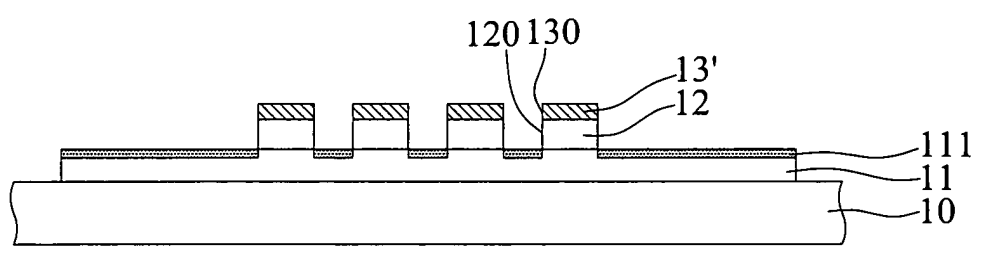
第1C'圖



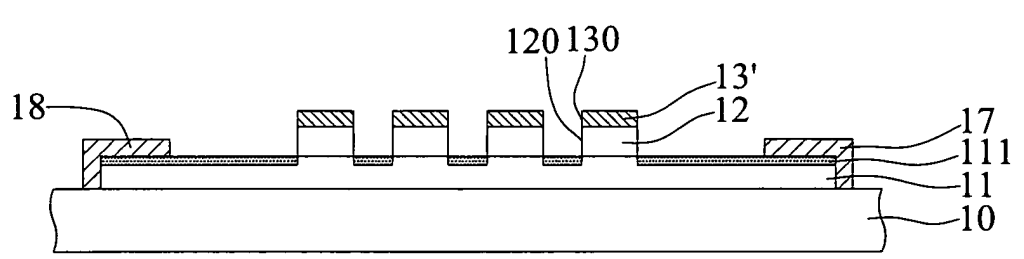
第1D圖



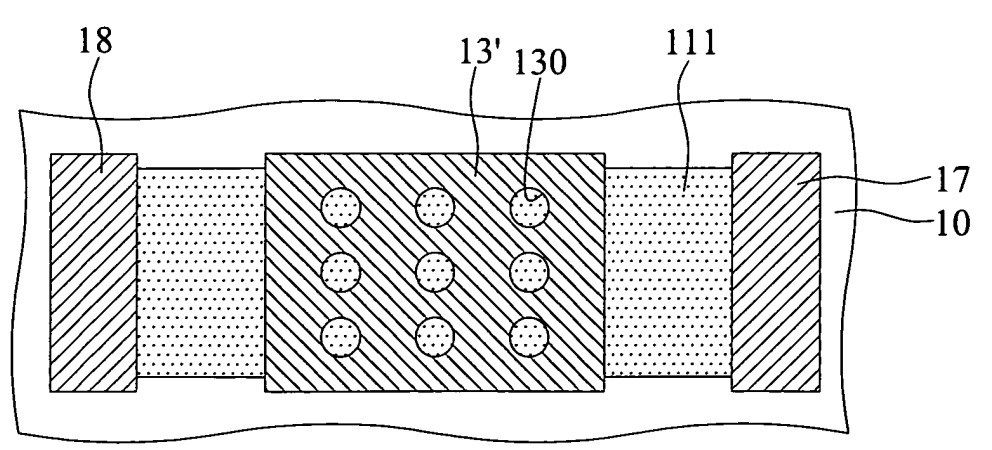
第1E圖



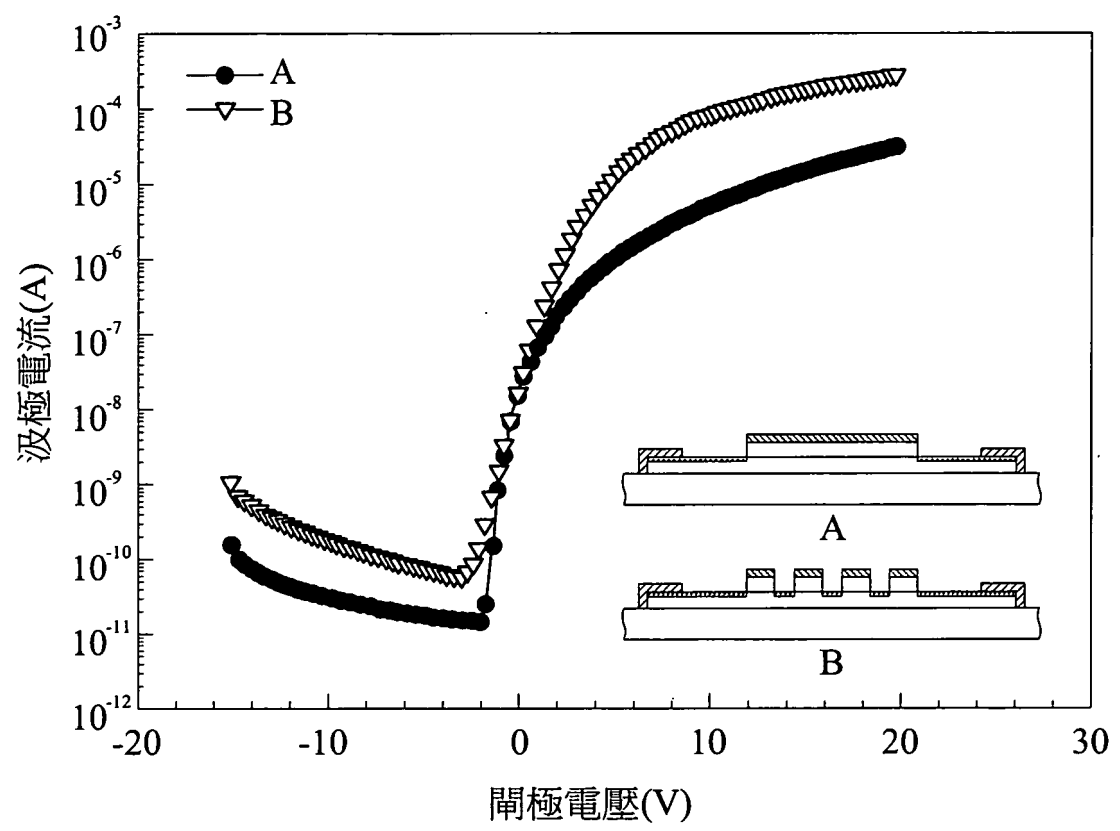
第1F圖



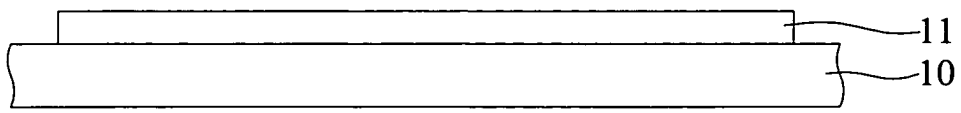
第1G圖



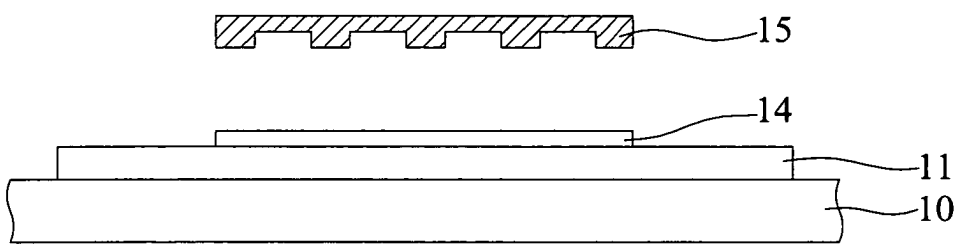
第1G'圖



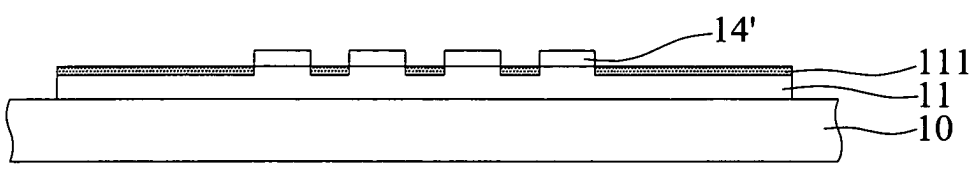
第2圖



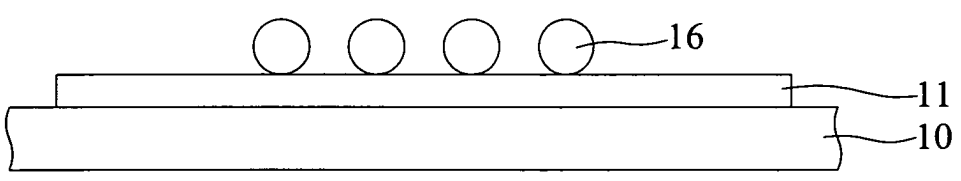
第3A圖



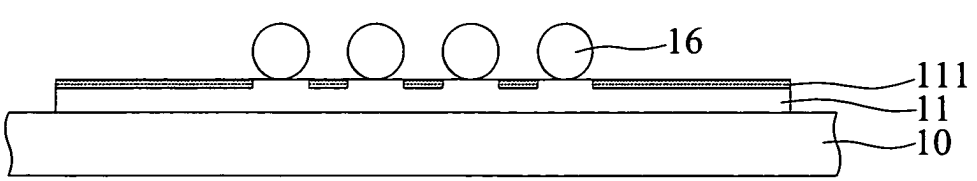
第3B圖



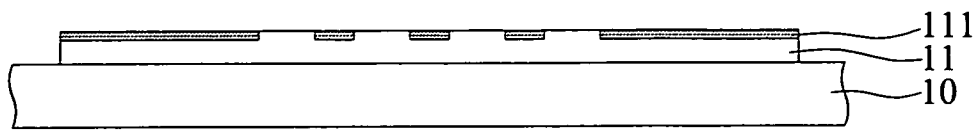
第3C圖



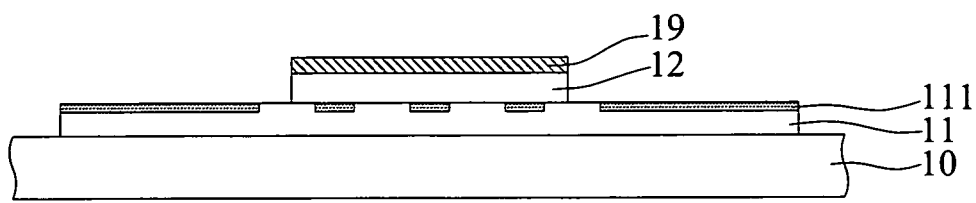
第3B'圖



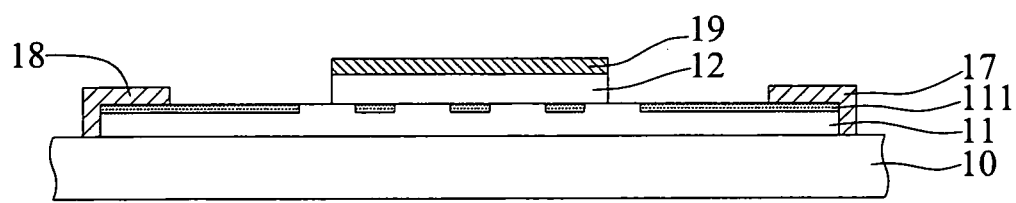
第3C'圖



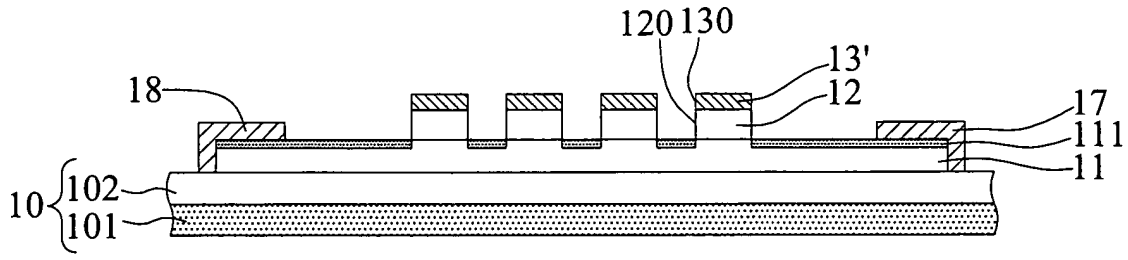
第3D圖



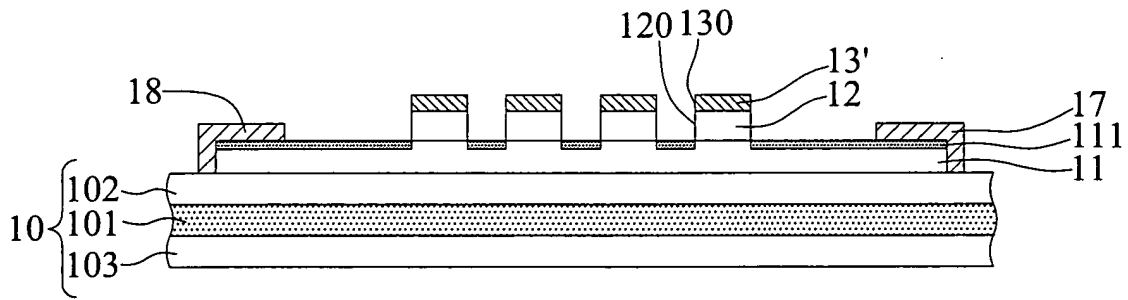
第3E圖



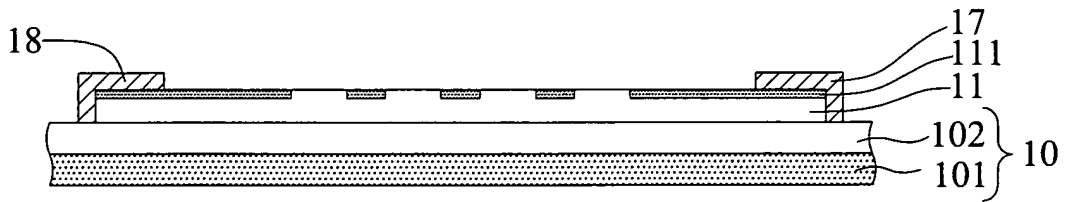
第3F圖



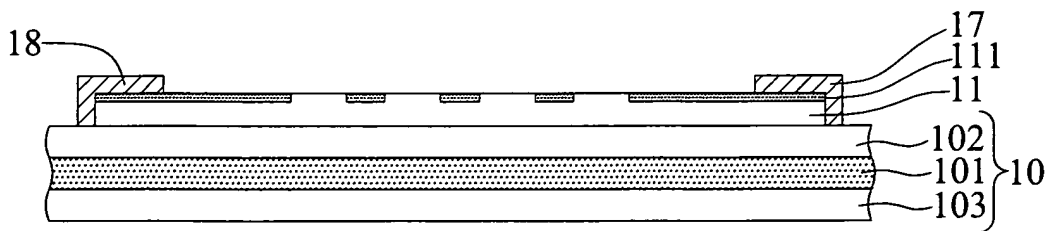
第4A圖



第4B圖



第5A圖



第5B圖