

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97131136

※申請日期：97.8.15

※IPC分類：H03L 7/197 (2006.01)

一、發明名稱：(中文/英文)

數位式快速鎖定頻率合成器

DIGITAL FAST-LOCKING FREQUENCY SYNTHESIZER

二、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

National Chiao Tung University

代表人：(中文/英文) 吳重雨 WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路1001號

1001 TA-HSUEH ROAD, HSINCHU, TAIWAN 300, R.O.C.

國籍：(中文/英文) 中華民國 ROC

三、發明人：(共2人)

姓名：(中文/英文)

1. 陳巍仁 CHEN, WEI-ZEN

2. 楊松諭 YANG, SONG-YU

國籍：(中文/英文) 1-2：中華民國/R.O.C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，

其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明主要為一種數位式鎖相迴路頻率合成裝置，具有高速鎖定以及低相位雜訊特性。其中鎖相迴路由一相位偵測器、可控制振盪器、自動動態調整迴路增益之迴路濾波器、回授相位積分電路、參考相位積分電路所組成。在迴路鎖定過程中，透過自動動態調整迴路增益之迴路濾波器，偵測積分電路輸出資訊以及相位偵測電路輸出資訊，動態的調整迴路濾波器中直饋路徑以及積分路徑的增益，使迴路鎖定速度加快。本案並提出一種高速計數器的電路，透過一組非同步計數器、資料擷取暫存器與取樣相位產生器，達成高速低功率之計數器。

六、英文發明摘要：

A digital PLL frequency synthesizer characterized by fast-locking and low-jitters. The PLL comprises a phase detector, a controlled-oscillator, a loop filter with an automatic loop gain controller, a feedback phase accumulator, and a reference phase accumulator. Fast-locking is achieved by dynamically adjusting forward-path gain and integral-path gain according to the output of phase detector and integral path during phase tracking. A high-speed, low-power counter circuit is proposed, which incorporates an asynchronous counter, a data register and a sample phase generator.

七、指定代表圖：

(一)本案指定代表圖為：第（ 二 ）圖。

(二)本代表圖之元件符號簡單說明：

- 201 參考相位積分電路
- 202 回授相位積分電路
- 203 相位偵測器
- 204 迴路濾波器
- 205 可控制振盪器
- 2011 累加器
- 2021 高速計數器
- 2031 相位誤差資訊量
- 2032 量化之相位誤差資訊量
- 2041 控制信號
- 2042 鎖定過程狀態控制電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係為一種數位式鎖相迴路頻率合成裝置，尤其是有關於一種具有高速鎖定以及低相位雜訊特性之數位式鎖相迴路頻率合成裝置。

【先前技術】

傳統類比式鎖相迴路在深次微米製程下、由於工作電壓降低、使其工作範圍變小，較難以設計，且不容易隨著製程而縮小面積。對於傳統鎖相迴路而言，其鎖定時間與輸出雜訊之間有取捨的問題，較不容易同時達成快速鎖定以及低雜訊的特性。因此，數位式鎖相迴路則成為近年來鎖相迴路之主流。

傳統之數位式鎖相迴路頻率合成裝置如圖(一)所示。

在中華民國專利案 I279085 中，將傳統充電泵式鎖相迴路中的迴路濾波器以及壓控振盪器改為數位電路，其中相位頻率檢測器 120 的輸出相位資訊透過振盪器 150 輸出信號取樣、量化，由於受限於振盪器 150 的振盪頻率，因此量化後的相位資訊會有大量的量化誤差資訊，並且產生死區(dead-zone)，使其在輸出相位雜訊特性上受影響，同時相位也無法快速鎖定。緣此，本案之發明人係研究出一種數位式鎖相迴路頻率合成裝置，尤其是有關於一種具有高速鎖定以及低相位雜訊特性之數位式鎖相迴路頻率合成裝置，其係可改善習知技術中之大量的量化誤差之現狀。

【發明內容】

本發明係關於一種數位式鎖相迴路頻率合成裝置，其係利用一自動動態調整迴路增益之迴路濾波器電路，用以產生可控制振盪器之控制信號，並隨著鎖相迴路鎖相過程，自動調整迴路參數，進而達成高速鎖定以及低相位雜訊特性之目的。

該數位式鎖相迴路頻率合成裝置至少包括：

一自動動態調整迴路增益之迴路濾波器電路，用以產生一控制信號，並隨著鎖相迴路鎖相過程，自動調整迴路參數；

一可控制振盪器，耦合於該迴路濾波器電路，係根據該輸入之控制信號，產生相對應之振盪頻率；

一回授相位積分電路，耦合於前述之可控制振盪器，用以估計該回授路徑之相位資訊；

一參考相位積分電路，用以產生參考相位之資訊；以及一相位偵測電路，耦合於該迴路濾波器電路、回授相位積分電路以及參考相位積分電路，用以比較回授路徑之相位資訊以及參考相位資訊間的誤差。

本發明進一步關於一種數位式鎖相迴路之快速鎖定方法，係包含以下之步驟：

當電路開始鎖定時，致使該直饋路徑電路中的可調倍率裝置為一預設之倍率，該積分路徑電路之倍率為零；當相位偵測電路輸出為某一數值範圍內時，該鎖定過程狀態控制電路即改變狀態，進入第二階段；在第二階段時，致使該直饋路徑電路中的可調倍率裝置為一預設之倍率 β_0 ，該積

分路徑電路中的可調倍率裝置之倍率為另一預設數值 α_0 ；透過偵測該積分電路之輸出 Φ ，並於每次發生極值時記錄本次及上次發生極值之數值之平均，得到一決策值 Φ_{avg} ；當相距某一預定數值的決策值 Φ_{avg} 之間，其差異小於某設定之臨界值 λ_1 ，並且目前積分電路輸出 Φ 與本次決策值 Φ_{avg} 差異小於另一預設臨界值 λ_2 ，則鎖定過程狀態控制電路進入另一狀態，致使直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益分別減少，並且改變決策值 λ_1 與 λ_2 ；當迴路再度發生上述條件，則致使直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益減少，並且改變決策值 λ_1 與 λ_2 ，直到直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益減少到某一預設值 ($\beta_{min}, \alpha_{min}$) 為止。

本發明進一步關於一種鎖定狀態偵測電路，耦合於一分路徑之輸出，其係由以下裝置所構成：一峰值檢測電路，耦合於該積分路徑之輸出，用以紀錄該積分路徑輸出之峰值；一谷值檢測電路，耦合於該積分路徑之輸出，用以紀錄積分路徑輸出之谷值；一平均電路，耦合於該峰值檢測電路以及該谷值檢測電路之輸出，用以將該峰值檢測電路以及該谷值檢測電路之輸出做平均，得到一平均值；一差分電路，耦合於該平均電路，係用以比較相鄰某一時間，該平均電路輸出值之差異；一積分路徑值比較電路，耦合於該平均電路以及該積分路徑輸出，用以比較當前積分路徑比較值與平均電路輸出值之間之差異，當此差異值之絕對值小於一設定之第一閾值，則送出一第一決策信號；以及一平均值比較電路，係耦合於該差分電路，用以比較差

分電路的輸出之絕對值，當其絕對值小於一設定之第二閾值，則送出一第二決策信號。

為使 貴審查委員對於本發明之結構目的和功效有更進一步之了解與認同，茲配合圖示範例詳細說明如後。

【實施方式】

圖二係為本發明之本發明之一較佳實施例。在本例中此鎖相迴路由一參考相位積分電路 201、一回授相位積分電路 202、一相位偵測器(Phase Detector)203、一迴路濾波器 (Loop filter)204 與一可控制振盪器 (Controllable Oscillator)205 所組成。電路運作時，設定一頻率控制碼 (N)，當迴路鎖定時，輸出時脈信號頻率將會是輸入的參考頻率 f_{ref} 的 N 倍頻，也就是參考頻率與輸出信號 OUT 之頻率 f_{out} 存在以下關係($f_{out}= f_{ref}*N$)。

在此例中，該參考相位積分電路 201 由一累加器 2011 所構成，在每個參考訊號(REF)上升邊緣來臨時，則會累加一次頻率控制碼(N)，將頻率控制碼與與上次累加的結果相加輸出，因此其輸出可以代表一個理想上的參考相位值；而該回授相位積分電路 202 則耦合於該可控制振盪器 205 之後，當每個數位控制振盪器 205 輸出的上升邊緣來臨時，回授相位積分電路 202 中的高速計數器 2021 就會將目前數值加 1，因此其輸出結果相當於回授信號的相位資訊；而透過參考相位積分電路 201、回授相位積分電路 202，分別計算理想上的相位資訊大小以及目前振盪器相位資訊大小，將這兩個值在相位偵測器 203 中相減，則會得到一數

位化的相位誤差資訊量 2031。

此相位誤差資訊量 2031 接下來會被送入迴路濾波器 204 濾波，接著產生控制信號 2041 來調整可控制振盪器 205，再次送回回授相位積分電路 202，完成回授路徑。由於相位偵測器 203 的解析度是由數位控制振盪器的輸出信號週期所決定，因此存在相當的量化誤差，會產生過大的量化雜訊，並且會形成死區的情況(Dead Zone)，而使輸出的相位雜訊特性不佳。因此迴路鎖定過程中分為兩個階段，在第一個階段時，相位偵測器 203 的輸出為參考相位積分電路 201 與回授相位積分電路 202 之間的差值(ε_1)即 2031，而在第二階段時，相位偵測器 203 的輸出為參考相位積分電路 201 與回授相位積分電路 202 之間的差值的極性，也就是將參考相位積分電路 201 與回授相位積分電路 202 之間的差值 ε_1 ，量化為一個單位元輸出 ε_2 即 2032，僅比較差值 ε_1 的極性，送出+1 或者-1，形成二進位式的相位偵測功能。

以下分別對鎖定的流程做介紹：在第一階段時，迴路濾波器 204 中的一鎖定過程狀態控制電路 2042，設定迴路濾波器 204 中積分路徑的增益 α 為零、直饋路徑的增益 β 為一預設值 β_0 ，並且監控相位偵測器的輸出值(ε_1)。當迴路趨於穩定時，相位偵測器輸出(ε_1)會在兩個相鄰的數值間跳動，則此情況會致使鎖定過程狀態控制電路進入第二階段。

當進入第二階段時，鎖定過程狀態控制電路 2042 會偵測積分路徑輸出值，並且調整迴路濾波器 204 中積分路徑增益 α 以及直饋路徑的增益 β ，以加速鎖定過程並且減少

鎖定後的輸出雜訊。其中偵測機制如第三圖所示，積分路徑的輸出會透過峰值擷取電路 301 與谷值擷取電路 302，並將所得的數值平均，得到一平均值 Φ_{avg} 。透過一擷取信號 CK，擷取 Φ_{avg} 數值，當相鄰數次的 Φ_{avg} 差值小於或等於臨界值 λ_1 ，則會送出鎖定信號 303，在此同時，該電路 2042 會比較目前積分路徑輸出值 Φ 與峰值谷值的平均值 Φ_{avg} ，當兩者差異小於每一預定數值臨界值 λ_2 ，則會送出增益改變信號 304。系統會根據鎖定信號 303 以及增益改變信號 304，決定 α 、 β 以及判斷的臨界值 λ_1 、 λ_2 改變大小的時間。

第四圖所示的為切換直饋路徑增益 β 、積分路徑增益 α 和臨界值 λ_1 、臨界值 λ_2 的判斷邏輯狀態圖，該邏輯狀態圖起始於狀態 1，當第三圖所產生的鎖定信號以及增益改變信號滿足第四圖中的判斷，則進入狀態 3，致使直饋路徑 β 和積分路徑增益 α 就會切換，使增益變小，並同時改變判斷時所用的臨界值 λ_1 、臨界值 λ_2 。每次改變直饋路徑 β 以及積分路徑增益 α 後，系統會回到狀態 1，且重新偵測，若再度滿足上述判斷條件，則直饋路徑 β 和積分路徑增益 α 就會再度減少，並再改變判斷時所用的臨界值 λ_1 、臨界值 λ_2 ，此過程會持續到直饋路徑 β 和積分路徑增益 α 小於某一設定值 α_{min} 、 β_{min} 為止。

回授路徑上的回授相位積分電路 202，其主要結構為一個高速計數器 2021。對於計數器 2021 而言，可以分為同步計數器以及非同步計數器兩種，在同步計數器的設計中，每一個正反器(Flip-Flop)皆由同一時脈信號所控制，當

電路運作於高速時，每一個正反器皆會工作於同樣的速度，造成很大的功率消耗。此外，同步計數器的運作速度瓶頸在於進位信號(Carry)的傳遞，因此當計數器的長度提高時，電路不容易運作於高速。而非同步計數器中，其主要結構為一多級除二電路所串接而成，每一個正反器由上一級除二輸出所控制，因此隨著級數增加，較後面的正反器則工作於較低的頻率，因此消耗功率較低，並且沒有同步計數器中進位信號(Carry)的傳遞的問題，因此可以工作於很高的頻率。但在非同步計數器中，由於每一級除二電路並非由同一個時脈信號所驅動，因此每一級的輸出之間存在時間延遲，當串接的級數增多時，此延遲時間就會隨著增加，造成擷取數值時的困難。

高速計數器的電路結構如第六圖所示，其中主要由一非同步計數器 601 所構成。由於其為非同步計數器，故在擷取數值時，若直接利用參考信號(REF)對計數器 601 中每一個位元輸出 $d_1 \sim d_8$ 作取樣，即用同一取樣相位對計數器 601 中每一個位元輸出作取樣，則會因為每一個位元輸出之間的延遲，造成取出來的結果不正確。為了解決上述的問題，本例中使用了一組取樣相位產生器 602，用以產生每個位元對應的取樣相位 $s_1 \sim s_4$ ，利用這些取樣相位來對非同步計數器 601 取樣，得到正確的數值。其主要的運作原理如下：由於非同步計數器 601 每一個位元的狀態的改變，是由前一個位元上升邊緣所觸發(例如 d_2 狀態的改變是由於 d_1 上升邊緣所觸發)，因此某一個位元輸出值為正確的時間區間，是在決定取值的信號(在此例中為 REF)來

臨前，由最低位元引發的一連串狀態改變，導致其前一個位元輸出產生上升邊緣事件之後，直到下一次前一個位元輸出再次發生上升邊緣事件前，因此只要在這段時間內產生一取樣信號對此位元輸出取樣即可獲得正確的輸出。

第七圖為上述過程的兩個例子，其中決定取值的信號為 REF 信號，針對 d3 這個位元輸出，在這兩個例子中，d3 的正確數值分別為 0 和 1，而其值為正確的期間如圖七所標示，若要取得正確的 d3 輸出結果，則必須在此區間產生一取樣相位來對 d3 取樣。在此例中，透過一組取樣相位產生電路 602，由一連串的負緣觸發 D 型拴鎖器(D-latch)，偵測非同步計數器中位元輸出，產生其對應的取樣相位(s1~s4)來對非同步計數器 601 輸出(d1~d8)取樣。對於第一級除二電路輸出 d1 而言，決定取值的信號 REF 會先耦合至取樣相位產生器 602 之第一級負緣觸發 D 型拴鎖器的資料端，其時脈端為可控制振盪器的輸出 OUT，因此取樣相位 s1 上升緣會落在可控制振盪器輸出為低準位之後，產生一時間延遲，此延遲可以補償除二電路輸入到輸出之間之延遲。此外，取樣相位 s1 上升緣必定會落在決定取值的信號上升緣與下一次可控制振盪器的輸出上升緣之間。故此，可以透過取樣相位 s1 對 d1 取樣，可得到正確的輸出值。而在此例中，非同步計數器輸出 d4~d8 皆由 s4 取樣相位所取樣，係因為其延遲足以補償上升緣訊號從 d1 傳遞至 d4~d8 所造成的延遲。

透過上述技巧，除了可以使用非同步計數器 601 為基礎，達到高速以及低功率消耗的優點，並且取樣相位產生

器 602 可以隨著非同步計數器 601 的延遲特性，自動產生對應的取樣相位，擷取到正確的數值。其中，非同步計數器位元輸出以及取樣相位之間的關係如第八圖所示。

唯以上所述者，僅為本發明之範例實施態樣爾，當不能以之限定本發明所實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。

【圖式簡單說明】

圖一係為先前技藝之範例示意圖；

圖二係為本發明之一較佳實施例；

圖三係為用於本發明之偵測機制示意圖；

圖四係為用於本發明之判斷邏輯狀態示意圖；

圖五係為用於本發明之模擬結果示意圖；

圖六係為用於本發明之高速計數器之電路結構示意圖；

圖七係為決定取值信號與非同步計數器輸出值為正確的時間區間示意圖；以及

圖八係為非同步計數器輸出與取樣相位之時序示意圖。

【主要元件符號說明】

α 積分路徑增益

β 直饋路徑增益

λ_1 、 λ_2	臨界值
Φ	積分路徑輸出
Φ_{avg}	積分路徑峰值與谷值之平均值
d1~d8	非同步計數器位元輸出
s1~s4	取樣相位
f_{ref}	參考信號頻率
REF	參考信號
OUT	可控制振盪器輸出信號
120	相位頻率檢測器
150	振盪器
201	參考相位積分電路
202	回授相位積分電路
203	相位偵測器
204	迴路濾波器
205	可控制振盪器
301	峰值擷取電路
302	谷值擷取電路
303	鎖定信號
304	增益改變信號
601	計數器
602	取樣相位產生器
2011	累加器
2021	高速計數器
2031	相位誤差資訊量
2032	量化之相位誤差資訊量

201008127

2041 控制信號

2042 鎖定過程狀態控制電路

十、申請專利範圍：

1. 一種快速鎖定之數位式鎖相迴路頻率合成裝置，其中包含：

一自動動態調整迴路增益之迴路濾波器電路，用以產生一控制信號，並隨著鎖相迴路鎖相過程，自動調整迴路參數；

一可控制振盪器，耦合於該迴路濾波器電路，係根據該輸入之控制信號，產生相對應之振盪頻率；

一回授相位積分電路，耦合於前述之可控制振盪器，用以估計該回授路徑之相位資訊；

一參考相位積分電路，用以產生參考相位之資訊；以及

一相位偵測電路，耦合於該迴路濾波器電路、回授相位積分電路以及參考相位積分電路，用以比較回授路徑之相位資訊以及參考相位資訊間的誤差。

2. 如申請專利範圍第 1 項所述之鎖相迴路頻率合成裝置，其中自動動態調整迴路增益之迴路濾波器電路，係由以下裝置所構成：

一積分路徑電路，耦合於相位偵測電路輸出端，係由一第一可調倍率裝置以及一累加電路所構成；

一直饋路徑電路，耦合於相位偵測電路輸出端，係由一第二可調倍率裝置所構成；

一鎖定過程狀態控制電路，耦合於該積分路徑電路以及該相位偵測電路，藉由監視積分電路輸出資訊以及相位偵測電路輸出資訊，產生控制信號以控制該第一可調倍

率裝置以及該第二可調倍率裝置的增益值；以及一加總電路，耦合於該積分路徑電路及該直饋路徑電路，用以加總兩者之輸出，產生可控制該振盪器之控制信號。

3. 如同專利申請範圍第 1 項所述之鎖相迴路頻率合成裝置，其中該迴路鎖相過程分為一第一階段與一第二階段。
4. 如同專利申請範圍第 3 項所述之鎖相迴路頻率合成裝置，當迴路工作於該第一階段時，其工作步驟為：

鎖定過程狀態控制電路產生控制信號，致使該直饋路徑電路中的可調倍率裝置為一預設之倍率，該積分路徑電路中的可調倍率裝置之倍率為零；

當相位偵測電路輸出為某一數值範圍內時，該鎖定過程狀態控制電路即改變狀態，進入第二階段。

5. 如同專利申請範圍第 3 項所述之鎖相迴路頻率合成裝置，當迴路工作於第二階段時，其工作步驟為：

該鎖定過程狀態控制電路產生一控制信號，使直饋路徑電路中的可調倍率裝置為一預設之倍率 β_0 ，積分路徑電路中的可調倍率裝置之倍率為另一預設數值 α_0 ；

鎖定過程狀態控制電路會偵測積分電路之輸出 Φ ，並於每次發生極值時記錄本次及上次發生極值之數值之平均，得到一決策值 Φ_{avg} ；

當相鄰某一預定數值的決策值之間，其差異小於某設定之臨界值 λ_1 ，並且目前積分電路輸出 Φ 與本次決策值 Φ_{avg} 差異小於另一預設臨界值 λ_2 ，則鎖定過程狀態控制電路進入另一狀態，產生控制信號，使直饋路徑可調倍

率裝置與積分路徑可調倍率裝置之增益分別減少，並且改變決策值 λ_1 與 λ_2 ；

當迴路再度發生上述條件，則鎖定過程狀態控制電路再度產生控制信號，使直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益分別減少，並且改變決策值 λ_1 與 λ_2 ，直到直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益減少到某一預設值 ($\beta_{\min}, \alpha_{\min}$) 為止。

6. 如專利申請範圍第 3 項所述之鎖相迴路頻率合成裝置，其中之相位偵測電路在第二階段時，其輸出根據回授相位積分電路以及參考相位積分電路之間的差異之極性，輸出一二進制數值 ε_2 。
7. 如專利申請範圍第 1 項所述之鎖相迴路頻率合成裝置，其中，該回授相位積分電路架構為一 L 位元高速計數器電路。
8. 如專利申請範圍第 7 項所述之 L 位元高速計數器電路，係包括：
 - 一 L 位元非同步計數器，由 L 個除二電路裝置所組成串接而成，每級除二電路耦合於上一級除二電路輸出，每一級除二電路之位元輸出耦合至下一級除二電路之輸入，將每一位元之輸出集合起來，則產生一組計數器輸出，並耦合至資料擷取暫存器；
 - 一取樣相位產生器，用以產生對應於非同步計數器每一級除二除頻電路輸出之取樣相位；以及
 - 一 L 位元資料擷取暫存器，耦合於該非同步計數器及取樣相位產生器，根據取樣相位產生器所提供之取樣相

位，分別對非同步計數器中之每一級位元輸出取樣，產生一組取樣結果。

9. 如專利申請範圍第 8 項所述的 L 位元高速計數器電路中的取樣相位產生器，係由 N 個 D 型拴鎖器所組成，其中第 k 位元的 D 型拴鎖器之資料端耦合於 (k-1) 位元之 D 型拴鎖器輸出端，第 k 位元的 D 型拴鎖器其反相時脈端則耦合於 (k-1) 位元之非同步計數器輸出，而第 k 位元的 D 型拴鎖器其輸出端耦合至第 (k+1) 位元之 D 型拴鎖器其資料端與第 k 位元之資料擷取暫存器的時脈端。
10. 如專利申請範圍第 9 項所述的 L 位元高速計數器電路中的取樣相位產生器，其中第 N 位元的 D 型拴鎖器輸出端，耦合至資料擷取暫存器中高於 L-N 位元之暫存器的時脈端。
11. 一種數位式鎖相迴路之快速鎖定方法，係包含以下之步驟：

當電路開始鎖定时，致使該直饋路徑電路中的可調倍率裝置為一預設之倍率，該積分路徑電路中之倍率為零；

當相位偵測電路輸出為某一數值範圍內時，該鎖定過程狀態控制電路即改變狀態，進入第二階段；

在第二階段時，致使該直饋路徑電路中的可調倍率裝置為一預設之倍率 β_0 ，該積分路徑電路中的可調倍率裝置之倍率為另一預設數值 α_0 ；

透過偵測該積分電路之輸出 Φ ，並於每次發生極值時記錄本次及上次發生極值之數值之平均，得到一決策值 Φ_{avg} ；

當相距某一預定數值的決策值 Φ_{avg} 之間，其差異小於某設定之臨界值 λ_1 ，且積分電路輸出 Φ 與本次決策值 Φ_{avg} 差異小於另一預設臨界值 λ_2 ，則鎖定過程狀態控制電路進入另一狀態，致使直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益分別減少，並且改變決策值 λ_1 與 λ_2 ；當迴路再度發生上述條件，則致使直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益減少，並且改變決策值 λ_1 與 λ_2 ，直到直饋路徑可調倍率裝置與積分路徑可調倍率裝置之增益減少到某一預設值 $(\beta_{min}, \alpha_{min})$ 為止。

12. 一種鎖定狀態偵測電路，耦合於一積分路徑之輸出，其係由以下裝置所構成：

一峰值檢測電路，耦合於該積分路徑之輸出，用以紀錄該積分路徑輸出之峰值；

一谷值檢測電路，耦合於該積分路徑之輸出，用以紀錄積分路徑輸出之谷值；

一平均電路，耦合於該峰值檢測電路以及該谷值檢測電路之輸出，用以將該峰值檢測電路以及該谷值檢測電路之輸出做平均，得到一平均值；

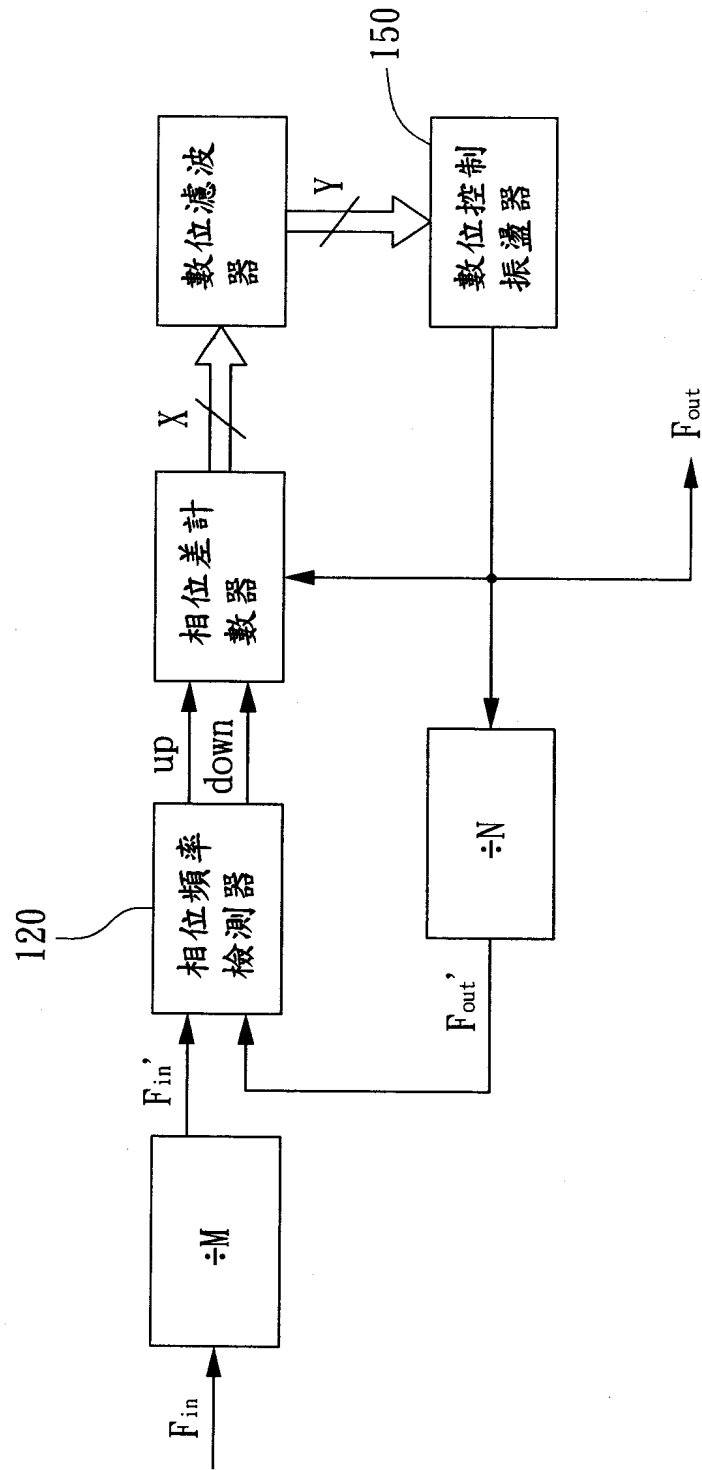
一差分電路，耦合於該平均電路，係用以比較相鄰某一時間，該平均電路輸出值之差異；

一積分路徑值比較電路，耦合於該平均電路以及該積分路徑輸出，用以比較當前積分路徑輸出值與平均電路輸出值之間之差異，當此差異值之絕對值小於一設定之第一閾值，則送出一第一決策信號；以及

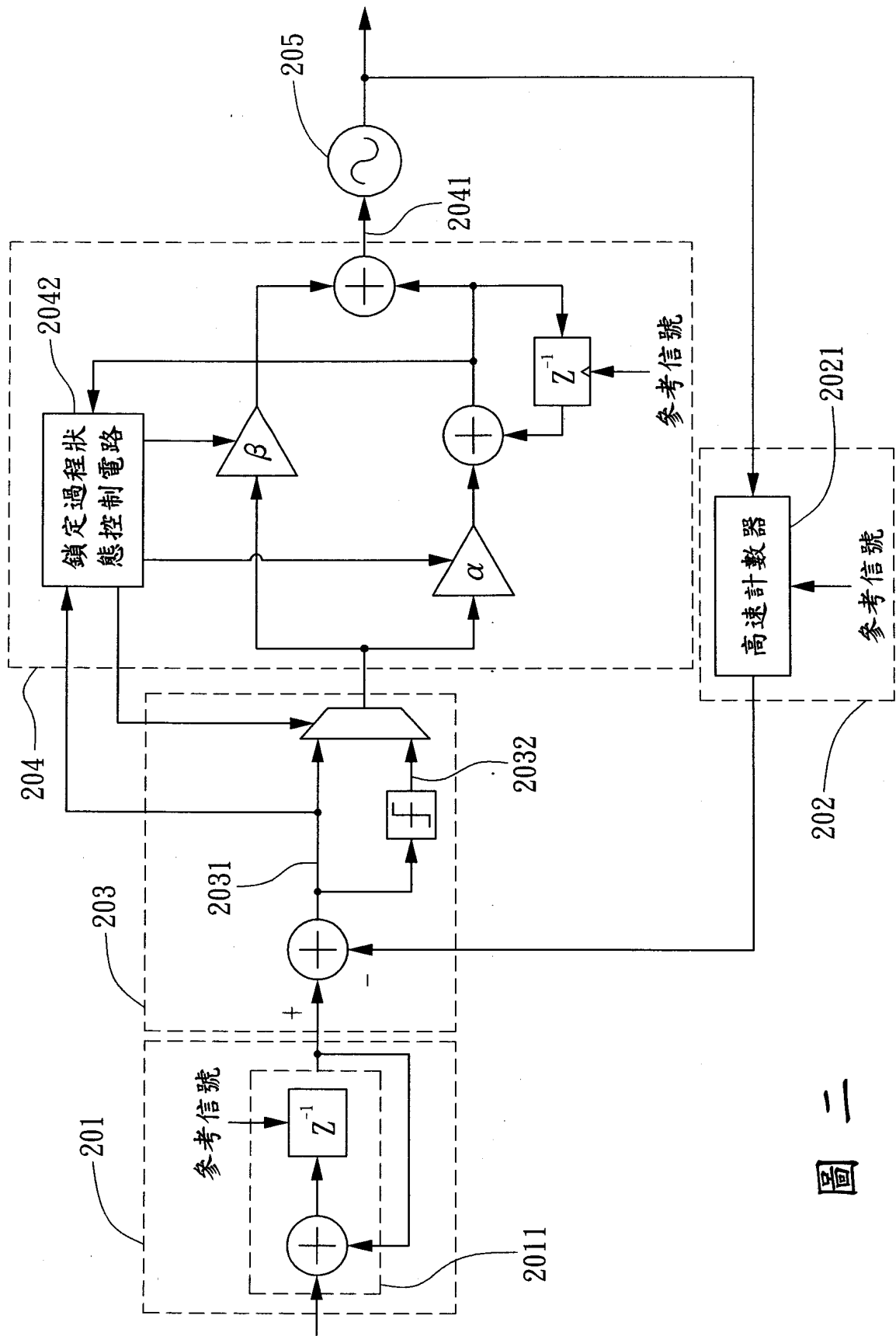
一平均值比較電路，係耦合於該差分電路，用以比較差

分電路的輸出之絕對值，當其絕對值小於一設定之第二閾值，則送出一第二決策信號。

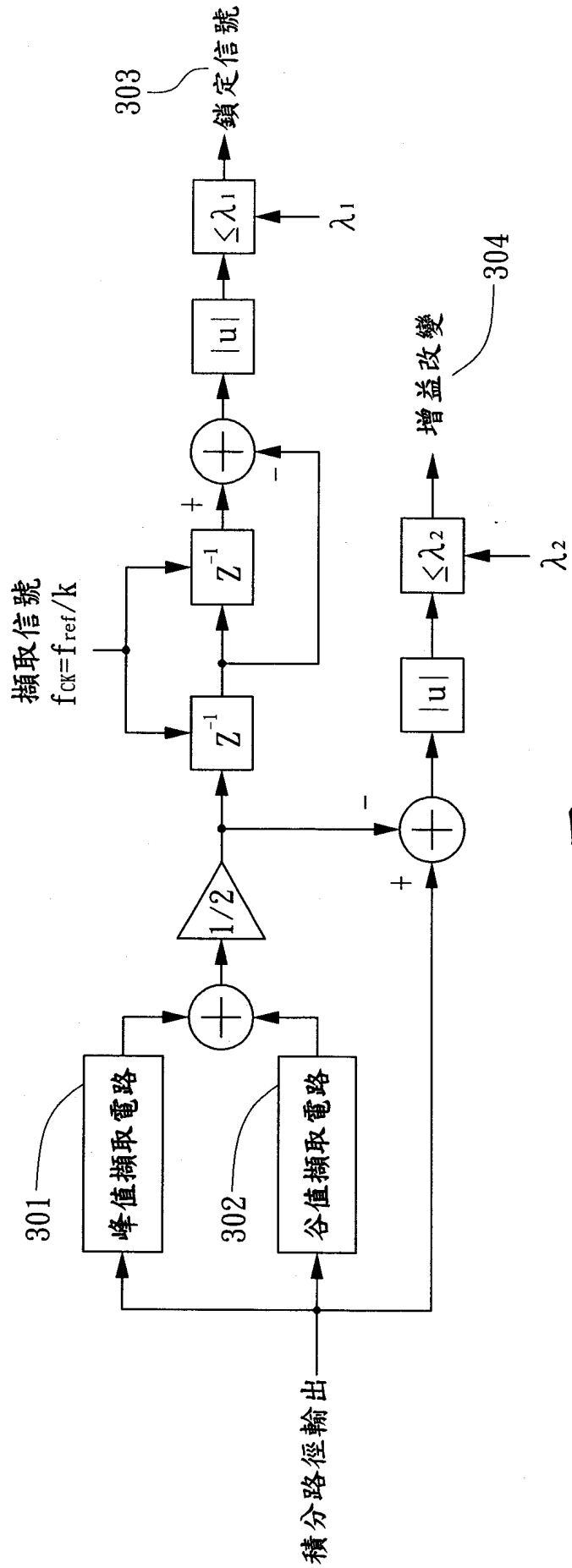
十一、圖式：



圖一



圖二



圖三

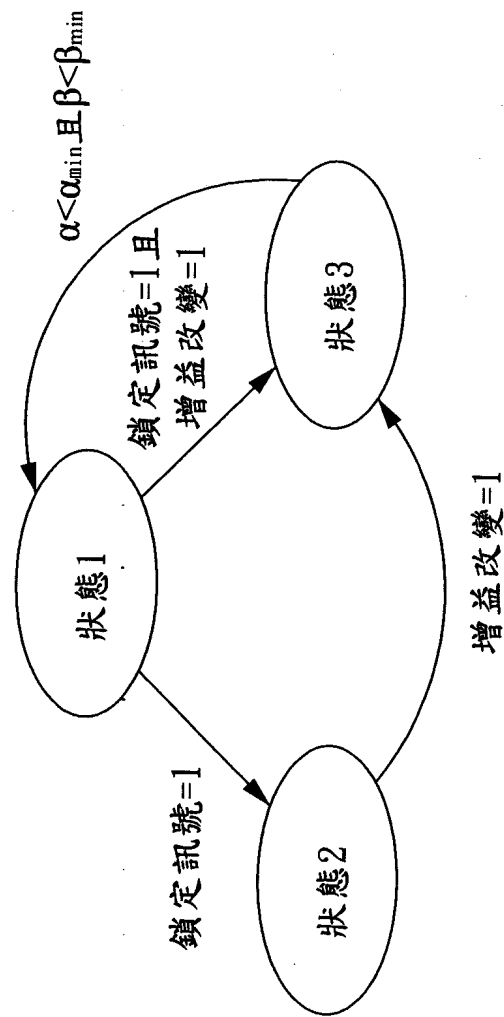
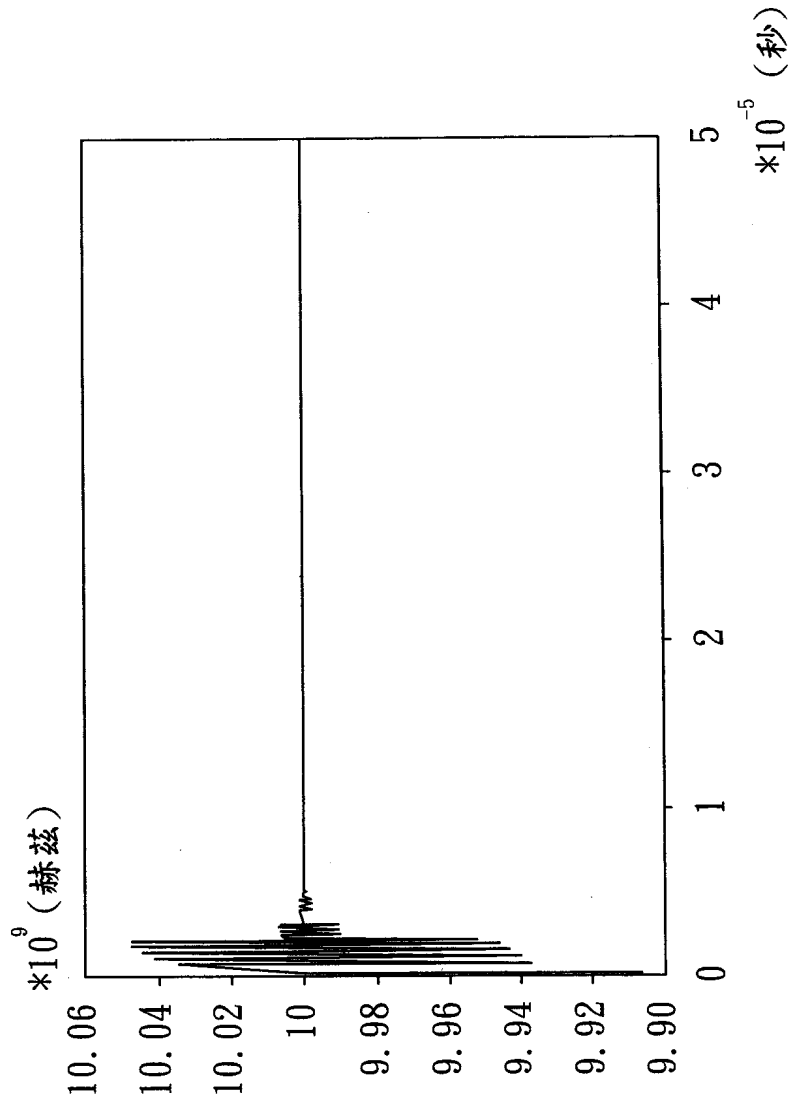
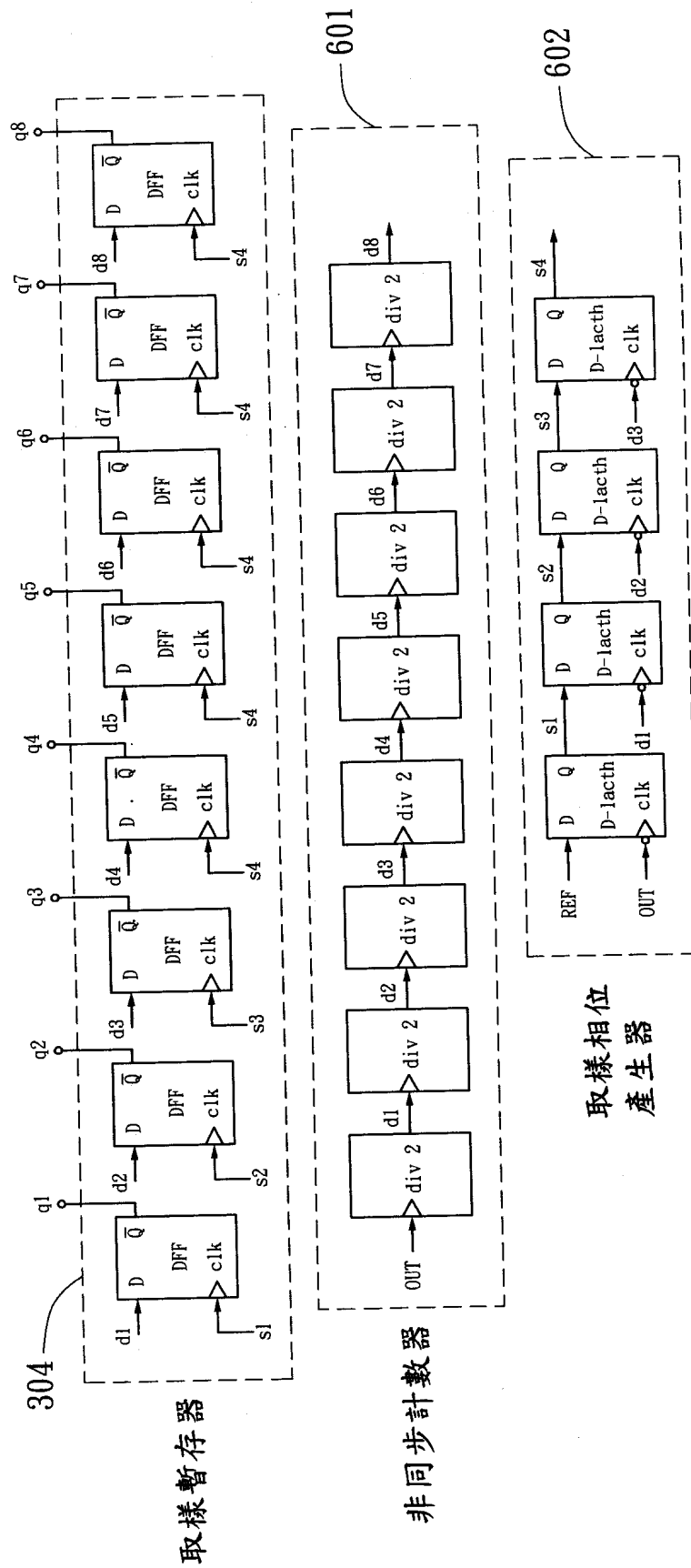


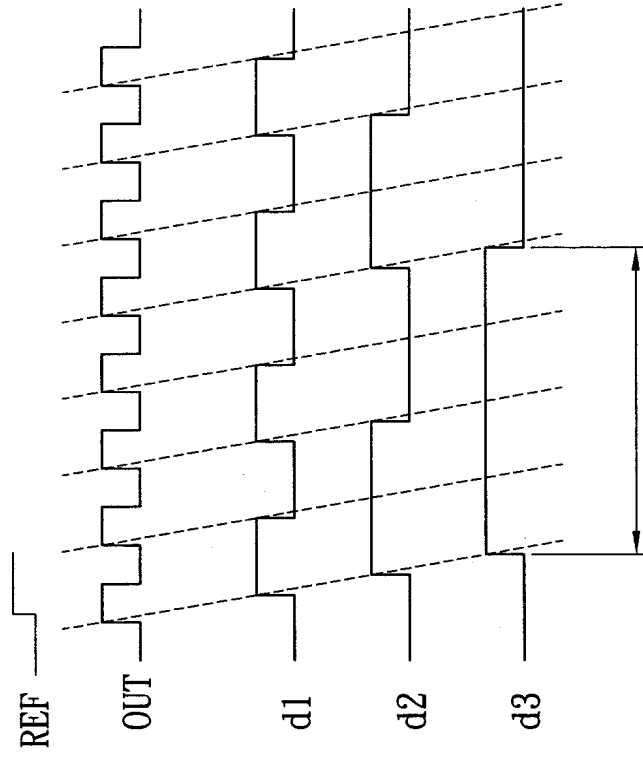
圖 四



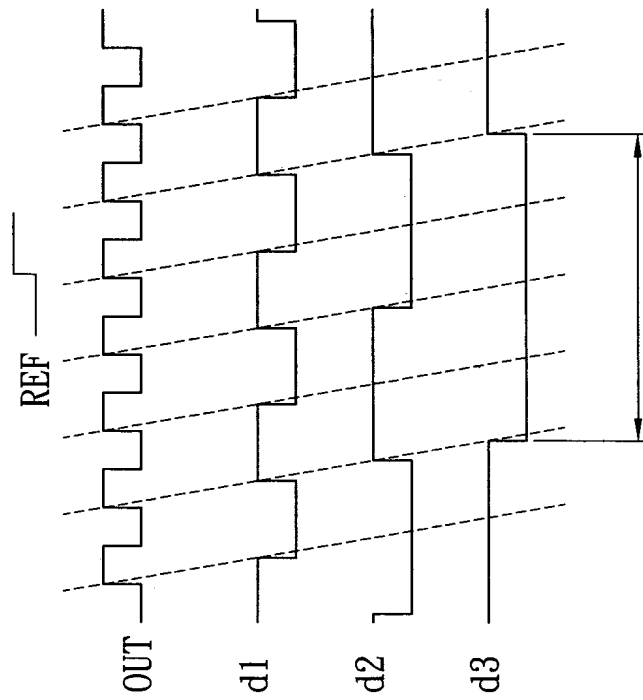
圖五



圖六

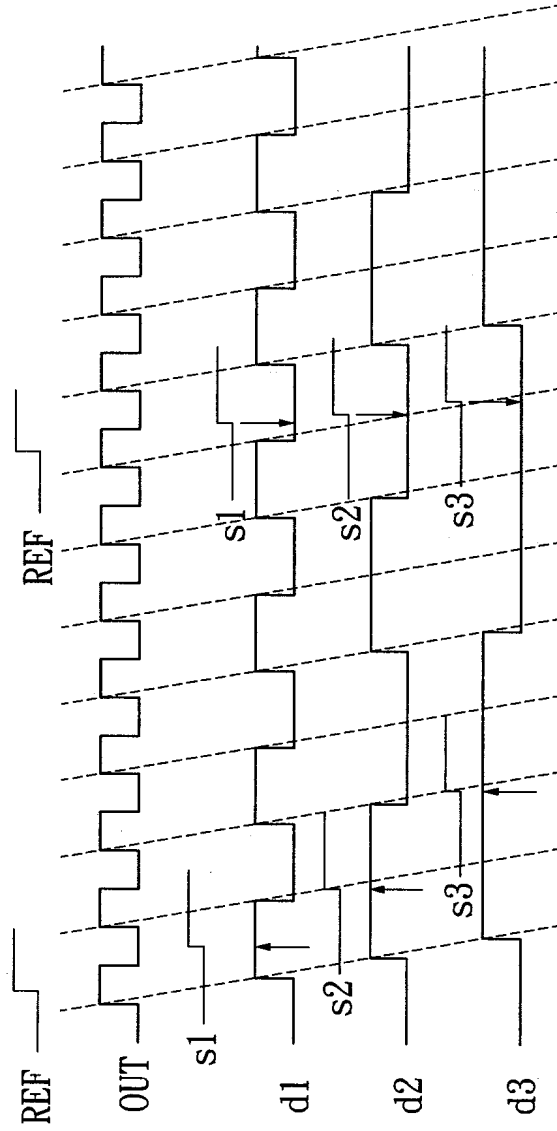


d₃輸出值為正確的時間區間



d₃輸出值為正確的時間區間

圖 七



圖八