

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**97127455**

※申請日期：**97. 7. 18**

※IPC 分類：**H03K 5/4 (2006.01)**
H03L 7/08 (2006.01)

一、發明名稱：(中文/英文)

數位延遲線與其應用

DIGITAL DELAY LINE AND APPLICATION THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文) 吳重雨/WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

300 新竹市大學路 1001 號/No. 1001 Dasyue Road, Hsinchu, Taiwan,
R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓 名：(中文/英文)

李鎮宜/LEE, CHEN-YI

游瑞元/YU, JUI-YUAN

陳俊廷/CHEN, JUINN-TING

國 籍：(中文/英文)(皆同) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種數位延遲線，以數個滯後基礎的遲滯單元串聯組成，滯後基礎的遲滯單元可以相同或相異，且具有一反相器模式與一遲滯模式。遲滯單元的一延遲時間與一解析度則可由反相器模式與該遲滯模式之時間差來構成。當應用於數位鎖相迴路中時，可有效減少佔用面積與功率消耗。

六、英文發明摘要：

A digital delay line includes a plurality of hysteresis-based delay cells electrically connected in series. These hysteresis-based delay cells may be similar or different. All of the hysteresis-based delay cells respectively have an inverter mode and a hysteresis mode. The delay and resolution of the hysteresis-based delay cell may be derived from the time difference between the inverter mode and hysteresis mode. Such a digital delay line applied to a digital phase locked loop may reduce consumption of area and power.

七、指定代表圖：

(一)、本案代表圖為：第 3B 圖

(二)、本案代表圖之元件代表符號簡單說明：

MP、MN	電晶體
107	遲滯單元
109	第一階延遲區塊
110	第二階延遲區塊
111	緩衝遲滯鏈

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種延遲線與其應用，特別是一種滯後基礎之遲滯單元所構成的延遲線與其於數位鎖相迴路的應用。

【先前技術】

在專用積體電路(application specific integrated circuit, ASIC)的設計上，棘手的問題通常是涉及符合系統進出時序(I/O timing)的要求。依電壓、溫度與程序系統的情況而定，積體電路的延遲(delays)會有 200 至 400%的變化。如果能夠控制延遲，則系統能夠根據發揮其半導體組件的最佳效能而設計。為了在 ASICs 之間提供安全的數據傳輸，在使用 ASICs 的系統中，減少晶片內部時脈分配延遲(on-chip clock distribution delay)與整個系統時脈是很重要的。ASIC 鎖相迴路(phase locked loops, PLLs)常用來消除晶片上時脈分配延遲，鎖相迴路可藉由增加可調延遲(adjustable delay)來消除時脈緩衝器(clock buffering)中的延遲。所謂的可調延遲，可以相對於一輸入時脈準確地延遲一輸出信號一個週期。

一般而言，鎖相迴路有兩種原始的類型：類比鎖相迴路(analog PLLs, APLLs)與數位鎖相迴路(digital PLLs, DPLLs)。類比鎖相迴路使用一組延遲鏈(delay chain)以調整延遲，延遲鏈中的每個元件藉由一相位檢測器(phase detector)供應類比偏壓電壓而具有不同的延遲。數位鎖相迴路則不調整任何閘的延遲，而是藉由調整一延遲線(delay line)中延遲步驟的個數來改變延遲，延遲線則由一堆的反相器(inverter)所構成。相較於類比鎖相迴路，數位鎖相迴路具有較大的相抖動(phase jitter)。在數位鎖相迴路應用中，相抖動相當於數位延遲線(digital delay line)的步幅大小(step size)，數位延遲線的步幅愈小，則有效的相抖動就能減少，進而造成較準確的鎖相能力。

【發明內容】

本發明提供一種延遲線與其於數位電路上的應用，以遲滯基礎的遲滯單元組成延遲線，以減少延遲線的面積及消耗的功率。

再者，本發明提供一種延遲線與其於數位鎖相迴路的應用，以不同的遲滯基礎的遲滯單元組成延遲線，以增加數位型鎖相迴路設計上的彈性。

根據上述，本發明提供一種延遲線，由複數個遲滯單位串聯組成。每一遲滯單位包含一遲滯單元，可比較一第一輸入電壓與一第一臨限電壓以決定一第一輸出固定電壓，以及比較一第二輸入電壓與一第二臨限電壓以決定一第二輸出固定電壓，且第一輸出固定電壓不同於第二輸出固定電壓。上述之每一遲滯單位包含一反相器模式與一遲滯模式以構成其延遲時間與解析度。上述的延遲線可應用於數位鎖相迴路電路、數位振盪器與數位延遲迴路電路等應用。

以下藉由具體實施例配合所附的圖式詳加說明，應當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

以下將以不同的例子說明以遲滯基礎的遲滯單元(hysteresis-based delay cell, HDC)作為延遲線的基本單位，如此的延遲線可應用於數位控制振盪器(digitally-controlled oscillator, DCO)、全數位鎖相迴路(all-digital phase-locked loops, ADPLL)、全數位鎖遲迴路(all-digital delay-locked loops, ADDLL)、全數位多相時脈產生器(all-digital multi-phase clock generator, ADMCG)及以數位鎖相迴路為基礎的應用等等，但本發明不限於上述之應用。其次，本發明之精神係使用產生遲滯結果的電路作為本發明之以遲滯基礎的遲滯單元，以下例子中所使用的元件僅用以說明本發明之以遲滯基礎的遲滯單元，並非用以限制本發明僅可以此些元件及連接方式來達到。

參照第 1 圖，本發明不同的例子中，所謂的以遲滯基礎的遲滯單元，係指一電路原本並非輸出一高階電壓，當上述電路之第一輸入電壓到達一第一臨限電壓時，其輸出電壓(第一輸出固定電壓)會瞬間由一低階固定電壓反轉成一高階固定電壓。接著，當上述電路之第二輸入電壓減少至一第二臨限電壓時，其輸出電壓(第二輸出固定電壓)會瞬間由高階固定電壓反轉成低階固定電壓。第一臨限電壓及第二臨限電壓之間的電壓差值(一般不為零)即所謂的滯後寬度(hysteresis width)，設定滯後寬度使得輸出電壓不會因雜訊元件重疊至輸入電壓而振動(vibrate)。以涵蓋特定範圍定義，可將遲滯基礎的遲滯單元(後簡稱 HDC)進一步定義為極大型 HDC(very-large-scale HDC, VLHDC)、較大型 HDC(large-scale HDC, LHDC)、中型 HDC(medium-scale HDC, MHDC)與小型 HDC(small-scale HDC, SHDC)。本發明之延遲線的基本單位即可組合不同數量或類型之上述不同定義的 HDC。

第 2 圖所示為本發明之一 HDC 例子應用於 PLL 10 之一方塊示意圖。如圖所示，PLL 10 包含一時脈參考源 101、相位頻率偵測器 102(phase frequency detector, PFD)、一除頻器 103(divider)、一控制器 104(controller)及一數位控制延遲線 105。時脈參考源 101 提供相位頻率偵測器 102 一準確之系統時脈(system clock)。相位頻率偵測器 102 則偵測時脈產生器 101 與除頻器 103 所處理過的回饋時脈後將結果傳送給控制器 104。控制器 104 根據相位頻率偵測器 102 所傳送的結果產生一控制信號給數位控制延遲線 105。數位控制延遲線 105 由多個基本遲滯單位 106 所構成。於一實施例中，任一遲滯單位 106 包含一路徑選擇器 108(path selector)與一遲滯單元 107，但本發明不限於此。

第 3A 圖所示為根據本發明之一遲滯單元 107 實施例的電路圖。如第 3A 圖所示，遲滯單元 107 為一 LHDC，其包含一反相傳輸鏈(inverter chain)內串疊(cascade)一頭單元 MP1(header cell)與一尾

單元 MN1 (footer cell)，其中內電壓 (internal voltage) V_n 與 V_p 以式(1)表示：

$$\begin{cases} V_n|_{MP1=ON} = \frac{V_{in}}{R_n+1} + \frac{R_n V_{SS} + V_{t,n}(R_n-1)}{R_n+1} \\ V_p|_{MN1=ON} = \frac{V_{in}}{R_p+1} + \frac{R_p V_{DD} - |V_{t,p}|(R_p-1)}{R_p+1} \end{cases} \quad (1)$$

其中以 NMOS 與 PMOS 的互導 (transconductance) k_n 與 k_p 表示 $R_n = (k_{n1}/k_{n2})^{1/2}$ 且 $R_p = (k_{p1}/k_{p2})^{1/2}$ 。MOS 臨限 (MOS threshold) 以 V_t 表示，當電晶體 MP1 在 "ON" 的時候操作時，節點 V_p 等同於 VDD。結果，LHDC 的內延遲鏈 (internal delay chain) 可等同視為具有供應電壓 $VDD' = VDD - V_n|_{MP1=ON}$ 或 $VDD' = V_p - V_{SS}|_{MN1=ON}$ 的電壓調整 (voltage scaling)。因此，在內延遲鏈中的反相傳輸延遲 (inverter propagation delay) (t_p) 可以一次逼近的方式以式(2)表示：

$$t_p \approx \sum_{s=0}^{S-1} \frac{C_L}{2VDD'} \left(\frac{1}{k_{p,s}} + \frac{1}{k_{n,s}} \right) \quad (2)$$

其中 C_L 為每一反相輸出節點中顯示的輸出負載， $k_{n,s}$ 與 $k_{p,s}$ 表示第 S 個反相器中的互導 (transconductance)，而 S 表示在 LHDC 中反相器的個數。由於遲滯的性質，當輸入信號以緩慢響應時間轉換 (rise-or fall-time transition) 時，LHDC 不會造成大量的短路電流回灌 (short current sink)。

第 3B 圖所示為根據本發明之另一遲滯單元 107 實施例的電路圖。如第 3B 圖所示，遲滯單元 107 為一 VLHDC，其為一種巢狀串疊的 LHDC，此時延遲係決定於頭單元與尾單元個數。以下說明 VLHDC 的靜態行為。假設輸入電壓 V_{in} 由低電位轉換至一高電位，然後輸入電壓傳輸至第一階延遲區塊 109 (level-1 delay block)，如此亦開啟 (turn on) 電晶體 MN2 並使電晶體 MP2 開路。當輸入電壓傳輸至第二階延遲區塊 110 時，電晶體 MN3 亦被開啟。在經過可選擇的緩衝延遲鏈 111 (buffer delay chain) 後，最後一階延遲區塊的輸出信號可直接致能 (enable) 電晶體 MN1 或開啟電晶體 MN1。上述能控

制輸入改變的傳輸延遲，而在電晶體 MN2 與 MN3 開啟前 V_{n1} 與 V_{n2} 被此兩個電晶體隔離，此意味在每一個巢狀結構中傳輸延遲 (propagation delay) 是平衡的，只要臨限電壓足夠小，則每一階區塊中的信號傳輸便可在最低的 VDD' ($VDD' = VDD - V_{n1}$ or $VDD - V_{n2}$) 下操作。

對於與一傳統延遲線的相同製造過程中，LHDC 與 VLHDC 產生的延遲為最小尺寸反相器的數百倍，其可增加輸出的響應時間，且同時避免下一階段中大量的短路電流回灌以保持低功率的目的。另一方面，根據本發明精神，可利用 MHDC 與 SHDC 的組成來達到製作微調遲滯單元 (fine tuning delay cell) 的目的，其可產生的遲滯為最小尺寸反相器的 1 至 10 倍。

MHDC 與 SHDC 的設計基本可參照第 3A 與第 3B 圖所示，為根據本發明之另一遲滯單元 107 實施例的電路圖。如第 3A 圖所示，遲滯單元 107 為一 MHDC，在第 3B 圖中，遲滯單元 107 則為一 SHDC。當兩電晶體 $M_{P,SWITCH}$ 與 $M_{N,SWITCH}$ 皆處於關閉 (turn-off) 狀態時 (遲滯模式)，MHDC 與 SHDC 退化成一般傳統的遲滯單元。當 $M_{P,SWITCH}$ 與 $M_{N,SWITCH}$ 被開啟時，一直接充電或放電路徑存在於輸出節點上，因而造成一正常反相器的行為 (反相器模式)。當開關電晶體關閉時，MHDC 與 SHDC 表現相似的延遲傳輸。當電路轉成遲滯模式時，可利用式(1)與式(2)分析 MHDC 的內節點電位與傳輸。再者，第 4B 圖中的 SHDC 的 V_n 與 V_p 可利用式(3)表示

$$\begin{cases} V_n = V_{DD} - V_{t,n} - R_n(V_{in} - V_{t,n}) \\ V_p = R_p(V_{DD} + V_{t,p} - V_{in}) - V_{t,p} \end{cases} \quad (3)$$

其中 $V_{t,n}$ 與 $V_{t,p}$ 分別為 NMOS 與 PMOS 的臨限電壓。因此，利用遲滯模式與反相器模式兩者所造成的遲滯差異，則可以提供不同的遲滯組合。根據上述，SHDC 所提供的有效傳輸遲滯小於 MHDC，但兩者皆可提供相當小的遲滯值。

根據上述，本發明精神係提供滯後基礎的裝置作為遲滯單元，如此的滯後基礎的裝置所組成的延遲線或數位鎖相迴路可應用的範圍廣大，包含無線或有線通訊產品、多媒體播放或儲存媒體等，在面積與功率的消耗上皆可獲得改善。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖為本發明應用的輸出入電壓關係示意圖。

第 2 圖所示為本發明之一 HDC 例子應用於 PLL 之一方塊示意圖。

第 3A 圖所示為根據本發明之一延遲單元實施例的電路圖。

第 3B 圖所示為根據本發明之一延遲單元實施例的電路圖。

第 4A 圖所示為根據本發明之一延遲單元實施例的電路圖。

第 4B 圖所示為根據本發明之一延遲單元實施例的電路圖。

【主要元件符號說明】

10	鎖相迴路
101	時脈參考源
102	相位頻率偵測器
103	除頻器
104	控制器
105	數位控制延遲線
106	遲滯單位
107	遲滯單元
108	路徑選擇器
109	第一階延遲區塊
110	第二階延遲區塊
111	緩衝延遲鏈

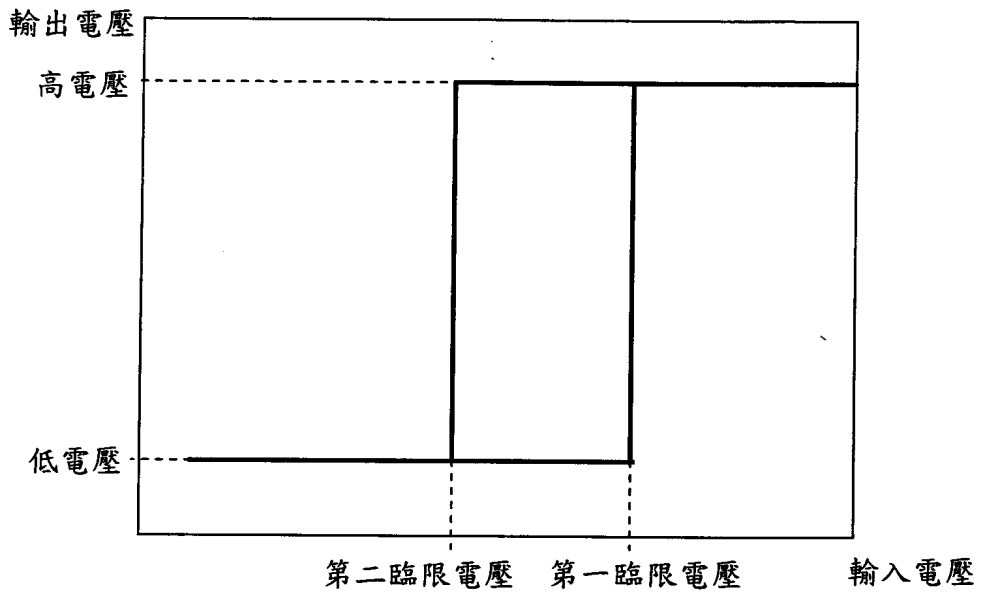
十、申請專利範圍：

1. 一種延遲線，由複數個遲滯單位串聯組成，每一該遲滯單位包含一遲滯單元，其特徵在於：每一該遲滯單元比較一第一輸入電壓與一第一臨限電壓以決定一第一輸出固定電壓，以及比較一第二輸入電壓與一第二臨限電壓以決定一第二輸出固定電壓，其中該第一臨限電壓不同於該第二臨限電壓，且該第一輸出固定電壓不同於該第二輸出固定電壓。
2. 如請求項 1 所述之延遲線，其中該些遲滯單元相同。
3. 如請求項 2 所述之延遲線，其中任一該遲滯單元具有一反相器模式與一遲滯模式。
4. 如請求項 3 所述之延遲線，其中任一該遲滯單元的一延遲時間與一解析度可由該反相器模式與該遲滯模式之時間差來構成。
5. 如請求項 1 所述之延遲線，其中該些遲滯單元相異。
6. 如請求項 5 所述之延遲線，其中任一該遲滯單元具有一反相器模式與一遲滯模式。
7. 如請求項 6 所述之延遲線，其中任一該遲滯單元的一延遲時間與一解析度可由該反相器模式與該遲滯模式之時間差來構成。
8. 如請求項 1 所述之延遲線，更包含一緩衝延遲鏈與該些遲滯單元之一電性連接並向外連接。
9. 一種數位鎖相迴路電路，包含一時脈產生器、一相位頻率偵測器、一除頻器、一控制器與一數位控制延遲線彼此電性連接，其特徵在於該數位控制延遲線包含複數個滯後基礎的裝置彼此串聯，其中每一該滯後基礎的裝置用以比較一第一輸入電壓與一第一臨限電壓以決定一第一輸出固定電壓，以及比較一第二輸入電壓與一第二臨限電壓以決定一第二輸出固定電壓，該第一臨限電壓不同於該第二臨限電壓時，且該第一輸出固定電壓不同於該第二輸出固定電壓。

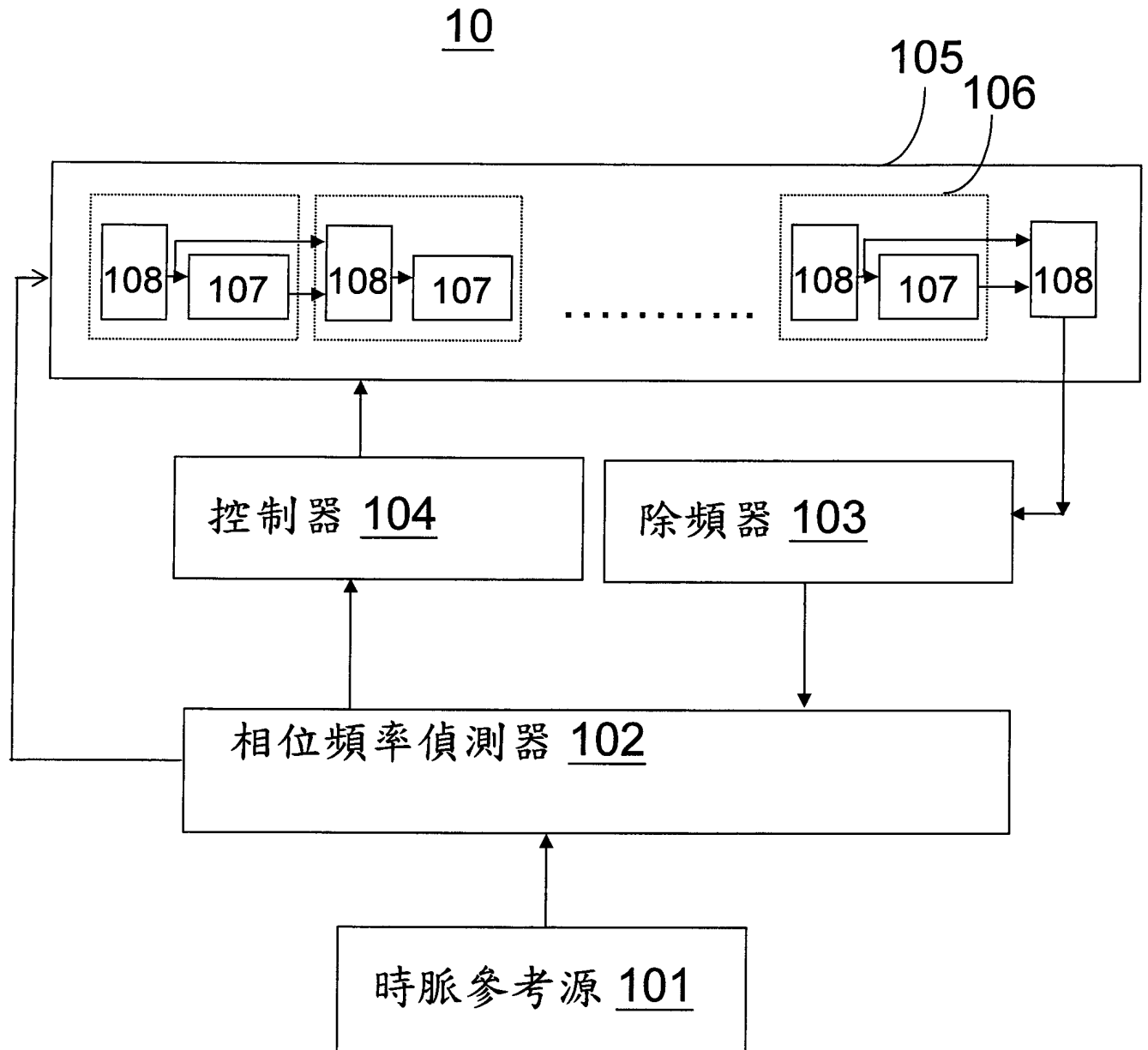
10. 如請求項 9 所述之數位鎖相迴路電路，其中任一該滯後基礎的裝置包含一路徑選擇器與一遲滯單元彼此電性連接，該路徑選擇器接收該相位頻率偵測器的一輸出，且該輸出來自該數位控制延遲線經過該除頻器後的一回饋訊號。
11. 如請求項 9 所述之數位鎖相迴路電路，其中該些遲滯單元相同。
12. 如請求項 9 所述之數位鎖相迴路電路，其中該些遲滯單元相異。
13. 一種數位振盪器，包含一延遲線，其特徵在於該延遲線由複數個遲滯單位串聯組成，每一該遲滯單位包含一遲滯單元，每一該遲滯單元比較一第一輸入電壓與一第一臨限電壓以決定一第一輸出固定電壓，以及比較一第二輸入電壓與一第二臨限電壓以決定一第二輸出固定電壓，其中該第一臨限電壓不同於該第二臨限電壓時，且該第一輸出固定電壓不同於該第二輸出固定電壓。
14. 如請求項 13 所述之數位振盪器，其中該些遲滯單元相同。
15. 如請求項 14 所述之數位振盪器，其中任一該遲滯單元具有一反相器模式與一遲滯模式。
16. 如請求項 15 所述之數位振盪器，其中任一該遲滯單元的一延遲時間與一解析度可由該反相器模式與該遲滯模式之時間差來構成。
17. 如請求項 13 所述之數位振盪器，其中該些遲滯單元相異。
18. 如請求項 17 所述之所述之數位振盪器，其中任一該遲滯單元具有一反相器模式與一遲滯模式。
19. 如請求項 18 所述之所述之數位振盪器，其中任一該遲滯單元的一延遲時間與一解析度可由該反相器模式與該遲滯模式之時間差來構成。
20. 一種數位延遲迴路電路，包含一時脈產生器、一相位頻率偵測器、一控制器與一數位控制延遲線彼此電性連接，其特徵在於：該數位控制延遲線包含複數個滯後基礎的裝置彼此串聯，其中每一該滯後基礎的裝置用

以比較一第一輸入電壓與一第一臨限電壓以決定一第一輸出固定電壓，以及比較一第二輸入電壓與一第二臨限電壓以決定一第二輸出固定電壓，該第一臨限電壓不同於該第二臨限電壓，且該第一輸出固定電壓不同於該第二輸出固定電壓。

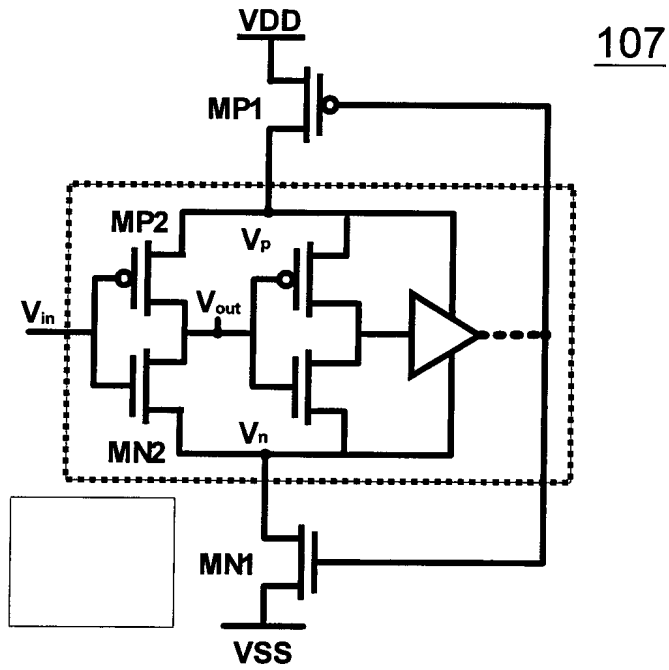
21. 如請求項20所述之數位延遲迴路電路，其中任一該滯後基礎的裝置包含一路徑選擇器與一遲滯單元彼此電性連接，該路徑選擇器接收該相位頻率偵測器的一輸出，且該輸出來自該數位控制延遲線的一回饋訊號。
22. 如請求項20所述之數位延遲迴路電路，其中該些遲滯單元相同。
23. 如請求項 22 所述之數位延遲迴路電路，其中任一該遲滯單元具有一反相器模式與一遲滯模式。
24. 如請求項23所述之數位延遲迴路電路，其中任一該遲滯單元的一延遲時間與一解析度可由該反相器模式與該遲滯模式之時間差來構成。
25. 如請求項24所述之數位延遲迴路電路，其中該些遲滯單元相異。
26. 如請求項 25 所述之數位延遲迴路電路，其中任一該遲滯單元具有一反相器模式與一遲滯模式。
27. 如請求項26所述之數位延遲迴路電路，其中任一該遲滯單元的一延遲時間與一解析度可由該反相器模式與該遲滯模式之時間差來構成。



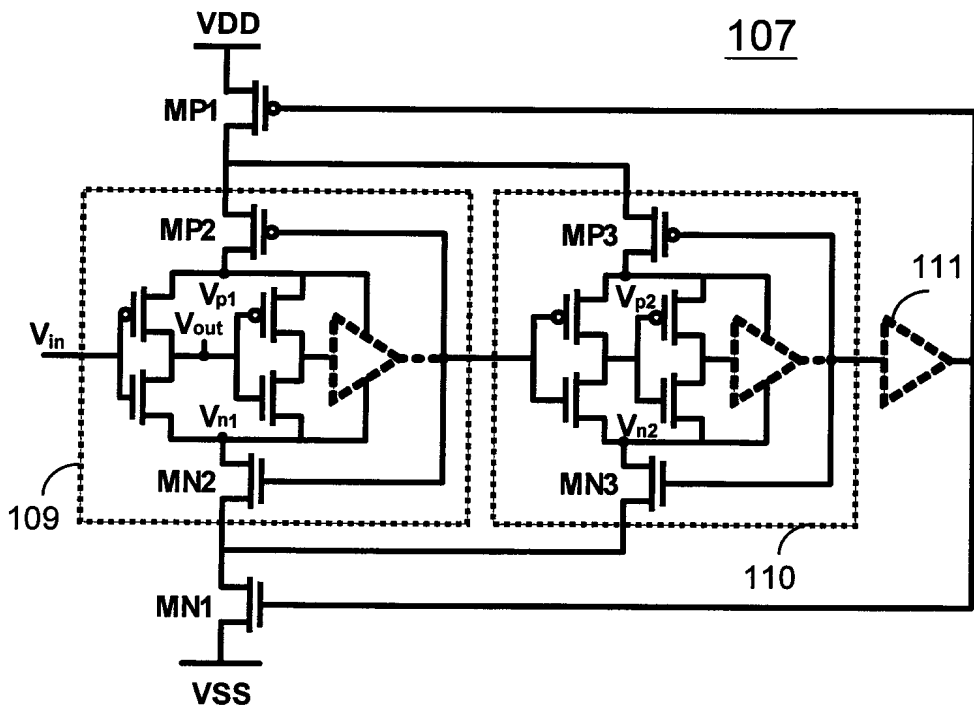
第1圖



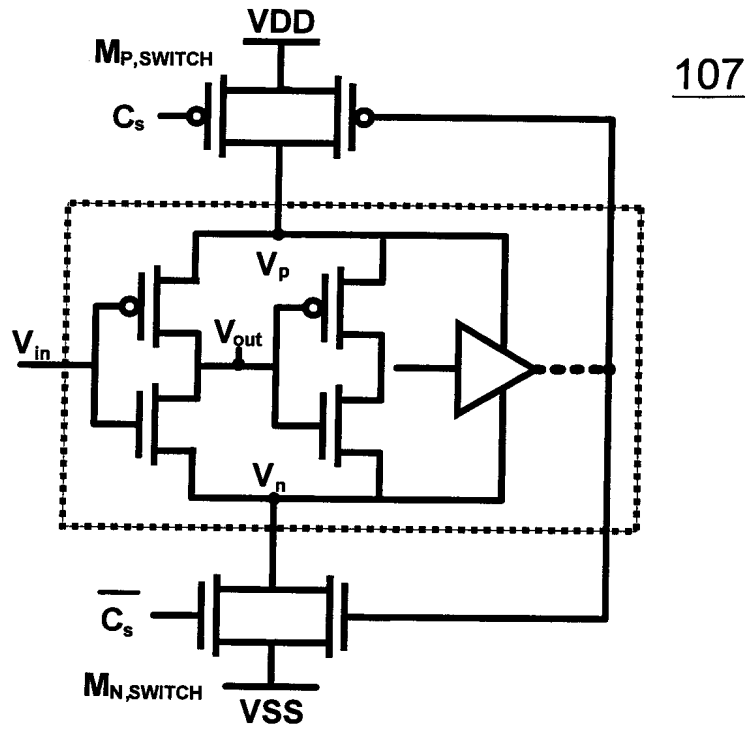
第2圖



第3A圖

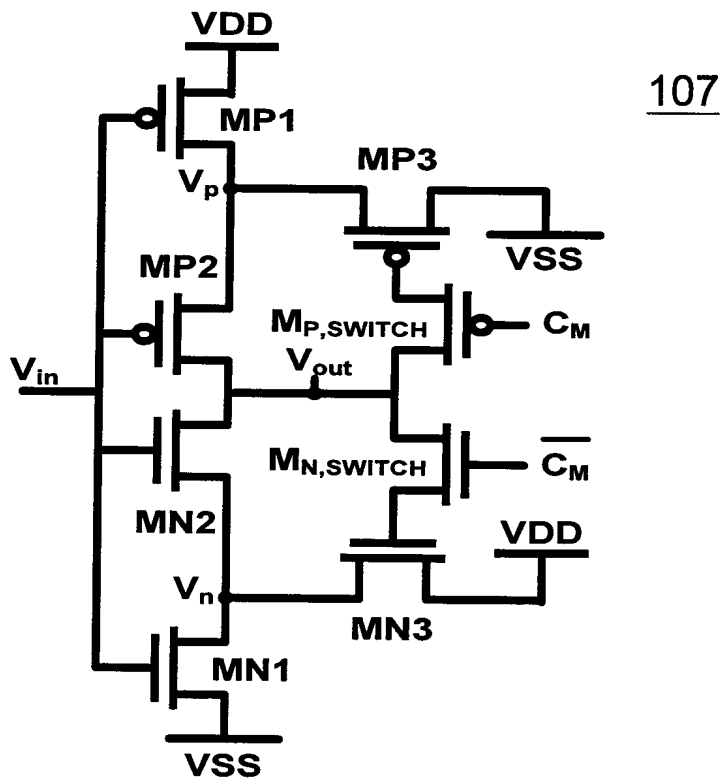


第3B圖



107

第4A圖



107

第4B圖