

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 971>7581

※ 申請日期： 97.07.21 ※IPC 分類： H03K5/06 (2006.01)

## 一、發明名稱：(中文/英文)

絕對延遲時間產生裝置

ABSOLUTE DELAY GENERATING DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文) 吳重雨 / WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 University Road, Hsinchu, Taiwan 300, R.O.C.

國 籍：(中文/英文) 中華民國/R.O.C.

## 三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 李鎮宜 / LEE, CHEN-YI

2. 游瑞元 / YU, JUI-YUAN

3. 余建螢 / YU, CHIEN-YING

4. 陳俊廷 / CHEN, CHUN-TING

國 籍：(中文/英文) 1. 至 4. 中華民國/R.O.C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種絕對延遲時間產生裝置，由一製程供壓溫度 (process-voltage-temperature; PVT) 偵測裝置與一延遲時間產生器所構成。PVT 偵測裝置包含複數組延遲模組與訊號相位/頻率控制模組，且各該延遲模組復包含對照單元與參照單元，此對照單元與參照單元在延遲特性上對 PVT 有相異的敏感度。各該延遲模組係用以比對原始訊號分別通過對照單元與參照單元所產生的相位或頻率差異，進而產生各該延遲模組的延遲參數，而訊號相位/頻率控制模組係用以接收並比對各該延遲參數，以標定該絕對延遲時間產生裝置的外部環境 PVT 狀態，進而控制與校正此延遲時間產生器，產生一精準的絕對延遲時間。透過上述絕對延遲時間產生裝置，受到不同的 PVT (process-voltage-temperature) 影響下，分析各該延遲模組的延遲參數，以標定當前 PVT 條件對該絕對延遲時間產生裝置造成的延遲情況，產生精準的絕對延遲時間，可進而產生精準頻率。在 PVT 改變的情況下，依然能夠保持穩定的準確度。

## 六、英文發明摘要：

Provided is an absolute delay generating device including a process-voltage-temperature (PVT) detecting device and a delay generator. The PVT detecting device includes a plurality of delay modules and a signal phase/frequency control module. The delay modules each include a comparison unit and a reference unit. The comparison unit differs from the reference unit in sensitivity to PVT with delay characteristics. The delay modules each determine differences in phase/frequency of original signals between the comparison unit and the reference unit through which the original signals pass, and generate delay parameters for the delay modules respectively. The signal phase/frequency control module receives and compares the delay parameters, detects ambient PVT conditions of the absolute delay generating device, controls and corrects the delay generator, so as to generate accurate absolute delay. Despite variations of PVT conditions, the absolute delay generating device generates stable, accurate frequency.

**七、指定代表圖：**

(一)本案指定代表圖為：第( 2 )圖。

(二)本代表圖之元件代表符號簡單說明：

10	絕對延遲時間產生裝置		
11	訊號相位/頻率控制模組		
111	延遲狀態資料單元		
12	延遲模組	121	對照單元
1211	延遲元件	1212	延遲元件
1213	延遲元件	1214	延遲元件
1215	延遲元件	122	參照單元
1221	延遲元件	123	相位/頻率偵測單元
13	延遲時間產生器	131	可控制的延遲線
21	校準訊號	22	原始訊號
221	輸入對照單元的原始訊號		
222	輸入參照單元的原始訊號		
2311	對照訊號	2312	對照訊號
2313	對照訊號	2314	對照訊號
2315	對照訊號	232	參照訊號

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。**

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種延遲產生裝置，更詳而言之，係關於一種校正延遲的絕對延遲時間產生裝置。

### 【先前技術】

時脈產生器晶片可說是數位電子裝置中的心臟。以個人電腦來說，每個系統都會使用一、二個時脈產生器，負責產生十幾個參考時脈訊號，以便控制和調節系統處理速度、記憶體存取、即時多媒體、網路訊務以及無線網路連接。

而今，時脈產生器的使用與發展將不再侷限於電腦方面，事實上許多電子設備的零件，機房的電信交換設備、家用電視遊樂器系統與數位攝影機都會使用到時脈參考源。

但是時脈產生器並不能獨立產生正確的基頻，而是需要透過一組穩定參考訊號才能比對出正確的基頻訊號。又該穩定的參考訊號常是施加外部電壓至石英晶體上，而利用石英晶體受到外部電壓後會產生穩定且不易受外部環境影響的震盪訊號之特性，以作為時脈產生器穩定參考訊號的訊號產生端。

惟，現代化的 IC 電路已朝向極微小化的設計趨勢發展，以石英晶體作為時脈產生器參考訊號產生端的做法，則受限於石英晶體的體積不易縮小的物理條件，而在微小尺度的 IC 電路設計領域中已逐漸不適用了。

而在不使用外部石英晶體的情況下，常見的做法是以微機電或類比電路方式設計實現參考訊號。然而，在微小尺度的 IC 電路設計領域中的微機電或類比電路常因微小電路而容易受到外部製程供壓溫度 PVT (process-voltage-temperature) 環境，如製程缺憾、電壓雜訊或溫度變化的影響，進而影響參考訊號的穩定性。

對此，如何提供一種無需使用外部石英晶體作為時脈產生器參考訊號產生端，又得以克服外部製程供壓溫度環境改變所產生輸出頻率飄移的缺憾，自然成為微震盪器設計領域中相當值得關切的設計議題。

#### 【發明內容】

鑒於上述習知技術之缺點，本發明之主要目的在於提供一種無需使用外部石英晶體作為參考源的絕對延遲時間產生裝置，進而產生精準頻率，以克服外部製程供壓溫度環境改變所產生輸出頻率飄移的缺憾。

於此，本發明提供一種絕對延遲時間產生裝置，其包括：PVT 偵測裝置與一延遲時間產生器，PVT 偵測裝置包含訊號相位/頻率控制模組與複數組延遲模組，其中，各延遲模組復包含對照單元與參照單元。

各該延遲模組係用以比對原始訊號分別通過對照單元與參照單元所產生的延遲狀態，進而產生各該延遲模組的延遲參數。訊號相位/頻率控制模組係用以接收並比對各該延遲參數，以標定該絕對延遲時間產生裝置的延遲狀態，進而依據該絕對延遲時間產生裝置的延遲狀態產生校

準訊號。須提出說明的是，該延遲模組個數不限，乃依據使用狀態與需求自行選定延遲模組的個數，而該延遲模組之參照單元與對照單元彼此間之延遲狀態為對製程供壓溫度之變化相異，而該變化相異為相位差異或頻率差異。

較佳的實施例是，訊號相位/頻率控制模組復包含延遲狀態資料單元，又其係用以依據絕對延遲時間產生裝置的延遲狀態提供校準訊號產生參數，再依其產生校準訊號。

又一較佳的實施例是，本發明的絕對延遲時間產生裝置復包含數位控制震盪器(digital control oscillator)，其係用以產生震盪訊號，其中，該數位控制震盪器復包含可控制的延遲線(delay line)，係用以接收該校準訊號，再依照該校準訊號調整該震盪訊號的延遲狀態。詳言之，數位控制震盪器係接收該校準訊號後，依照校準訊號調整該可控制延遲線的長度，進而校準該震盪訊號的延遲狀態。

延遲模組中的對照單元與參照單元係用以接收原始訊號，並用以分別產生對照訊號與參照訊號。

該對照單元所接收的原始訊號與參照單元所接收的原始訊號係同相位或同頻率，換言之，輸入對照單元的原始訊號與輸入參照單元的原始訊號之間的延遲相位差為零。

又對照單元與參照單元係分別包含不同延遲特性的延遲元件，以產生該對照訊號與該參照訊號間的延遲狀

態。其中，該不同延遲特性的延遲元件係指對照單元與參照單元所包含的延遲元件因材料不同及/或串接個數不同及/或電路設計架構不同，進而具有不同的延遲特性。

而對照單元所接收的原始訊號與參照單元所接收的原始訊號分別進入對照單元與參照單元並通過該具有不同延遲特性的延遲元件後，即可使自對照單元輸出的對照訊號與自參照單元輸出的參照訊號間產生延遲狀態，亦即自對照單元輸出的對照訊號與自參照單元輸出的參照訊號間具不同相位或不同頻率。

此外，該複數組的對照單元之間亦分別包含不同延遲特性的延遲元件。其中，該不同延遲特性的延遲元件亦係指對照單元與參照單元所包含的延遲元件因材料不同，及/或串接個數不同，及/或電路設計不同，進而具有不同的延遲特性。

特需強調的是，該分別通過該複數組對照單元的原始訊號彼此間亦為同相位；換言之，該分別通過該複數組對照單元的原始訊號彼此間的延遲相位差為零。而分別進入該複數組對照單元並分別通過該些具有不同延遲特性的延遲元件後，即可使自該複數組對照訊號彼此間產生延遲狀態，亦即該複數組對照訊號彼此間具不同相位或不同頻率。

且延遲模組復包含相位/頻率偵測單元，其係用以比較該對照訊號與該參照訊號間的延遲狀態，進而產生各該延遲模組的延遲參數。



在較佳的實施例中，該延遲參數為比值，其中，該比值為可變對照單元的延遲除以參照單元的延遲，亦可表示為

$$\tau(P,V,T) = \frac{d_{VAR}(P,V,T)}{d_{REF}(P,V,T)}$$

該  $d_{VAR}(P,V,T)$  為該可變對照單元的延遲，該  $d_{REF}(P,V,T)$  為該參照單元的延遲。若再參照上述分析可知，各延遲模組的參照單元的延遲  $d_{REF}(P,V,T)$  相同；各延遲模組的可變對照單元的延遲  $d_{VAR}(P,V,T)$  不相同。

當 PVT 條件的不同造成各延遲模組產生不同延遲狀態，此複數組延遲模組可能出現複數種相位/頻率領先或落後組合，以此相位或頻率的組合可得知在該 PVT 條件下的比值，更可由此比值所對應延遲模組與其延遲狀態，作為該絕對延遲時間產生裝置在此一 PVT(process-voltage-temperature) 條件下延遲校準參數，進而標定出絕對延遲時間產生裝置的延遲狀態。

綜上可知，利用本發明所揭露的絕對延遲時間產生裝置，及其揭露的針對外界 PVT 影響穩定參考源所設計的動態校準機制，可於不同的 PVT (process-voltage-temperature) 條件下，分析各該延遲模組的延遲參數，以標定當前 PVT 條件對該絕對延遲時間產生裝置造成的延遲情況，進而產生校準訊號以使震盪器在 PVT 改變的情況下，依然能夠保持穩定的準確度。

於此可知，本發明所揭露的一種無需使用外部石英晶

體作為時脈產生器參考訊號產生端之絕對延遲時間產生裝置，透過動態偵測當前 PVT 條件並立即施以系統校準，即能於微小尺度的 IC 電路克服外部製程供壓溫度環境改變所產生輸出頻率飄移缺憾。

### 【實施方式】

以下係藉由特定的具體實例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

以下之實施例係進一步詳細說明本發明之觀點，但並非以任何觀點限制本發明之範疇。

首先，請參閱第 1 圖的本發明之絕對延遲時間產生裝置之基本架構方塊示意圖。如圖所示，本發明之絕對延遲時間產生裝置 10 包括：訊號相位/頻率控制模組 11 與複數組延遲模組 12。其中，各延遲模組 12 復包含對照單元 121、參照單元 122 與相位/頻率偵測單元 123，且對照單元 121 與參照單元 122 分別包含不同延遲特性的延遲元件 1211 與 1221。

特需強調的是，複數組延遲模組 12 個數並非本發明的關鍵，換言之，絕對延遲時間產生裝置 10 得依據使用狀態與需求自行選定延遲模組 12 的個數。因此，在不影響操作概念的條件下考量簡化圖示，第 1 圖係以五組延遲

模組 12 表現該複數組延遲模組 12，惟，其他個數的實施態樣均應類推適用，而不以本圖所繪個數為限。

各延遲模組 12 係透過比對原始訊號 22 分別通過對照單元 121 與參照單元 122 後所產生的延遲狀態，進而產生複數組延遲模組 12 的延遲參數，而該延遲狀態可為相位或頻率差異，以下實施例以相位差異為例說明。訊號相位/頻率控制模組 11 係用以接收並比對該複數組延遲參數，以標定出絕對延遲時間產生裝置 10 在 PVT 環境中延遲狀態，進而依據該延遲狀態產生校準訊號。而延遲模組 12 產生延遲狀態之概念係，先使延遲模組 12 中的對照單元 121 與參照單元 122 係用以接收原始訊號 22，再使該原始訊號 22 分別通過不同延遲特性的延遲元件 1211 與 1221，以使對照單元 121 所輸出的對照訊號 2311 與參照單元 122 所輸出的參照訊號 232 間產生不同的延遲狀態。

該對照單元 121 所接收的原始訊號 221 與參照單元 122 所接收的原始訊號 222 係同相位；換言之，輸入對照單元 121 的原始訊號 221 與輸入參照單元 122 的原始訊號 222 之間的延遲相位差為零。

同時，不同延遲特性的延遲元件係指對照單元 121 與參照單元 122 所包含的延遲元件因材料不同及/或串接個數不同，進而具有不同的延遲特性。亦即，須提出說明的是，除第 1 圖所示之複數組平行之延遲模組 12 外，實現延遲模組架構的方式復可為以單一組計數器為基礎、或單一組鎖相迴路為基礎，惟，該延遲模組 12 的設計精神

為保有一參照單元 122 與對照單元 121，彼此間所形成的延遲狀態（即時間延遲）是對製程供壓溫度之變化相異，而參照單元 122 與對照單元 121 彼此間之相異可為相位差異或頻率差異；再者，該延遲模組 12 內部之對照單元 121 與參照單元 122 之單元數量不限。惟，參照單元與對照單元間，參照單元與參照單元間，對照單元與對照單元間，彼此之間是對製程供壓溫度之變化而在延遲表現上具有相異。

特需強調的是，本發明圖示考量其表達便利性，僅以延遲元件 1211 與 1221 大小不同，呈現延遲元件 1211 與 1221 因元件不同而具有不同延遲特性之特徵。惟，使延遲元件 1211 與 1221 具有不同延遲特性之實施方式並不以此為限，特此敘明。

詳言之，延遲模組 12 係以對照單元 121 與參照單元 122 分別接收具有同相位的原始訊號 221 與 222，並使其分別通過具有不同延遲特性的延遲元件 1211 與 1221 後，即可使分別自對照單元 121 與自參照單元 122 輸出的對照訊號 2311 與參照訊號 232 間產生具不同相位的延遲狀態。

此外，該延遲模組 12 復包含相位/頻率偵測單元 123，係用以接受並比較對照訊號 2311 與參照訊號 232 間的延遲狀態，進而偵測出該延遲模組 12 的延遲參數。由上可知，藉由該延遲模組 12 及相位/頻率偵測單元 123 的組合可構成一製程供壓溫度 (process-voltage-temperature; PVT) 偵測裝置。

此外，誠如第 1 圖所示，該五組延遲模組 12 均包含對照單元 121，又該五組對照單元 121 亦分別包含不同延遲特性的延遲元件 1211、1212、1213、1214、1215。

不同延遲特性的延遲元件 1211、1212、1213、1214、1215 因所包含的延遲元件材料不同，及/或串接個數不同，使該五組延遲元件 1211、1212、1213、1214、1215 彼此具有不同的延遲特性。

特需強調的是，本發明圖示考量其表達便利性，僅以該五組延遲元件 1211、1212、1213、1214、1215 彼此個數不同，呈現其具有不同延遲特性之特徵。惟，使該五組延遲元件 1211、1212、1213、1214、1215 具有不同延遲特性之實施方式並不以此為限，特此敘明。

又各通過該五組對照單元 121 的原始訊號 221 彼此間亦為同相位；換言之，該分別通過該五組對照單元 121 的原始訊號 221 彼此間的延遲相位差為零。而待該些原始訊號 221 分別進入對照單元 121 並通過該五組具有不同延遲特性的延遲元件 1211、1212、1213、1214、1215 後，即可使該五組對照訊號 2311、2312、2313、2314、2315 彼此間產生不同相位的延遲狀態。

申言之，由於原始訊號 221 分別進入對照單元 121 並通過該五組具有不同延遲特性的延遲元件 1211、1212、1213、1214、1215，以使該五組對照訊號 2311、2312、2313、2314、2315 彼此間產生不同相位的延遲狀態，再使相位/頻率偵測單元 123 接受並比較該五組對照

訊號 2311、2312、2313、2314、2315 與參照訊號 232 間的延遲狀態，進而產生出五組分別對應該五組延遲模組 12 的延遲參數。

在較佳的實施例中，該延遲參數選用一特定比值。如該比值可定義為可變對照單元的延遲除以參照單元的延遲，亦即

$$\tau(P,V,T) = \frac{d_{VAR}(P,V,T)}{d_{REF}(P,V,T)}$$

該  $d_{VAR}(P,V,T)$  為該可變對照單元的延遲，該  $d_{REF}(P,V,T)$  為該參照單元的延遲。其中，各延遲模組的參照單元延遲  $d_{REF}(P,V,T)$  相同，且各延遲模組的可變對照單元延遲  $d_{VAR}(P,V,T)$  不相同。

再使訊號相位/頻率控制模組 11 接收五組延遲模組 12 之相位/頻率領先或落後訊號，根據該訊號可得知目前比值，再以該比值所對應的延遲模組與其延遲狀態，標定出絕對延遲時間產生裝置 10 的延遲狀態，如此即可求得該絕對延遲時間產生裝置 10 在此一 PVT(process-voltage-temperature) 條件下延遲校準訊號。

接下來，請參閱第 2 圖的本發明絕對延遲時間產生裝置進階示意圖。如圖所示，本發明之絕對延遲時間產生裝置 10 中的訊號相位/頻率控制模組 11 復包含一組具有校準訊號產生參數的延遲狀態資料單元 111，其係用以比對校準訊號產生參數與絕對延遲時間產生裝置 10 在 PVT 環境中延遲狀態，以產生校準訊號 21。

本發明的絕對延遲時間產生裝置 10 復包括延遲時間產生器(delay-timing generator)13，其係接收該校準訊號，再依照該校準訊號調整該延遲時間產生器的延遲狀態，該延遲時間產生器 13 之輸出表現可為週期震盪頻率或單純之一訊號延遲，而該訊號延遲之改變與調整，可以數位或類比電路方式控制，其中該數位電路方式控制可為編碼、數字等形式，該類比電路方式控制可為電壓、電流控制，本實施例之延遲時間產生器 13 以產生數位震盪訊號的數位控制震盪器(digital control oscillator)為例說明。在較佳的實施例中，該數位控制震盪器 13 復包含可控制的延遲線 131(delay line)。

當數位控制震盪器 13 接收校準訊號 21 後，即可依照校準訊號 21 調整震盪訊號的延遲狀態；更詳言之，數位控制震盪器 13 接收該校準訊號 21 後，即可依照校準訊號 21 調整該可控制延遲線 131 的長度，以控制訊號通過該可控制延遲線 131 所產生的延遲狀態，進而校準絕對延遲時間產生裝置 10 之延遲狀態。

綜上可知，利用本發明所揭露的絕對延遲時間產生裝置，及其揭露的針對外界 PVT 影響穩定參考源所設計的動態校準機制，可於不同的 PVT(process-voltage-temperature)條件下，分析各該延遲模組的延遲參數，以標定當前 PVT 條件對該絕對延遲時間產生裝置造成的延遲情況，進而產生校準訊號以使震盪器在 PVT 改變的情況下，依然能夠保持穩定的準確度。

於此可知，本發明所揭露的一種無需使用外部石英晶體作為時脈產生器參考訊號產生端之絕對延遲時間產生裝置，透過動態偵測當前 PVT 條件並立即施以系統校準，即能於微小尺度的 IC 電路克服外部製程供壓溫度環境改變所產生輸出頻率飄移缺憾。

上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

#### 【圖式簡單說明】

第 1 圖為本發明之絕對延遲時間產生裝置之基本架構方塊示意圖；以及

第 2 圖為本發明之絕對延遲時間產生裝置之進階架構方塊示意圖。

#### 【主要元件符號說明】

- 10 絕對延遲時間產生裝置
- 11 訊號相位/頻率控制模組
- 111 延遲狀態資料單元
- 12 延遲模組
- 121 對照單元
- 1211 延遲元件
- 1212 延遲元件
- 1213 延遲元件



# 201006132

- 1214 延遲元件
- 1215 延遲元件
- 122 參照單元
- 1221 延遲元件
- 123 相位/頻率偵測單元
- 13 延遲時間產生器 (數位控制震盪器)
- 131 可控制的延遲線
- 21 校準訊號
- 22 原始訊號
  - 221 輸入對照單元的原始訊號
  - 222 輸入參照單元的原始訊號
- 2311 對照訊號
- 2312 對照訊號
- 2313 對照訊號
- 2314 對照訊號
- 2315 對照訊號
- 232 參照訊號

## 十、申請專利範圍：

### 1. 一種絕對延遲時間產生裝置，係包括：

延遲模組，包含對照單元與參照單元，該延遲模組係用以比對原始訊號並通過該對照單元與參照單元所產生的延遲狀態，進而產生延遲參數；

訊號相位/頻率控制模組，其係用以接收並比對該延遲參數，以依據該延遲參數標定該絕對延遲時間產生裝置的延遲狀態，進而依據該絕對延遲時間產生裝置的延遲狀態產生絕對延遲時間。

### 2. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，其中，該延遲模組之實現架構為複數組平行之延遲模組架構、單一組計數器為基礎之延遲模組架構、及單一組鎖相迴路為基礎之延遲模組架構中之一者，而該延遲模組架構中的延遲模組之參照單元與對照單元彼此間之延遲狀態為對製程供壓溫度之變化相異，且該變化相異為相位差異或頻率差異。

### 3. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，其中，該延遲模組內部之對照單元與參照單元之單元數量是依據參照單元與對照單元間、參照單元與參照單元間或對照單元與對照單元間對製程供壓溫度之變化在延遲表現上的相異，而該相異為相位差異或頻率差異。

### 4. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，其中，該訊號相位/頻率控制模組復包含延遲狀態資料

單元，其係用以依據該絕對延遲時間產生裝置之為相位差異或頻率差異的延遲狀態，提供校準訊號產生參數，再依其產生校準訊號。

5. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，復包含延遲時間產生器(delay-timing generator)，係用以接收該校準訊號，再依照該校準訊號調整該絕對延遲時間產生裝置的延遲狀態，並令該延遲時間產生器之輸出表現為週期震盪頻率或單純之一訊號延遲。
6. 如申請專利範圍第 5 項之絕對延遲時間產生裝置，其中，該延遲時間產生器以數位或類比電路方式對該絕對延遲時間產生裝置之延遲狀態進行調整，該數位電路方式為編碼或數字之形式，而該類比電路方式為電壓或電流控制之形式。
7. 如申請專利範圍第 5 項之絕對延遲時間產生裝置，其中，該延遲時間產生器為數位控制震盪器(digital control oscillator)，其係接收該校準訊號，再依照該校準訊號調整該震盪訊號的延遲狀態。
8. 如申請專利範圍第 7 項之絕對延遲時間產生裝置，其中，該數位控制震盪器復包含延遲線(delay line)，該數位控制震盪器接收該校準訊號以依照該校準訊號調整延遲線的長度，進而校準該震盪訊號的延遲狀態。
9. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，其

中，該對照單元與該參照單元係用以接收原始訊號，並分別產生對照訊號與參照訊號。

10. 如申請專利範圍第 9 項之絕對延遲時間產生裝置，其中，該對照單元所接收的原始訊號與該參照單元所接收的原始訊號係同相位或頻率。
11. 如申請專利範圍第 9 項之絕對延遲時間產生裝置，其中，該對照訊號與該參照訊號係不同相位或頻率。
12. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，其中，該延遲模組復包含相位/頻率偵測單元，該相位/頻率偵測單元係用以比較該對照訊號與該參照訊號間的延遲狀態，該對照訊號與該參照訊號為相位或頻率訊號，進而產生該延遲模組的延遲參數。
13. 如申請專利範圍第 3 項之絕對延遲時間產生裝置，其中，該對照單元與參照單元係分別包含不同延遲特性的延遲元件，該不同延遲特性的延遲元件係用以產生該對照訊號與該參照訊號間的延遲狀態。
14. 如申請專利範圍第 3 項之絕對延遲時間產生裝置，其中，該對照單元與參照單元係分別包含不同延遲特性的延遲元件，該對照單元與該參照單元係分別包含材料不同延遲特性的延遲元件。
15. 如申請專利範圍第 3 項之絕對延遲時間產生裝置，其中，該對照單元與參照單元係分別包含串接個數不同的延遲元件，以提供不同延遲特性。
16. 如申請專利範圍第 3 項之絕對延遲時間產生裝置，其

中，該對照單元與參照單元係分別包含電路架構不同的延遲元件，以提供不同延遲特性。

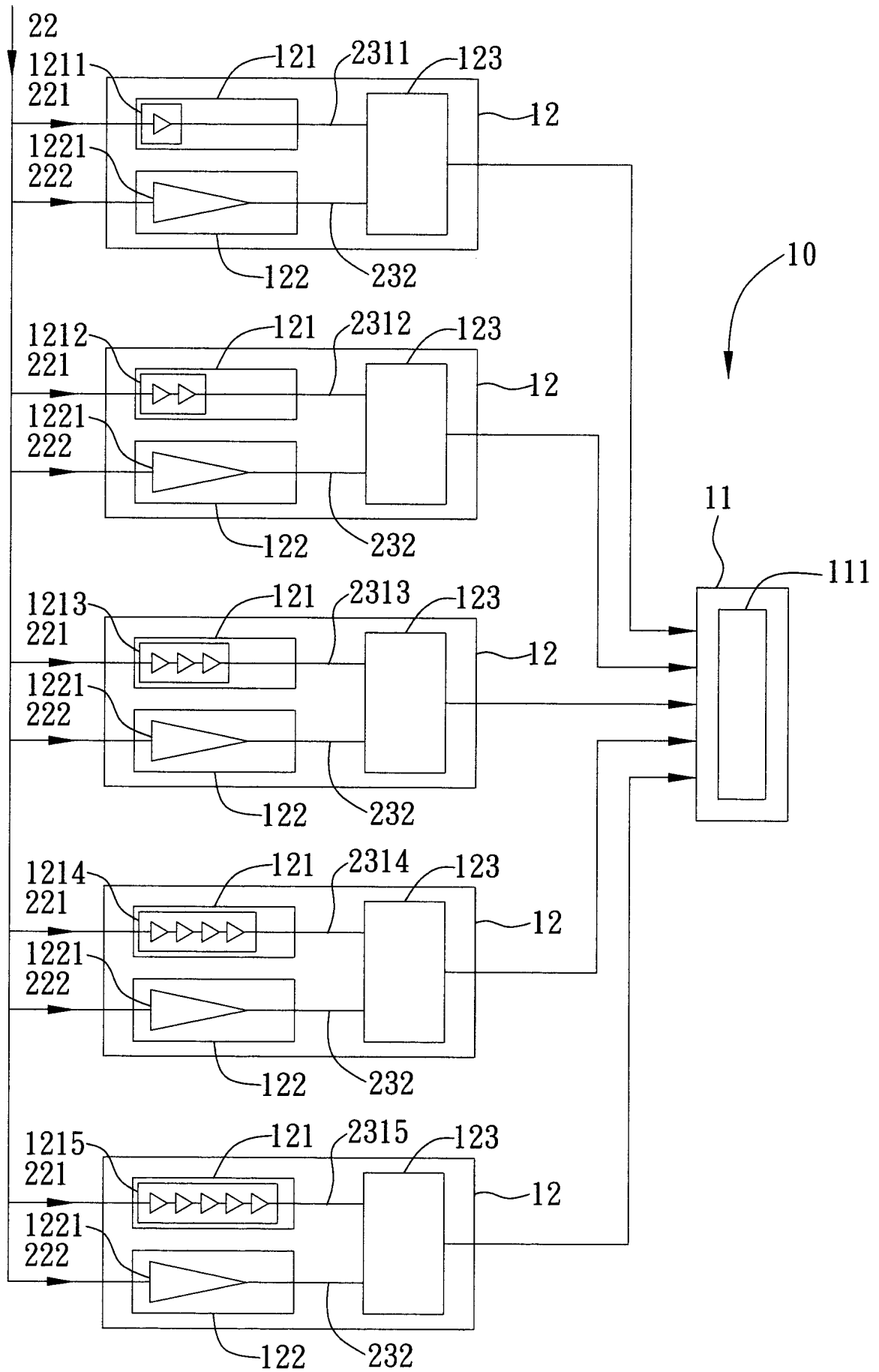
17. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，其中，該延遲模組為複數個時，各該對照單元係分別包含不同延遲特性的延遲元件。
18. 如申請專利範圍第 17 項之絕對延遲時間產生裝置，其中，該延遲模組為複數個時，各該不同延遲特性的延遲元件係用以使各該對照訊號間產生延遲狀態。
19. 如申請專利範圍第 17 項之絕對延遲時間產生裝置，其中，該延遲模組為複數個時，各該對照單元係分別包含材料不同延遲特性的延遲元件。
20. 如申請專利範圍第 17 項之絕對延遲時間產生裝置，其中，該延遲模組為複數個時，各該對照單元係分別包含串接個數不同延遲特性的延遲元件。
21. 如申請專利範圍第 17 項之絕對延遲時間產生裝置，其中，該延遲模組為複數個時，各該對照單元係分別包含電路架構不同之延遲特性的延遲元件。
22. 如申請專利範圍第 1 項之絕對延遲時間產生裝置，其中，該延遲參數為相位及/或頻率之比值。
23. 如申請專利範圍第 22 項之絕對延遲時間產生裝置，其中，該比值為

$$\tau(P, V, T) = \frac{d_{VAR}(P, V, T)}{d_{REF}(P, V, T)}$$

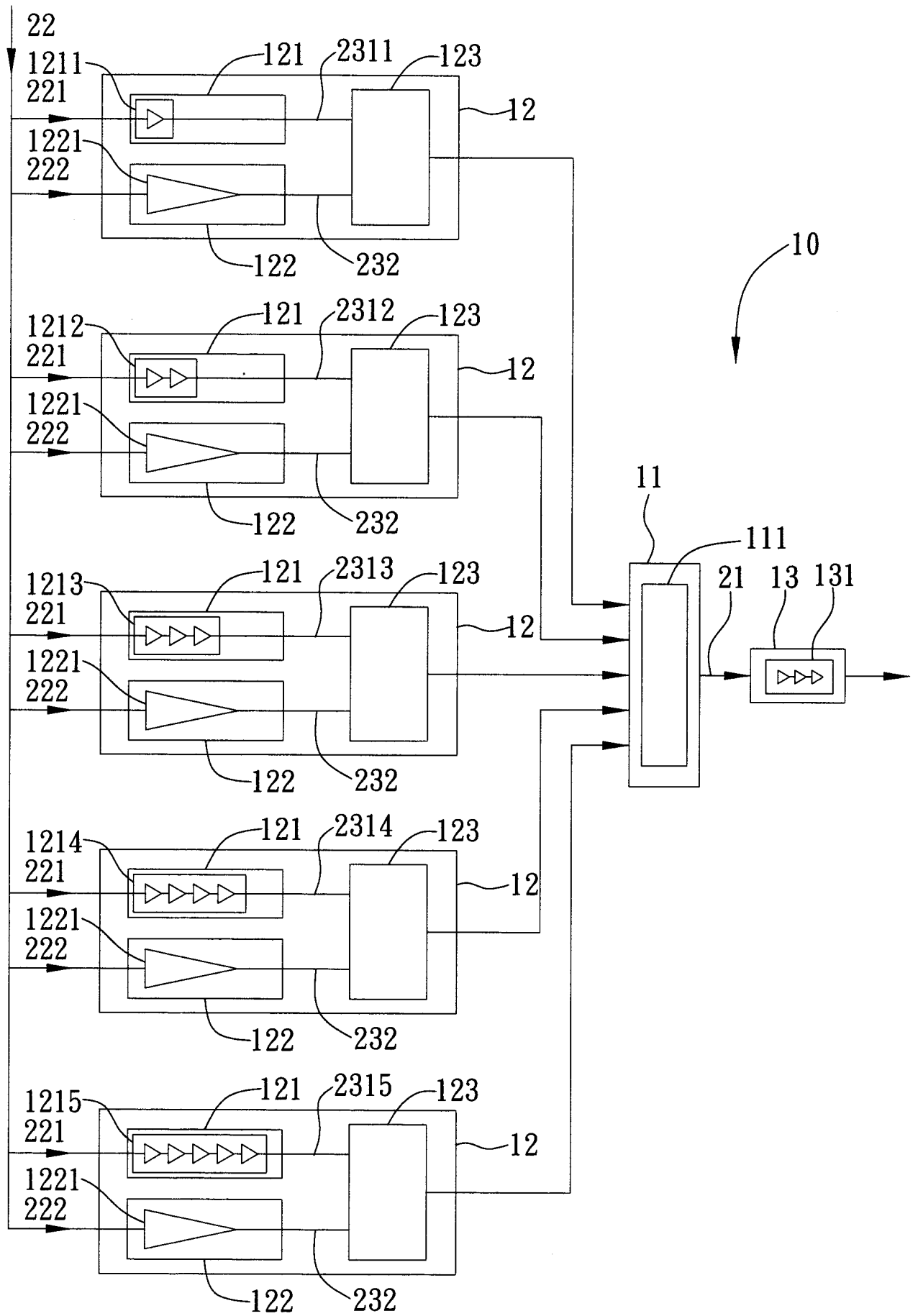
，該  $d_{VAR}(P, V, T)$  為可變對照單元的延遲，該  $d_{REF}(P, V, T)$  為該

參照單元的延遲。

24. 如申請專利範圍第 23 項之絕對延遲時間產生裝置，其中，該訊號相位/頻率控制模組係用以比對該比值，再由比對之比值對應到延遲模組中對照單元的延遲狀態，係用以標定該絕對延遲時間產生裝置的延遲狀態。

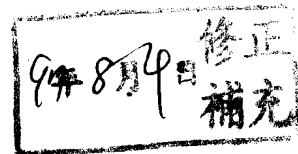


第 1 圖



第 2 圖



**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97121581

※ 申請日期：97.7.21

※ I P C 分類：H03K5/08 (2006.01)

**一、發明名稱：**(中文/英文)

絕對延遲時間產生裝置

ABSOLUTE DELAY GENERATING DEVICE

**二、申請人：**(共 1 人)

**姓名或名稱：**(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

**代表人：**(中文/英文) 吳重雨 / WU, CHUNG-YU

**住居所或營業所地址：**(中文/英文)

新竹市大學路 1001 號

1001 University Road, Hsinchu, Taiwan 300, R.O.C.

**國籍：**(中文/英文) 中華民國/R.O.C.

**三、發明人：**(共 4 人)

**姓名：**(中文/英文)

1. 李鎮宜 / LEE, CHEN-YI

2. 游瑞元 / YU, JUI-YUAN

3. 余建螢 / YU, CHIEN-YING

4. 陳俊廷 / CHEN, JUINN-TING

**國籍：**(中文/英文) 1. 至 4. 中華民國/R.O.C.