

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97120847

※ 申請日期：97.6.5

※IPC 分類：G06D 2/00 (2006.01)

## 一、發明名稱：(中文/英文)

測試資料之鏈路架構/ Architecture of data link for test pattern compression

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/National Chiao Tung University

代表人：(中文/英文) 吳重雨/ Wu, Chung- Yu

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/ No.1001, Dasyue Rd., East District, Hsinchu City 300,  
Taiwan (R.O.C.)

國 籍：(中文/英文) 中華民國 R.O.C.

## 三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 林佳毅/ Chia Yi Lin

2. 陳宏明/ Hung-Ming Chen

國 籍：(中文/英文)

1. 中華民國 R.O.C.

2. 中華民國 R.O.C.

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係有關於一種鏈路架構，尤指一種測試資料之鏈路架構，其包括有一第一資料鏈及一第二資料鏈；第一資料鏈上串列有複數個第一資料處理模組，可處理一第一壓縮資料而產生對應之第一解碼資料，第二資料鏈上串列有複數個分別對應各個第一資料處理模組之第二資料儲存模組，而第二資料鏈係可將一第二資料傳送給各個第二資料儲存模組，且各第一資料處理模組係可將第一解碼資料將傳送至第二資料儲存模組，並與第二資料組配成一測試樣本資料，晶片內部設置此電路則在進行測試時不僅可減少傳輸測試樣本資料量，更可有效縮短資料傳輸之時間。

## 六、英文發明摘要：

The invention uses compressed scan chain and decoders to connect the normal scan chain. Compressed scan chain circuit needs compressed scan data. All of the test patterns go through pattern selection, pattern compression, and power optimization stages. Compressed test patterns are shifted through compressed scan chain and decoded real test data to normal scan chain. Uncompressed test patterns only use normal scan chain. By using pattern compression and power optimization technique, this architecture reduce a lot of switching power and test data volume. It achieves low test power and small test data size at the same time.

**七、指定代表圖：**

(一)本案指定代表圖為：第( 2 )圖。

(二)本代表圖之元件符號簡單說明：

- 21 第一測試型樣
- 211 壓縮掃描鏈
- 213 第一資料處理模組
- 215 解碼器
- 217 第一儲存器
- 23 第二測試型樣
- 231 正常掃描鏈
- 233 第二資料儲存模組
- 235 第二儲存器

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種鏈路架構，尤指一種測試資料之鏈路架構，晶片內部設置此種鏈路架構在進行測試時不僅可減少傳輸測試樣本資料量，更可有效縮短資料傳輸之時間。

### 【先前技術】

半導體技術的發展可說是日新月異，電子電路晶片從 1970 年的 10 微米，到 2004 年縮小至 0.1 微米（100 奈米），符合了摩爾定律（Moor's Law）的預估，未來技術勢必會再有進一步的突破。

換言之，隨著半導體技術的演進，相同面積下所能容納的電子電路將倍數增加，故其製程的複雜程度也相對提高，為有效維護其生產製造之品質，半導體產業鏈中的後段製程(即測試作業)便顯得十分重要。然而，半導體電路規模增大，其測試時所耗費之成本也隨之增大，諸如測試樣本之資料量、傳輸資料及測試之時間等等。

此外，在測試樣本資料的傳輸技術上，通常是使用掃描測試（scanning）方式，然後運用正反器(Flip-Flop)作資料的設定和讀出。一般常使用多輸入移位暫存器(MISR: Multiple Input Shift Register)之技術，然而，必須要決定 MISR 所造成的壓縮資料以作為演算結果，故當 MISR 中輸入不定值時，此壓縮資料亦成為不定值，此時，在測試對象電路與非測試對象電路設有如第 1 圖所示之包覆(wrapper)電路。

如第 1 圖所示，包覆電路設有一正反器 FF 和選擇器 SEL6、SEL7，其中包覆電路之輸入資料端係可接收由非測試對象所傳來之資料，掃描輸入資料端係可接收 PRPG(Pseudo Random Pattern Generator)所傳來之資料，於掃描測試時，可由一掃描致能端(SCAN\_EN)、一保持信號端及一時脈端(CLK)輸

入信號。此外，當包覆電路在處理完各輸入端之資料後，可於一輸出資料端及一掃描輸出資料端輸出資料，且輸出資料端係電性連接至測試對象電路的組合電路中，而掃描輸出資料端則電性連接至次段之包覆電路中。然而，包覆電路對測試對象電路的面積之負擔(Overhead)較大，特別是以階層方式使用 MISR 時，必需在測試對象電路內部埠插入包覆電路，如此對測試對象電路面積之影響便更加嚴重，會造成藉此設計方式之電子產品無法符合輕、薄、短、小的需求，且測試樣本資料在傳輸上也相對耗費時間。

### 【發明內容】

有鑑於此，針對上述先前技術於測試樣本資料之傳輸上所存在的諸多缺點，本發明揭露一種測試資料之鏈路架構，其主要目的在於提供一種測試資料之鏈路架構，於測試資料鏈路上設置解碼功能之電路，以有效縮短資料傳輸之時間，進而大幅提升晶片測試之效率。

本發明之次要目的在於提供一種測試資料之鏈路架構，將原始測試樣本資料拆分並針對部份資料予以壓縮後，透過設於測試資料鏈路上之解碼電路進行解碼程式，藉以減少測試樣本資料量，而有效提升晶片測試之效率。

依據上述之目的，本發明提供一種測試資料之鏈路架構，其包括有一第一測試型樣，其串列有複數個第一資料處理模組，各個第一資料處理模組分別設有複數個第一儲存器及至少一個解碼器，且第一測試型樣係可將一第一壓縮資料傳送給各個第一資料處理模組進行資料處理，而可產生一對應之第一解碼資料；及一第二測試型樣，其串列有複數個第二資料儲存模組，其係分別對應各個第一資料處理模組，而各個第二資料儲存模組係分別設有複數個第二儲存器，且第二測試型樣係可將一第二資料傳送給各個第二資料儲存模組；其中，各第一資料處理模組係可將該第一解碼資料將傳送至對應之第二資料儲存模組，進而得與對應之第二資料組配成一測試樣本資料，晶片內部設置此種鏈路架構在進行測試時不僅可減少傳輸測試樣本資料量，更可有效

縮短資料傳輸之時間。

本發明接著提供一種測試電路，係配置於一晶片中，用以提供一測試資料之鏈路架構，其中鏈路架構之特徵包括：一第一測試型樣，其串列有複數個第一資料處理模組，各個第一資料處理模組分別設有複數個第一儲存器及至少一個解碼器，且第一測試型樣係可將一第一壓縮資料傳送給各個第一資料處理模組進行資料處理，而可產生一對應之第一解碼資料；及一第二測試型樣，其串列有複數個第二資料儲存模組，其係分別對應各個第一資料處理模組，而各個第二資料儲存模組係分別設有複數個第二儲存器，且第二測試型樣係可將一第二資料傳送給各個第二資料儲存模組；其中，各第一資料處理模組係可將第一解碼資料將傳送至對應之第二資料儲存模組，進而得與對應之第二資料組配成一測試樣本資料。

本發明接著再提供一種晶片之測試方法，包括：提供一第一測試型樣，係將一第一壓縮資料傳送給各個第一資料處理模組進行資料處理，而可產生一對應之第一解碼資料，其中這些第一資料處理模組之處理方法包括：執行一樣式選擇，以選擇出選出所要壓縮的測試樣式資料；執行一樣式壓縮，以將每一測試樣式分段壓縮，使其每段有固定長度的編碼；執行一最佳化，以一計算法計算出一壓縮編碼；及提供一第二測試型樣，其串列有複數個第二資料儲存模組，其係分別對應各個第一資料處理模組，而各個第二資料儲存模組係分別設有複數個第二儲存器，且第二資料鏈係可將一第二資料傳送給各個第二資料儲存模組；其中，各第一資料處理模組係可將該第一解碼資料將傳送至對應之第二資料儲存模組，進而得與對應之第二資料組配成一測試樣本資料。

### 【實施方式】

由於本發明係揭露一種測試資料之鏈路架構，其中所利用之結構與基本原理，已為相關技術領域具有通常知識者所能明瞭，故以下文中之說明，不

再作完整描述。同時，以下文中所對照之圖式，係表達與本發明特徵有關之結構示意，並未亦不需要依據實際尺寸完整繪製，盍先敘明。

首先，同時請參考第 2 圖及第 3 圖，其係分別為本發明一具體實施例之具有選擇性掃描鏈(selective scan chain architecture)之鏈路架構。首先，請參考第 2 圖所示，係本發明之選擇性掃描鏈架構(selective scan chain architecture)之示意圖。如第 2 圖所示，所有的原始測試型樣 31(original test pattern)都會被分成兩組，其中第一測試型樣 21 係供給壓縮掃描鏈(compressed scan chain; CSC)211 使用，此位移後的型樣(shift-in pattern)是處於壓縮狀態，其中壓縮掃描鏈 211 可分割成複數個第一資料處理模組 213，而各個第一資料處理模組 213 分別設有至少一個解碼器 215 及複數個壓縮掃描單元 217；而第二測試型樣 23 係供給正常掃描鏈(normal scan chain; NSC)231 使用，此位移後的型樣並沒有壓縮，其中正常掃描鏈 231 可分割成複數個第二資料儲存模組 233 並可分別對應各個第一資料處理模組 211，而各個第二資料儲存模組 233 係分別設有複數個正常掃描單元 235。

以第 3 圖來說明上述之過程，將原始測試型樣 31 中的第一測試型樣 21 可將第一壓縮資料 311 經由壓縮掃描鏈 211 傳送至每一第一資料處理模組 213 進行資料處理，而每一第一資料處理模組 213 中由複數個壓縮掃描單元 217 及一個解碼器 215 進行資料處理，而可產生一對應之第一解碼資料(未顯示於圖中)；然後，原始測試型樣 31 中的第二測試型樣 23 可將一第二資料 313 傳送給各個第二資料儲存模組 233；其中，各第一資料處理模組 213 係可將第一解碼資料傳送至對應之第二資料儲存模組 233，進而與對應之第二資料 313 組配成一測試樣本資料(未顯示於圖中)。

在上述的掃描鏈架構中，壓縮掃描鏈 211 使用第一組測試型樣 21，此第一組測試型樣 21 是包含有較多的忽略位元 X (don't care bites)。X 位元比率(X bit ration)指的是單一型樣總長度(single pattern length, SPL)中占有 X 位元的比率。同時，我們使用 X 位元忽略比率(X bit omit ration)作為指示以分隔測



試型樣。如果測試型樣的 X 位元比率小於 X 位元忽略比率，則此測試型樣屬於正常掃描鏈 231 這一組。反之，測試型樣屬於壓縮掃描鏈 211 這一組。

以一實質例來說明，如第 2 圖所示，其顯示一個具有原始掃描鏈及壓縮掃描鏈的三位元解碼架構之實施例。在壓縮掃描鏈 211 中，因為壓縮後的型樣經由複數個第一資料處理模組 213 進行處理。由於壓縮後的型樣需要一個相對的解碼器 215 給予解碼，故本實施例的架構中可提供 8 種編碼結果之情況，每一種壓縮後的型樣都經一個相應的第一資料處理模組 213 進行處理後，提供解碼結果予正常掃描單元(normal scan chain)233 以作為測試資料。在每一情況中，掃描單元的數目由最佳化階段而決定。基於這樣的架構，本發明可將測試型樣的原始掃描鏈亦可分割成多個掃描鏈，這可以大幅減少功率的消耗。

當解碼結果送到正常掃描單元 231 以作為測試資料，此時掃描單元的數目可以使用一個最佳化方法來決定。此最佳化方法包括掃描鏈的分割(partition)及三個步驟，其中掃描鏈的分割係將原始的單一掃描鏈(single scan chain)分割成多個掃描鏈。而此三個步驟包括型樣選擇(pattern selection)、型樣壓縮(pattern compression)及功率最佳化(power optimization)。

接著再以一個實際的例子來說明掃描鏈分割。如果原始掃描鏈（即測試型樣）具有 1023 位元且我們希望將此掃描鏈分割成二，那麼第一群則會有 511 位元且第二群會有 512 位元。分割在同一群的所有的測試型樣會經歷相同的三個階段，而分割在不同群的測試型樣所經歷的三個階段是獨立的。步驟一稱為型樣選擇，此步驟係設定 X 位元忽略比率使壓縮掃描鏈 211 可選擇所需的型樣。步驟二稱型樣壓縮，此步驟係將不同的測試型樣合併成相同的測試組(same column of test set)。步驟三稱為功率最佳化，在本步驟中，係使用較短的型樣長度及貪婪搜尋法(greedy search)來一個行數一個行數地去尋找在壓縮掃描鏈 211 中最小的功率消耗碼(the smallest power consumption)。每一個 X 位元忽略比率係提供一個測試資料體積及功率的結果。藉由分析所

有的比率，可以得到一個關於功率最小化的最佳化比率。

當步驟一的型樣選擇時，係藉由 X 位元忽略比率將測試型樣分隔成兩組。測試型樣係產生於自動測試型樣產生器(automatic test pattern generation, ATPG)，例如：SyntestTurboScan 或 TetraMax。第一組測試型樣提供給壓縮掃描鏈 211，第二組測試型樣提供給正常掃描鏈 231。第一組測試型樣需進一步進行壓縮，而第二組測試型樣係使用正常的位移方式來測試電路。如第 3 圖所示，如果測試型樣的 X 位元比率低於預設的 X 位元忽略比率，則測試型樣會屬於正常掃描鏈 231，否則會歸為壓縮掃描鏈 211 這一組。方程式(1)中的原始測試大小和方程式(2)中的新測試大小係被用來計算測試資料的體積；其中 SPL new 指的是來自於壓縮掃描單元的壓縮掃描鏈 211 測試資料長度(如第 2 圖所示)。

$$Original\_test\_size_{total} = Pattern\_number_{org} \times SPL_{org} \quad (1)$$

$$New\_test\_size_{total} = OmitPattern\_number \times SPL_{org} + Selected\ Pattern\_number \times SPL_{new} \quad (2)$$

接著，進行步驟二的型樣壓縮。在壓縮掃描鏈 211 決定之後，這些測試型樣在此步驟被壓縮。這個被壓縮的步驟包含合併(merging)、延伸(extending)及最大化(maximizing)等步驟。例如，當本發明定義所有測試型樣中第 n 個位元為第一行數。假設 n 為 3 時，此壓縮步驟係從壓縮掃描鏈 211 的第一位元開始，以每 3 個位元行數進行測試型樣的壓縮。每一個 3 位元的解碼器 215 係都可提供 8 個解碼結果。每一個碼代表一壓縮型樣，此壓縮型樣是由原始測試型樣合併而來。例如：在這個階段中，會將型樣 X11 和型樣 XX1 合併成 X11。此外，在同一行數中 XX11, X111, 0111 會合併成碼 0111。如果壓縮結果的總數小於 8，那麼將會延伸到 4 位元。直到所有的壓縮結果是最大化

且少於或等於 8，此結果會編碼成 3 位元於壓縮掃描鏈 211 中。接著，開始繼續編碼另外 3 個位元。可能會剩下 1 或 2 位元在最後一個編碼器中。如果壓縮結果的數目是 3 或 4 時，此結果會編碼成 2 位元。如果壓縮結果的數目是 1 或 2 時，此結果會編碼成 1 位元。本架構可以使用 4 位元或 5 位元的解碼器 215，這可以提供 16 組和 32 組編碼。

接著，步驟三，再提供一個實際案例來說明。這例子顯示在壓縮掃描鏈 211 中有 29 個測試向量。在合併步驟後，壓縮型樣數目會等於或超過原始型樣數目。如下表 1 所示，係壓縮結果，顯示在壓縮資料中所有的 X 位元都被 0 所取代。

表 1

碼	壓縮測試資料	碼	壓縮測試資料	碼	壓縮測試資料	碼	壓縮測試資料	碼	壓縮測試資料
0	0000	0	1111	0	001	0	01000100	0	01
1	0001	1	1011	1	110	1	00100000	1	10
2	0010	2	0001	2	000	2	00000000	2	11
3	0011	3	1100	3	100	3	10100000	3	00
4	0100	4	1000	4	111	4	11000000	4	
5	0101	5	0100	5	101	5	01100000	5	
6	0110	6	1110	6	011	6	10000010	6	
7	0111	7	1010	7		7	11100000	7	

透過壓縮步驟，在表 1 的壓縮測試資料的第一行使用 3 位元(8 碼)將 4 位元資料編碼。第二行也需要 3 位元將 4 位元資料編碼，但是使用不同的編碼。第三行的情況顯示 3 位元壓縮結果的數目是 7，但 4 位元壓縮結果大於 8，因此，造成 3 位元 7 碼的結果。第四行是使用 3 位元去編碼 8 位元；而最後一行只用 2 位元的解碼器。最後，進行步驟三之功率最佳化的型樣壓縮，

為了要使具有  $n$  位元的位移的功率達到最小化，使用貪婪搜尋法在每一行，去尋找最小的功率碼。而在型樣選擇及型樣壓縮之步驟後，即可以得到最佳化的解答( $n=3$ )及嘗試錯誤地良好的解答( $n>3$ )。

接著，以第 4 圖來說明映射(對應)新編碼資料到壓縮型樣上的步驟。首先，圖 4(a)的第一行需要 8 個不同的壓縮碼來映射。在圖 4(a)(b)中，測試結果 0000 映射到 0 且 0 映射到新的測試型樣 100。這個壓縮掃描鏈 211 位移資料就是 100，且解碼器會產生 0000 到正常掃描鏈 231。在此步驟，係計算從第一行映射來的最小轉換。3 位元的序列所產生的 8 個編碼資料可以得到 40320(即  $8!$ )。此最佳化方法嘗試去尋找從第一行到最後一行所有的變更，並且決定最少的轉換(switch)功率編碼。這編碼結果變成新編碼資料。由於 4 位元和 5 位元的編碼資料相當大的，最佳化階段只能將部分的編碼資料最佳化以達到低功率需求。

圖 4(a)和(b)中的第一行顯示 0 映射到測試結果 0000 及新測試型樣 100。圖 4(b)中的每一列將會位移到壓縮掃描鏈 211，而圖 4(a)中的每一列將會解碼到正常掃描鏈 231。圖 4(b)顯示功率最佳化的編碼結果，這邊碼結果會在壓縮掃描鏈 211 中使用。映射值是用來尋找功率最佳化指數。我們可以找到壓縮的型樣是編碼成較少位元的資料。圖 4(c)顯示一個新的測試型樣，這新測試型樣是由原始測試型樣產生，經過映射，然後成為在壓縮掃描鏈 211 中的壓縮資料，最後變成解碼結果到正常掃描鏈 231。

經由本發明所揭露之鏈路架構，利用  $X$  位元忽略比率可以得到最佳的功率或最佳的壓縮結果，例如當  $X$  位元忽略比率在 30%時，其最小的測試資料體積則是在 65%  $X$  位元忽略比率。而不同的測試資料組及電路有不同的比率去符合最低功率及最小體積。而且，使用 4 掃描鏈比使用 2 掃描鏈可以降低更多功率消耗。因此，隨著掃描鏈數目越多，最大功率消耗就越小。

另外，當將一掃描鏈分割成越多掃描鏈時，可以得到較低的功率消耗，故這種將一掃描鏈分割成多掃描鏈的方法係可以提供給大型的 SoC 設計以降低功

率。

在上述說明中，係在鏈路架構中加入額外的壓縮掃描鏈 211 到正常掃描鏈 231 中，因此計算到的所有功率消耗除了包括在壓縮掃描鏈 211 及正常掃描鏈 231 中的功率外，還包括從壓縮掃描鏈 211 到正常掃描鏈 231 的轉移功率。

綜合上述說明，本發明所提供之鏈路架構主要係包括有：一第一測試型樣 21，其串列(list)有複數個第一資料處理模組 213，而各個第一資料處理模組 213 分別設有複數個第一儲存器 217 及至少一個解碼器 215，且第一測試型樣 21 係可將一第一壓縮資料 311 傳送給各個第一資料處理模組 213 進行資料處理，而可產生一對應之第一解碼資料(未顯示於圖中)；一第二測試型樣 23，其串列(list)有複數個第二資料儲存模組 233，可分別對應各個第一資料處理模組 213，而各個第二資料儲存模組 233 係分別設有複數個第二儲存器 235，且第二測試型樣 23 係可將一第二資料 313 傳送給各個第二資料儲存模組 233；其中，各第一資料處理模組 213 係可將第一解碼資料傳送至對應之第二資料儲存模組 233，進而與對應之第二資料 313 組配成一測試樣本資料(未顯示於圖中)。此外，第一壓縮資料 311 之內容係以序列(serial)傳輸方式，且可以依序儲存於各個第一儲存器 217，而第二資料 313 之內容亦係以序列(serial)傳輸方式，依序儲存於各個第二儲存器 235。另外，第一解碼資料之內容係以並列(parallel)傳輸方式傳送至對應之第二儲存器 233。

最後，上述之第一儲存器 217 係可為一暫存器、鎖相器(latch)或一正反器，當然，第二儲存器 235 亦可為一暫存器、鎖相器或一正反器，而得以較少之電子電路設計達到資料儲存及資料傳輸之目的。

以上所述僅為本發明較佳實施例而已，並非用以限定本發明申請專利權利；同時以上的描述對於熟之本技術領域之專門人士應可明瞭與實施，因此其他未脫離本發明所揭示之精神下所完成的等效改變或修飾，均應包含於下述之申請專利範圍。

**【圖式簡單說明】**

第 1 圖：係為習用資料傳輸技術之包覆電路結構示意圖；

第 2 圖：係本發明測試資料之鏈路架構示意圖；

第 3 圖：係本發明原始測試樣本資料拆分方式之示意圖；

第 4a~4c 圖：係本發明之最佳化之映射(對應)圖。

**【主要元件符號說明】**

- 21 第一測試型樣
- 211 壓縮掃描鏈
- 213 第一資料處理模組
- 215 解碼器
- 217 第一儲存器
- 23 第二測試型樣
- 231 正常掃描鏈
- 233 第二資料儲存模組
- 235 第二儲存器
- 31 原始測試資料
- 311 第一壓縮資料
- 313 第二資料

## 十、申請專利範圍：

1. 一種測試之鏈路架構，其主要係包括有：
  - 一第一測試型樣，其串列有複數個第一資料處理模組，各個第一資料處理模組分別設有複數個第一儲存器及至少一個解碼器，且該第一測試型樣係可將一第一壓縮資料傳送給各個第一資料處理模組進行資料處理，而可產生一對應之第一解碼資料；及
  - 一第二測試型樣，其串列有複數個第二資料儲存模組，其係分別對應各個第一資料處理模組，而各個第二資料儲存模組係分別設有複數個第二儲存器，且該第二測試型樣係可將一第二資料傳送給各個第二資料儲存模組；其中，各第一資料處理模組係可將該第一解碼資料將傳送至對應之第二資料儲存模組，進而得與對應之第二資料組配成一測試樣本資料。
2. 如申請專利範圍第 1 項所述之鏈路架構，其中該第一儲存器係可選擇為一暫存器、鎖相器、一正反器及其組合式之其中一者。
3. 如申請專利範圍第 1 項所述之鏈路架構，其中該第二儲存器係可選擇為一暫存器、鎖相器、一正反器及其組合式之其中一者。
4. 如申請專利範圍第 1 項所述之鏈路架構，尚包括有一原始測試樣本資料，其係可根據使用者所設定之資料拆分比率而拆分成一第一資料及該第二資料。
5. 如申請專利範圍第 4 項所述之鏈路架構，其中該第一資料經由一壓縮編碼程序而產生該第一壓縮資料。
6. 如申請專利範圍第 1 項所述之鏈路架構，其中該第一壓縮資料係以序列傳輸方式而依序儲存於各個第一儲存器。
7. 如申請專利範圍第 6 項所述之鏈路架構，其中該第二資料之內容係以序列傳輸方式而依序儲存於各個第二儲存器。
8. 如申請專利範圍第 7 項所述之鏈路架構，其中該第一解碼資料之內容係以並列傳輸方式傳送至對應之第二儲存器，進而與其對應之第二資料相

組配成該測試樣本資料。

9. 如申請專利範圍第 7 項所述之鏈路架構，其中該第一解碼資料之內容係以並列傳輸方式傳送至對應之第二儲存器，進而與其對應之第二資料相組配成該測試樣本資料。

10. 如申請專利範圍第 1 項所述之鏈路架構，其中該第一資料處理模組進行資料處理之方式包括樣式選擇、樣式壓縮以及最佳化三個步驟。

11. 一種測試電路，係配置於一晶片中，用以提供一測試資料之鏈路架構，其中該鏈路架構之特徵包括：

一第一測試型樣，其串列有複數個第一資料處理模組，各個第一資料處理模組分別設有複數個第一儲存器及至少一個解碼器，且該第一測試型樣係可將一第一壓縮資料傳送給各個第一資料處理模組進行資料處理，而可產生一對應之第一解碼資料；及

一第二測試型樣，其串列有複數個第二資料儲存模組，其係分別對應各個第一資料處理模組，而各個第二資料儲存模組係分別設有複數個第二儲存器，且該第二測試型樣係可將一第二資料傳送給各個第二資料儲存模組；

其中，各第一資料處理模組係可將該第一解碼資料將傳送至對應之第二資料儲存模組，進而得與對應之第二資料組配成一測試樣本資料。

12. 如申請專利範圍第 11 項所述之測試電路，其中該第一儲存器係可選擇為一暫存器、鎖相器、一正反器及其組合式之其中一者。

13. 如申請專利範圍第 11 項所述之測試電路，其中該第二儲存器係可選擇為一暫存器、鎖相器、一正反器及其組合式之其中一者。

14. 如申請專利範圍第 11 項所述之測試電路，尚包括有一原始測試樣本資料，其係可根據使用者所設定之資料拆分比率而拆分成一第一資料及該第二資料。

15. 如申請專利範圍第 14 項所述之測試電路，其中該第一資料經由一壓縮



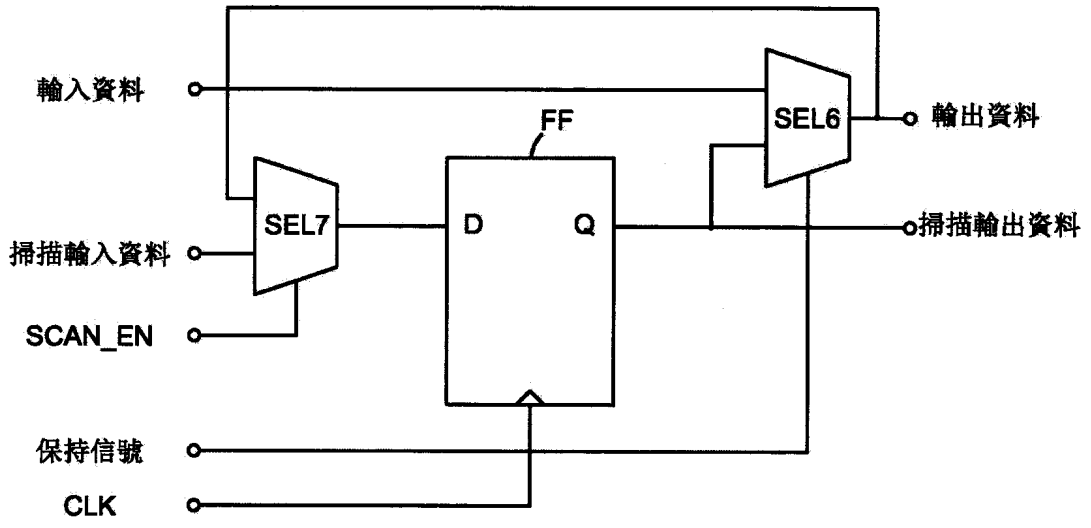
編碼程序而產生該第一壓縮資料。

16. 如申請專利範圍第 11 項所述之測試電路，其中該第一壓縮資料係以序列傳輸方式而依序儲存於各個第一儲存器。
17. 如申請專利範圍第 16 項所述之測試電路，其中該第二資料之內容係以序列傳輸方式而依序儲存於各個第二儲存器。
18. 如申請專利範圍第 17 項所述之測試電路，其中該第一解碼資料之內容係以並列傳輸方式傳送至對應之第二儲存器，進而與其對應之第二資料相組配成該測試樣本資料。
19. 如申請專利範圍第 17 項所述之測試電路，其中該第一解碼資料之內容係以並列傳輸方式傳送至對應之第二儲存器，進而與其對應之第二資料相組配成該測試樣本資料。
20. 如申請專利範圍第 11 項所述之測試電路，其中該第一資料處理模組進行資料處理之方式包括樣式選擇、樣式壓縮以及最佳化三個步驟。
21. 一種晶片之測試方法，包括：
  - 提供一第一測試型樣，係將一第一壓縮資料傳送給各個第一資料處理模組進行資料處理，而可產生一對應之第一解碼資料，其中該等第一資料處理模組之處理方法包括：
    - 執行一樣式選擇，以選擇出選出所要壓縮的測試樣式資料；
    - 執行一樣式壓縮，以將每一該測試樣式分段壓縮，使其每段有固定長度的編碼；
    - 執行一最佳化，以一計算法計算出一壓縮編碼；及
  - 提供一第二測試型樣，其串列有複數個第二資料儲存模組，其係分別對應各個第一資料處理模組，而各個第二資料儲存模組係分別設有複數個第二儲存器，且該第二資料鏈係可將一第二資料傳送給各個第二資料儲存模組；
  - 其中，各第一資料處理模組係可將該第一解碼資料將傳送至對應之第二

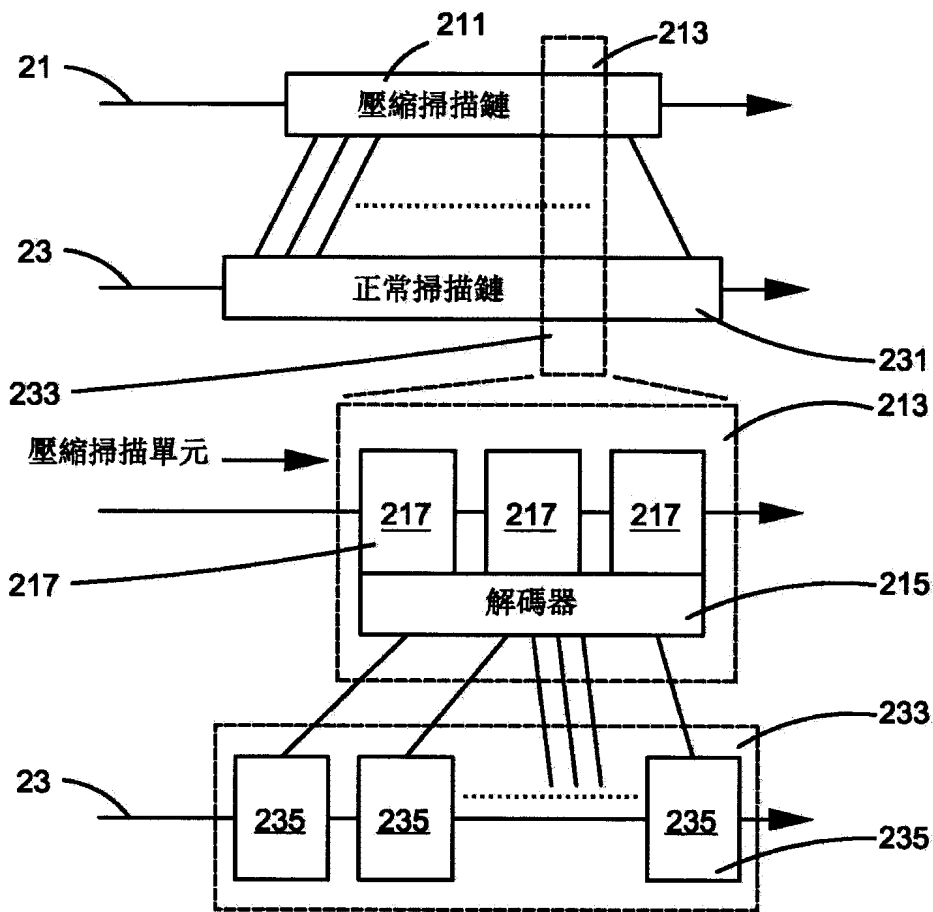
資料儲存模組，進而得與對應之第二資料組配成一測試樣本資料。

22. 如申請專利範圍第 19 項所述之測試方法，其中該最佳化之計算法法為一貪婪搜尋法。

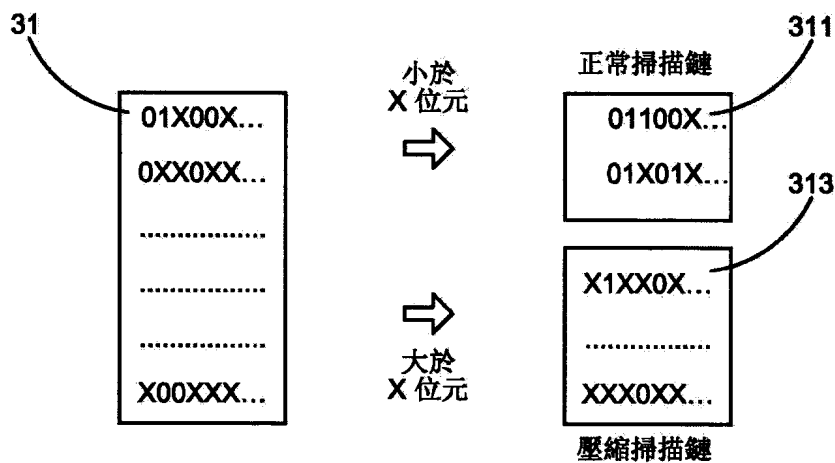
十一、圖式：



第 1 圖 (先前技術)



第 2 圖



第 3 圖

映射	測試結果	映射	測試結果	映射	測試結果	映射	測試結果	映射	測試結果
0	0000	0	1111	0	001	0	01000100	0	01
0	0000	7	1010	3	100	5	01100000	3	00
0	0000	6	1110	1	110	6	10000010	1	10
1	0001	1	1011	2	000	1	00100000	2	11
...	...	...	...	...	...	...	...	...	...

第 4a 圖

映射	測試結果	映射	測試結果	映射	測試結果	映射	測試結果	映射	測試結果
0	100	0	100	0	100	0	100	0	00
0	100	7	000	3	010	5	001	3	01
0	100	6	111	1	110	6	111	1	11
1	110	1	110	2	101	1	110	2	10
...	...	...	...	...	...	...	...	...	...

第 4b 圖

原始測試資料	X000 1111 001 010XXXXX 01
映射數字	0 0 0 0 0
壓縮資料	100 100 100 100 00
解碼資料	0000 1111 001 01000100 01

第 4c 圖