

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

P614PPF

※申請日期：

P6.12.75

※IPC 分類：

G11C7/12 (2006.01)

一、發明名稱：(中文/英文)

三元內容可定址記憶體漏電流截斷裝置

LEAKAGE CURRENT CUT-OFF DEVICE FOR TERNARY CONTENT

ADDRESSABLE MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)(簽章)張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/No. 1001 Dasyue Road, Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文)中華民國/TW

三、發明人：(共 3 人)

姓名：(中文/英文)

黃柏蒼/HUANG, PO-TSANG

劉文彥/LIU, WEN-YEN

黃威/HWANG, WEI

國籍：(中文/英文)(皆同)中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種應用於三元內容可定址記憶體漏電流截斷裝置，其於不同的操作模式下，控制高端與低端閘極電源電晶體之導通或截止以降低三元內容可定址記憶體無關項記憶胞之漏電流。

六、英文發明摘要：

A leakage current cut-off device for a ternary content addressable memory is provided. For various operations of the ternary content addressable memory, the device uses the high-end and low-end power gating control transistors to turn on/off the don't-care cells to reduce the leakage current passing through the don't-care cells.

七、指定代表圖：

(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

20	無關項記憶胞
V_{DD}	電壓
N_1 、 N_2	電晶體
P_1 、 P_2	電晶體
ctrl_p1、ctrl_p2	高端控制電壓信號
ctrl_n1、ctrl_n2	低端控制電壓信號
standby	待機信號
msb、lsb	無關項記憶胞儲存值

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種三元內容可定址記憶體漏電流截斷裝置。

【先前技術】

三元內容可定址記憶體(ternary content addressable memory, TCAM)被分組為陣列結構的區段，每個區段包含一陣列的三元內容可定址記憶體胞對(TCAM cell pair)，每一胞對表示一個位元(bit)，其包含一儲存記憶胞(storage cell)與一無關項記憶胞(don't-care cell)，每一個記憶胞包含兩個串接的反相器(inverter pair)。每一個位元之儲存值可能為"0"狀態(zero state)、"1"狀態(one state)及"X"狀態，或稱為無關項狀態"X"(don't-care state)。

無關項記憶胞之受電端與釋電端分別連接於一電壓源及接地端，因而存在漏電流，當微電子電路的發展尺度日益縮小，漏電流將耗費電源之電能，甚至導致元件可信度降低，是以，本發明即在提供一種降低三元內容可定址記憶體之無關項記憶胞漏電流的解決方案。

【發明內容】

本發明提供一種三元內容可定址記憶體漏電流截斷裝置用以降低無關項記憶胞之漏電流。其利用超截止閘極電源控制裝置，將區段內之無關項記憶胞內之二反相器之受電端分別連接二高端閘極電源電晶體後再連接電源(電壓 V_{DD})，其釋電端分別連接二低端閘極電源電晶體再連接接地端，並藉由控制高端及低端閘極電晶體的閘

極電壓以形成曲折截止控制電路(zigzag cut-off control circuit)而降低漏電流。

更進一步，於高端或低端閘極電晶體於截止時，施一超截止電壓於高端及低端閘極電晶體之閘極使漏電流更低，稱為超截止閘極電源控制電路(super cut-off power gating control circuit)。

【實施方式】

三元內容可定址記憶體區分為多個區段，一區段的三元內容可定址記憶體之整體架構示於第 1 圖。本實施例中一區段 100 包含 6 位元，每位元之儲存記憶胞(storage cell)10 與無關項記憶胞(don't-care cell)20 之間以 NMOS 連接相符線 ML(match line)，區段內之儲存記憶胞 10 連接多模式閘極電源控制裝置 30，藉以降低儲存記憶胞 10 之漏電流，無關項記憶胞 20 連接超截止閘極電源控制電路 40，藉以降低無關項記憶胞 20 之漏電流。

多模式閘極電源控制裝置 30 已於發明人之另一申請案第 96149397 號中揭露，本說明書不再贅述，本說明書主要係揭露超截止閘極電源控制電路 40 之技術。

如圖所示，每區段 100 的記憶胞對陣列具有超截止閘極電源控制電路 40，其連接外部之倍壓產生器 50 與超截止電流電壓產生器 60 以降低無關項記憶胞之漏電流，其中，倍壓產生器 50 與超截止電流電壓產生器 60 分別用以提供正超截止電壓 V_{SH} 及負超截止電壓 V_{SL} 。

超截止閘極電源控制電路 40 接收區段內的首位元之無關項記憶胞儲存值 msb、末位元之無關項記憶胞儲存值 lsb 以及待機信號 standby 而切換第一高端控制電壓信號 ctrl_p1、第二

高端控制電壓信號 $ctrl_p2$ 、第一低端控制電壓信號 $ctrl_n1$ 及第二低端控制電壓信號 $ctrl_n2$ ，其用以降低無關項記憶胞 20 之漏電流。

請參考第 2 圖，其為超截止閘極電源控制電路之高端及低端閘極電源電晶體與無關項記憶胞 20 的連接關係。一無關項記憶胞 20 包含串接的左反相器及右反相器，區段內無關項記憶胞 20 的左反相器及右反相器的受電端分別連接第一高端閘極電源電晶體 P_1 與第二高端閘極電源電晶體 P_2 後再連接電源，因而形成第一擬受電端及第二擬受電端，電源之電壓表示為 V_{DD} 。區段內無關項記憶胞 20 的左反相器及右反相器的釋電端分別連接第一低端閘極電源電晶體 N_1 與第二低端閘極電源電晶體 N_2 後再連接接地端，因而分別形成第一擬地端及第二擬地端。以上所述之“左”、“右”係為說明方便並非實際的空間相對位置。

本實施例中的高端閘極電源電晶體 P_1 、 P_2 係採用 P 通道金屬氧化半導體場效應電晶體 (p-channel metal oxide semiconductor field effect transistor, pMOS)，其連接方式係將高端閘極電源電晶體 P_1 、 P_2 之源極連接電源，汲極分別連接無關項記憶胞 20 的左反相器及右反相器的受電端，而高端閘極電源電晶體 P_1 、 P_2 之閘極分別接收 $ctrl_p1$ 及 $ctrl_p2$ 。

低端閘極電源電晶體 N_1 、 N_2 係採用 N 通道金屬氧化半導體場效應電晶體 (n-channel metal oxide semiconductor field effect transistor, nMOS)，其連接方式係將低端閘極電源電晶體 N_1 、 N_2 之汲極分別連接無關項記憶胞 20 的左反相器及右反相器的釋電端，其源極連接接地端，而低端閘極電源電晶體 N_1 、 N_2 之閘極分別接收 $ctrl_n1$ 及 $ctrl_n2$ 。

當 $ctrl_p1$ 導通 P_1 時，將 N_1 與 P_2 截止而 N_2 導通；而當 $ctrl_p1$ 截止 P_1 時，將 N_1 與 P_2 導通而與 N_2 截止，因而形成曲折截斷控制電路以降低漏電流。且於電晶體 P_1 、 P_2 與 N_1 、 N_2 截止時，分別施一超截止電壓 V_{SH} 與 V_{SL} 於電晶體之閘極以更進一步降低漏電流。 P_1 與 P_2 之控制電路稱為稱為高端控制電壓信號控制器，示於第 3 圖。 N_1 與 N_2 之控制電路稱為低端控制電壓信號控制器，示於第 4 圖。

首先說明高端控制電壓信號控制器，請參考第 3 圖。如圖所示，高端控制電壓信號控制器包含一第一左 P 通道金屬氧化半導體場效應電晶體 P_{411L} 、一第一右 P 通道金屬氧化半導體場效應電晶體 P_{411R} 、一第二左 P 通道金屬氧化半導體場效應電晶體 P_{412L} 、一第二右 P 通道金屬氧化半導體場效應電晶體 P_{412R} 、一第一左 N 通道金屬氧化半導體場效應電晶體 N_{411L} 、一第一右 N 通道金屬氧化半導體場效應電晶體 N_{411R} 、一第二左 N 通道金屬氧化半導體場效應電晶體 N_{412L} 、一第二右 N 通道金屬氧化半導體場效應電晶體 N_{412R} 及一反相器 INV_{41} ，以上所述之“左”“右”係為說明方便並非實際的空間相對位置。

P_{411L} 與 P_{411R} 之源極接收 V_{SH} ， P_{411L} 之閘極連接至 P_{411R} 之汲極， P_{411R} 之閘極連接至 P_{411L} 之汲極。 P_{412L} 及 P_{412R} 之源極分別連接 P_{411L} 與 P_{411R} 之汲極， P_{412L} 及 P_{412R} 之閘極相連接並接收反相的切換控制信號 \overline{sleep} 。 N_{411L} 及 N_{411R} 之汲極分別連接 P_{412L} 與 P_{412R} 之汲極， N_{411L} 及 N_{411R} 之源極連接接地端， N_{411L} 及 N_{411R} 之閘極之間串接 INV_{41} 相連接並接收 msb 。 N_{412L} 及 N_{412R} 之汲極分別連接 N_{411L} 與 N_{411R} 之汲極， N_{412L} 及 N_{412R} 之源極分別連接 N_{411L} 及 N_{411R} 之源極， N_{412L} 及 N_{412R} 之閘極相連接並接收 \overline{sleep} 。 P_{412L} 及 P_{412R} 之汲極分別提供 $ctrl_p2$ 及 $ctrl_p1$ 。

接著說明低端控制電壓信號控制器，請參考第 4 圖。如圖所示，低端控制電壓信號控制器包含一第一左 P 通道金屬氧化半導體場效應電晶體 P_{421L} 、一第一右 P 通道金屬氧化半導體場效應電晶體 P_{421R} 、一第二左 P 通道金屬氧化半導體場效應電晶體 P_{422L} 、一第二右 P 通道金屬氧化半導體場效應電晶體 P_{422R} 、一第一左 N 通道金屬氧化半導體場效應電晶體 N_{421L} 、一第一右 N 通道金屬氧化半導體場效應電晶體 N_{421R} 、一第二左 N 通道金屬氧化半導體場效應電晶體 N_{422L} 、一第二右 N 通道金屬氧化半導體場效應電晶體 N_{422R} 一反相器 INV_{42} ，以上所述之”左””右”係為說明方便並非實際的空間相對位置。

P_{421L} 與 P_{421R} 之源極接連接一電源，其提供一正電壓 V_{DD} ，本實施例中為 $V_{DD}=1.2$ 伏。 P_{421L} 與 P_{421R} 之閘極間串接 INV_{42} 並接收 msb 。 P_{422L} 及 P_{422R} 之源極分別連接 P_{421L} 與 P_{421R} 之源極， P_{422L} 及 P_{422R} 之汲極分別連接 P_{421L} 與 P_{421R} 之汲極， P_{422L} 及 P_{422R} 之閘極相連接並接收切換控制信號 $sleep$ 。 N_{421L} 及 N_{421R} 之汲極分別連接 P_{421L} 與 P_{421R} 之汲極， N_{421L} 及 N_{421R} 之閘極相連接並接收 $sleep$ 。 N_{422L} 及 N_{422R} 之汲極分別連接 N_{421L} 及 N_{421R} 之源極， N_{422L} 及 N_{422R} 之源極接收負電壓 V_{SL} ， N_{422L} 之閘極連接 N_{422R} 之汲極， N_{422R} 之閘極連接 N_{422L} 之汲極。 N_{421L} 及 N_{421R} 之汲極分別提供 $ctrl_n1$ 及 $ctrl_n2$ 。

接著說明 $sleep$ 與 msb 控制 $ctrl_p1$ 、 $ctrl_p2$ 、 $ctrl_n1$ 與 $ctrl_n2$ 電壓之作動並同時參考表一。

sleep	msb	ctrl_p1	ctrl_p2	ctrl_n1	ctrl_n2
0	1	0	0	V_{DD}	V_{DD}
0	0	0	0	V_{DD}	V_{DD}
1	1	V_{SH}	0	V_{DD}	V_{SL}
1	0	0	V_{SH}	V_{SL}	V_{DD}

表一

當 $sleep=0$ 時，則 $ctrl_p1$ 與 $ctrl_p2$ 必為接地電壓(其電壓值為 0)，而 $ctrl_n1$ 與 $ctrl_n2$ 必為高壓，其值為 V_{DD} ，不適用本發明之超截止閘極電源控制電路技術。當 $sleep=1$ 時， $ctrl_p1$ 、 $ctrl_p2$ 、 $ctrl_n1$ 及 $ctrl_n2$ 依據 msb 而變，則可應用本技術以降低漏電流。若 $msb=0$ ， $ctrl_p1 = 0$ ， $ctrl_p2 = V_{SH}$ ， $ctrl_n2=V_{DD}$ ， $ctrl_n1=V_{SL}$ ；而若 $msb=1$ ， $ctrl_p1 = V_{SH}$ ， $ctrl_p2 = 0$ ， $ctrl_n2=V_{SL}$ ， $ctrl_n1=V_{DD}$ 。本實施例之 $V_{DD}=1.2$ 伏、 $V_{SH}=1.5$ 伏及 $V_{SL}=-0.3$ 伏。

接著說明 $standby$ 、 lsb 、 msb 與 $sleep$ 之關係以說明本發明適用之操作模式，請參考表二。

	$msb=lsb=0$	$msb \neq lsb$	$msb=lsb=1$
寫入操作	$sleep=0$	$sleep=0$	$sleep=0$
讀取操作	$sleep=1$	$sleep=0$	$sleep=1$
查詢操作	$sleep=1$	$sleep=0$	$sleep=1$
待機模式	$sleep=1$	$sleep=0$	$sleep=1$

表二

當寫入操作(write operation)或 $msb \neq lsb$ 時， $sleep=0$ 而不適用本發明漏電流截止技術；反之，其他操作模式之 $sleep=1$ ，皆可應用本漏電流截止技術以降低漏電流。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖所示為依據本發明一實施例之三元內容可存取記憶體之架構圖。

第 2 圖所示為依據本發明一實施例之超截止閘極電源控制電路圖。

第 3 圖所示為依據本發明一實施例之高端控制電壓信號控制器電路圖。

第 4 圖所示為依據本發明一實施例之低端控制電壓信號控制器電路圖。

【主要元件符號說明】

10	儲存記憶胞
20	無關項記憶胞
30	閘極電源控制裝置
40	超截止閘極電源控制電路
50	倍壓產生器
60	超截止電流電壓產生器
INV_{41} 、 INV_{42}	反相器
N_1 、 N_2 、 N_{411L} 、 N_{412L} 、 N_{411R} 、 N_{412R} 、 N_{421L} 、 N_{422L} 、 N_{421R} 、 N_{422R}	電晶體
P_1 、 P_2 、 P_{411L} 、 P_{412L} 、 P_{411R} 、 P_{412R} 、 P_{421L} 、 P_{422L} 、 P_{421R} 、 P_{422R}	電晶體
V_{DD} 、 V_{SH} 、 V_{SL}	電壓
ML	相符線

standby	待機信號
sleep	切換控制信號
msb、lsb	無關項記憶胞儲存值
ctrl_p1、ctrl_p2	高端控制電壓信號
ctrl_n1、ctrl_n2	低端控制電壓信號

十、申請專利範圍：

1. 一種應用於三元內容可定址記憶體之漏電流截斷裝置，其利用一超截止閘極電源控制電路降低該三元內容可定址記憶體之無關項記憶胞之漏電流，其中該超截止閘極電源控制電路包含：
 - 一第一高端閘極電源電晶體連接該三元內容可定址記憶體之無關項記憶胞之一第一反相器之間；
 - 一第二高端閘極電源電晶體連接於該三元內容可定址記憶體之無關項記憶胞之一第二反相器之受電端與電源之間；
 - 一第一低端閘極電源電晶體連接於該三元內容可定址記憶體之無關項記憶胞之該第一反相器之釋電端與接地端之間；以及
 - 一第二低端閘極電源電晶體連接於該三元內容可定址記憶體之無關項記憶胞之該第二反相器之釋電端與接地端之間，其中該第一高端閘極電源電晶體、該第二高端閘極電源電晶體、該第一低端閘極電源電晶體及該第二低端閘極電源電晶體之閘極分別接收一第一高端控制電壓信號、一第二高端控制電壓信號、一第一低端控制電壓信號及一第二低端控制電壓信號，其依據一切換控制信號及該三元內容可定址記憶體之無關項記憶胞的儲存值而導通或截止該第一高端閘極電源電晶體、該第二高端閘極電源電晶體、該第一低端閘極電源電晶體及該第二低端閘極電源電晶體。
2. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，更包含一高端控制電壓信號控制器連接一倍壓產生器與該三元內容可定址記憶體之無關項記憶胞，用以提供並切換該第一高端控制電壓信號與該第二高端控制電壓信號。

3. 如請求項 2 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，其中該高端控制電壓信號控制器包含：

一第一左 P 通道金屬氧化半導體場效應電晶體與一第一右 P 通道金屬氧化半導體場效應電晶體，其中該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之源極連接該倍壓產生器以接收一高端超截止電流電壓，該第一左 P 通道金屬氧化半導體場效應電晶體之閘極連接至該第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第一右 P 通道金屬氧化半導體場效應電晶體之閘極連接至該第一左 P 通道金屬氧化半導體場效應電晶體之汲極；

一第二左 P 通道金屬氧化半導體場效應電晶體及一第二右 P 通道金屬氧化半導體場效應電晶體，其中該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之源極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號；

一第一左 N 通道金屬氧化半導體場效應電晶體及一第一右 N 通道金屬氧化半導體場效應電晶體，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第二左 P 通道金屬氧化半導體場效應電晶體與該第二右 P 通道金屬氧化半導體場效應電晶體之汲極，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之源極連接接地端，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之閘極之間以一反相器相連接並接收該三元內容可定址記憶體之無關項記憶胞的儲存值；以及

一 第二左 N 通道金屬氧化半導體場效應電晶體及一第二右 N 通道金屬氧化半導體場效應電晶體，其中該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一右 N 通道金屬氧化半導體場效應電晶體與該第一右 N 通道金屬氧化半導體場效應電晶體之汲極，該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之源極分別連接該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之源極，該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號。

4. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，更包含一低端控制電壓信號控制器連接一超截止電流電壓產生器與該三元內容可定址記憶體之無關項記憶胞，用以提供並切換該第一低端控制電壓信號與該第二低端控制電壓信號。
5. 如請求項 4 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，其中該低端控制電壓信號控制器包含：

一 第一左 P 通道金屬氧化半導體場效應電晶體與一第一右 P 通道金屬氧化半導體場效應電晶體，其中該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之源極接連接一電源，其提供一正電壓，該第一左 P 通道金屬氧化半導體場效應電晶體與第一右 P 通道金屬氧化半導體場效應電晶體之閘極之間連接一反相器並接收該三元內容可定址記憶體之無關項記憶胞的儲存值；

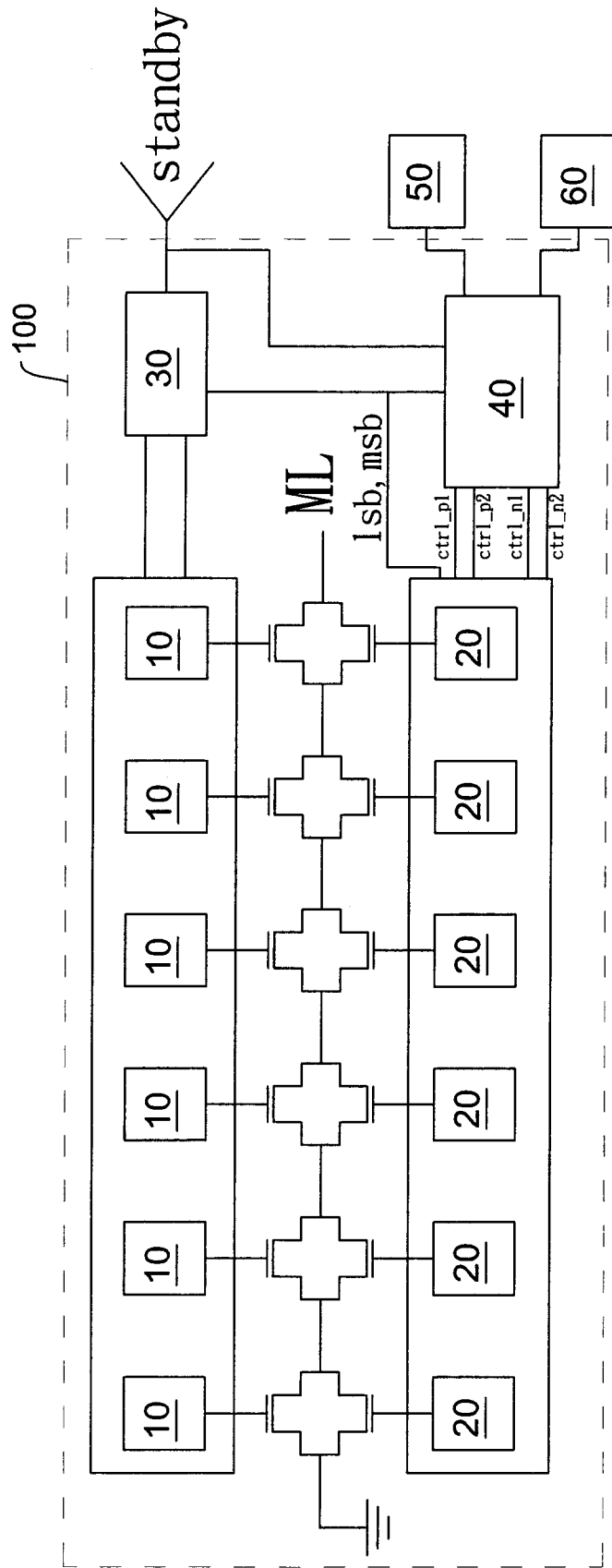
一 第二左 P 通道金屬氧化半導體場效應電晶體及一第二右 P 通道金屬氧化半導體場效應電晶體，其中該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶

體之源極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之源極，該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號；

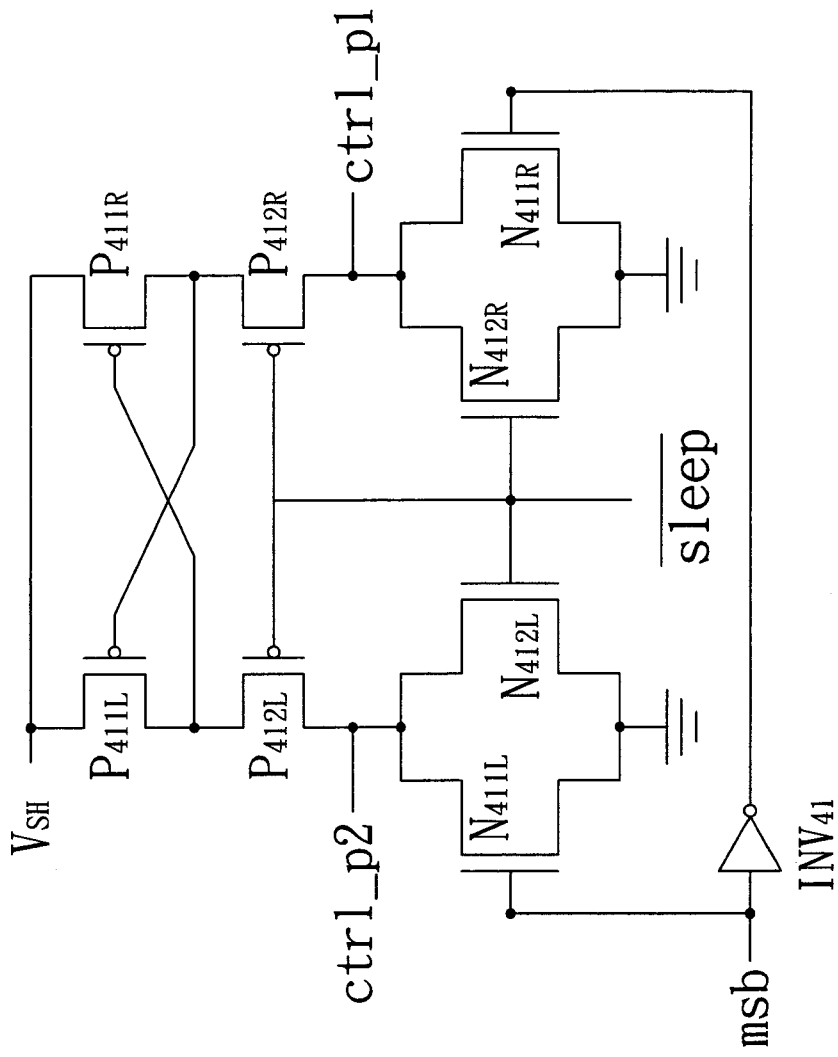
一 第一左 N 通道金屬氧化半導體場效應電晶體及一第一右 N 通道金屬氧化半導體場效應電晶體，其中該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號；以及

一 第二左 N 通道金屬氧化半導體場效應電晶體及一第二右 N 通道金屬氧化半導體場效應電晶體，其中該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之源極，該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之源極連接該低端控制電壓信號控制器，該第二左 N 通道金屬氧化半導體場效應電晶體之閘極連接該第二右 N 通道金屬氧化半導體場效應電晶體之汲極，該第二右 N 通道金屬氧化半導體場效應電晶體之閘極連接該第二左 N 通道金屬氧化半導體場效應電晶體之汲極。

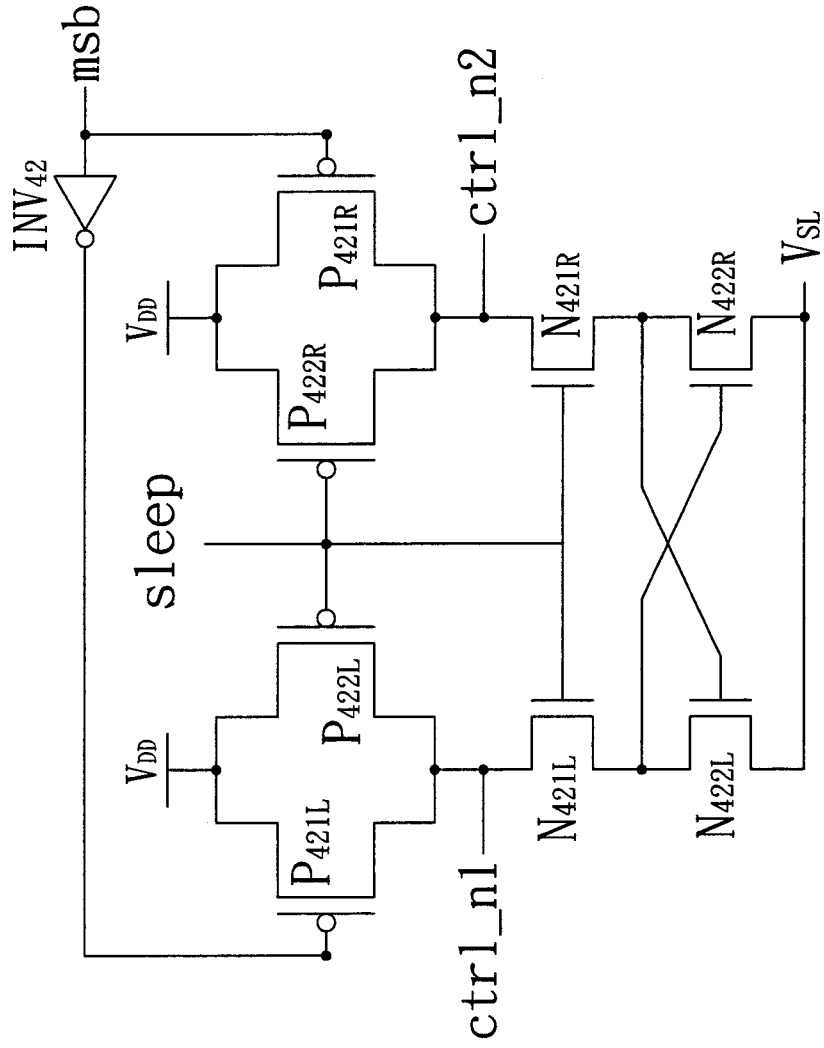
6. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，其中該第一高端閘極電源電晶體與該第二高端閘極電源電晶體為 P 通道金屬氧化半導體金屬場效應電晶體。
7. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，其中該第一低端閘極電源電晶體與該第二低端閘極電源電晶體為 N 通道金屬氧化半導體金屬場效應電晶體。



第1圖



第3圖



第4圖

發明專利說明書

97-1.29

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96149999

※申請日期：

※IPC 分類：G11C7/12 (2006.01)

一、發明名稱：(中文/英文)

三元內容可定址記憶體之漏電流超截斷裝置

LEAKAGE CURRENT SUPER CUT-OFF DEVICE FOR TERNARY
CONTENT ADDRESSABLE MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文) (簽章) 張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/No. 1001 Dasyue Road, Hsinchu, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓 名：(中文/英文)

黃柏蒼/HUANG, PO-TSANG

劉文彥/LIU, WEN-YEN

黃威/HWANG, WEI

國 籍：(中文/英文) (皆同) 中華民國/TW

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096149999

※ 申請日期：96.12.25

※ IPC 分類：G11C 7/12(2006.01)

一、發明名稱：(中文/英文)

三元內容可定址記憶體之漏電流超截斷裝置

LEAKAGE CURRENT SUPER CUT-OFF DEVICE FOR TERNARY

CONTENT ADDRESSABLE MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)(簽章) 吳重雨/WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/No. 1001 Dasyue Road, Hsinchu, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓 名：(中文/英文)

黃柏蒼/HUANG, PO-TSANG

劉文彥/LIU, WEN-YEN

黃威/HWANG, WEI

國 籍：(中文/英文)(皆同) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種應用於三元內容可定址記憶體之漏電流超截斷裝置，其於不同的操作模式下，控制高端與低端閘極電源電晶體之導通或截止以降低三元內容可定址記憶體無關項記憶胞之漏電流。

六、英文發明摘要：

A leakage current super cut-off device for a ternary content addressable memory is provided. For various operations of the ternary content addressable memory, the device uses the high-end and low-end power gating control transistors to turn on/off the don't-care cells to reduce the leakage current passing through the don't-care cells.

七、指定代表圖：

(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

20	無關項記憶胞
V _{DD}	電壓
N ₁ 、N ₂	電晶體
P ₁ 、P ₂	電晶體
ctrl_p1、ctrl_p2	高端控制電壓信號
ctrl_n1、ctrl_n2	低端控制電壓信號
standby	待機信號
msb、lsb	無關項記憶胞儲存值

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種三元內容可定址記憶體之漏電流超截斷裝置。

【先前技術】

三元內容可定址記憶體(ternary content addressable memory, TCAM)被分組為陣列結構的區段，每個區段包含一陣列的三元內容可定址記憶體胞對(TCAM cell pair)，每一胞對表示一個位元(bit)，其包含一儲存記憶胞(storage cell)與一無關項記憶胞(don't-care cell)，每一個記憶胞包含兩個串接的反相器(inverter pair)。每一個位元之儲存值可能為"0"狀態(zero state)、"1"狀態(one state)及"X"狀態，或稱為無關項狀態"X"(don't-care state)。

無關項記憶胞之受電端與釋電端分別連接於一電壓源及接地端，因而存在漏電流，當微電子電路的發展尺度日益縮小，漏電流將耗費電源之電能，甚至導致元件可信度降低，是以，本發明即在提供一種降低三元內容可定址記憶體之無關項記憶胞漏電流的解決方案。

【發明內容】

本發明提供一種三元內容可定址記憶體之漏電流超截斷裝置用以降低無關項記憶胞之漏電流。其利用超截止閘極電源控制裝置，將區段內之無關項記憶胞內之二反相器之受電端分別連接二高端閘極電源電晶體後再連接電源(電壓 V_{DD})，其釋電端分別連接二低端閘極電源電晶體再連接接地端，並藉由控制高端及低端閘極電晶體的

閘極電壓以形成曲折截止控制電路(zigzag cut-off control circuit)而降低漏電流。

更進一步，於高端或低端閘極電晶體於截止時，施一超截止電壓於高端及低端閘極電晶體之閘極使漏電流更低，稱為超截止閘極電源控制電路(super cut-off power gating control circuit)。

【實施方式】

三元內容可定址記憶體區分為多個區段，一區段的三元內容可定址記憶體之整體架構示於第 1 圖。本實施例中一區段 100 包含 6 位元，每位元之儲存記憶胞(storage cell)10 與無關項記憶胞(don't-care cell)20 之間以 NMOS 連接相符線 ML(match line)，區段內之儲存記憶胞 10 連接多模式閘極電源控制裝置 30，藉以降低儲存記憶胞 10 之漏電流，無關項記憶胞 20 連接超截止閘極電源控制電路 40，藉以降低無關項記憶胞 20 之漏電流。

多模式閘極電源控制裝置 30 已於發明人之另一申請案第 96149397 號中揭露，本說明書不再贅述，本說明書主要係揭露超截止閘極電源控制電路 40 之技術。

如圖所示，每區段 100 的記憶胞對陣列具有超截止閘極電源控制電路 40，其連接外部之倍壓產生器 50 與超截止電流電壓產生器 60 以降低無關項記憶胞之漏電流，其中，倍壓產生器 50 與超截止電流電壓產生器 60 分別用以提供正超截止電壓 V_{SH} 及負超截止電壓 V_{SL} 。

超截止閘極電源控制電路 40 接收區段內的首位元之無關項記憶胞儲存值 msb、末位元之無關項記憶胞儲存值 lsb 以及待機信號 standby 而切換第一高端控制電壓信號 ctrl_p1、第二

高端控制電壓信號 $ctrl_p2$ 、第一低端控制電壓信號 $ctrl_n1$ 及第二低端控制電壓信號 $ctrl_n2$ ，其用以降低無關項記憶胞 20 之漏電流。

請參考第 2 圖，其為超截止閘極電源控制電路之高端及低端閘極電源電晶體與無關項記憶胞 20 的連接關係。一無關項記憶胞 20 包含串接的左反相器及右反相器，區段內無關項記憶胞 20 的左反相器及右反相器的受電端分別連接第一高端閘極電源電晶體 P_1 與第二高端閘極電源電晶體 P_2 後再連接電源，因而形成第一擬受電端及第二擬受電端，電源之電壓表示為 V_{DD} 。區段內無關項記憶胞 20 的左反相器及右反相器的釋電端分別連接第一低端閘極電源電晶體 N_1 與第二低端閘極電源電晶體 N_2 後再連接接地端，因而分別形成第一擬地端及第二擬地端。以上所述之“左”、“右”係為說明方便並非實際的空間相對位置。

本實施例中的高端閘極電源電晶體 P_1 、 P_2 係採用 P 通道金屬氧化半導體場效應電晶體 (p-channel metal oxide semiconductor field effect transistor, pMOS)，其連接方式係將高端閘極電源電晶體 P_1 、 P_2 之源極連接電源，汲極分別連接無關項記憶胞 20 的左反相器及右反相器的受電端，而高端閘極電源電晶體 P_1 、 P_2 之閘極分別接收 $ctrl_p1$ 及 $ctrl_p2$ 。

低端閘極電源電晶體 N_1 、 N_2 係採用 N 通道金屬氧化半導體場效應電晶體 (n-channel metal oxide semiconductor field effect transistor, nMOS)，其連接方式係將低端閘極電源電晶體 N_1 、 N_2 之汲極分別連接無關項記憶胞 20 的左反相器及右反相器的釋電端，其源極連接接地端，而低端閘極電源電晶體 N_1 、 N_2 之閘極分別接收 $ctrl_n1$ 及 $ctrl_n2$ 。

當 $ctrl_p1$ 導通 P_1 時，將 N_1 與 P_2 截止而 N_2 導通；而當 $ctrl_p1$ 截止 P_1 時，將 N_1 與 P_2 導通而與 N_2 截止，因而形成曲折截斷控制電路以降低漏電流。且於電晶體 P_1 、 P_2 與 N_1 、 N_2 截止時，分別施一超截止電壓 V_{SH} 與 V_{SL} 於電晶體之閘極以更進一步降低漏電流。 P_1 與 P_2 之控制電路稱為稱為高端控制電壓信號控制器，示於第 3 圖。 N_1 與 N_2 之控制電路稱為低端控制電壓信號控制器，示於第 4 圖。

首先說明高端控制電壓信號控制器，請參考第 3 圖。如圖所示，高端控制電壓信號控制器包含一第一左 P 通道金屬氧化半導體場效應電晶體 P_{411L} 、一第一右 P 通道金屬氧化半導體場效應電晶體 P_{411R} 、一第二左 P 通道金屬氧化半導體場效應電晶體 P_{412L} 、一第二右 P 通道金屬氧化半導體場效應電晶體 P_{412R} 、一第一左 N 通道金屬氧化半導體場效應電晶體 N_{411L} 、一第一右 N 通道金屬氧化半導體場效應電晶體 N_{411R} 、一第二左 N 通道金屬氧化半導體場效應電晶體 N_{412L} 、一第二右 N 通道金屬氧化半導體場效應電晶體 N_{412R} 及一反相器 INV_{41} ，以上所述之“左”“右”係為說明方便並非實際的空間相對位置。

P_{411L} 與 P_{411R} 之源極接收 V_{SH} ， P_{411L} 之閘極連接至 P_{411R} 之汲極， P_{411R} 之閘極連接至 P_{411L} 之汲極。 P_{412L} 及 P_{412R} 之源極分別連接 P_{411L} 與 P_{411R} 之汲極， P_{412L} 及 P_{412R} 之閘極相連接並接收反相的切換控制信號 \overline{sleep} 。 N_{411L} 及 N_{411R} 之汲極分別連接 P_{412L} 與 P_{412R} 之汲極， N_{411L} 及 N_{411R} 之源極連接接地端， N_{411L} 及 N_{411R} 之閘極之間串接 INV_{41} 相連接並接收 msb 。 N_{412L} 及 N_{412R} 之汲極分別連接 N_{411L} 與 N_{411R} 之汲極， N_{412L} 及 N_{412R} 之源極分別連接 N_{411L} 及 N_{411R} 之源極， N_{412L} 及 N_{412R} 之閘極相連接並接收 \overline{sleep} 。 P_{412L} 及 P_{412R} 之汲極分別提供 $ctrl_p2$ 及 $ctrl_p1$ 。

接著說明低端控制電壓信號控制器，請參考第 4 圖。如圖所示，低端控制電壓信號控制器包含一第一左 P 通道金屬氧化半導體場效應電晶體 P_{421L} 、一第一右 P 通道金屬氧化半導體場效應電晶體 P_{421R} 、一第二左 P 通道金屬氧化半導體場效應電晶體 P_{422L} 、一第二右 P 通道金屬氧化半導體場效應電晶體 P_{422R} 、一第一左 N 通道金屬氧化半導體場效應電晶體 N_{421L} 、一第一右 N 通道金屬氧化半導體場效應電晶體 N_{421R} 、一第二左 N 通道金屬氧化半導體場效應電晶體 N_{422L} 、一第二右 N 通道金屬氧化半導體場效應電晶體 N_{422R} 一反相器 INV_{42} ，以上所述之”左” ”右”係為說明方便並非實際的空間相對位置。

P_{421L} 與 P_{421R} 之源極接連接一電源，其提供一正電壓 V_{DD} ，本實施例中為 $V_{DD}=1.2$ 伏。 P_{421L} 與 P_{421R} 之閘極間串接 INV_{42} 並接收 msb 。 P_{422L} 及 P_{422R} 之源極分別連接 P_{421L} 與 P_{421R} 之源極， P_{422L} 及 P_{422R} 之汲極分別連接 P_{421L} 與 P_{421R} 之汲極， P_{422L} 及 P_{422R} 之閘極相連接並接收切換控制信號 $sleep$ 。 N_{421L} 及 N_{421R} 之汲極分別連接 P_{421L} 與 P_{421R} 之汲極， N_{421L} 及 N_{421R} 之閘極相連接並接收 $sleep$ 。 N_{422L} 及 N_{422R} 之汲極分別連接 N_{421L} 及 N_{421R} 之源極， N_{422L} 及 N_{422R} 之源極接收負電壓 V_{SL} ， N_{422L} 之閘極連接 N_{422R} 之汲極， N_{422R} 之閘極連接 N_{422L} 之汲極。 N_{421L} 及 N_{421R} 之汲極分別提供 $ctrl_n1$ 及 $ctrl_n2$ 。

接著說明 $sleep$ 與 msb 控制 $ctrl_p1$ 、 $ctrl_p2$ 、 $ctrl_n1$ 與 $ctrl_n2$ 電壓之作動並同時參考表一。

sleep	msb	ctrl_p1	ctrl_p2	ctrl_n1	ctrl_n2
0	1	0	0	V_{DD}	V_{DD}
0	0	0	0	V_{DD}	V_{DD}
1	1	V_{SH}	0	V_{DD}	V_{SL}
1	0	0	V_{SH}	V_{SL}	V_{DD}

表一

當 $sleep=0$ 時，則 $ctrl_p1$ 與 $ctrl_p2$ 必為接地電壓(其電壓值為 0)，而 $ctrl_n1$ 與 $ctrl_n2$ 必為高壓，其值為 V_{DD} ，不適用本發明之超截止閘極電源控制電路技術。當 $sleep=1$ 時， $ctrl_p1$ 、 $ctrl_p2$ 、 $ctrl_n1$ 及 $ctrl_n2$ 依據 msb 而變，則可應用本技術以降低漏電流。若 $msb=0$ ， $ctrl_p1 = 0$ ， $ctrl_p2 = V_{SH}$ ， $ctrl_n2 = V_{DD}$ ， $ctrl_n1 = V_{SL}$ ；而若 $msb=1$ ， $ctrl_p1 = V_{SH}$ ， $ctrl_p2 = 0$ ， $ctrl_n2 = V_{SL}$ ， $ctrl_n1 = V_{DD}$ 。本實施例之 $V_{DD}=1.2$ 伏、 $V_{SH}=1.5$ 伏及 $V_{SL}=-0.3$ 伏。

接著說明 $standby$ 、 lsb 、 msb 與 $sleep$ 之關係以說明本發明適用之操作模式，請參考表二。

	$msb=lsb=0$	$msb \neq lsb$	$msb=lsb=1$
寫入操作	$sleep=0$	$sleep=0$	$sleep=0$
讀取操作	$sleep=1$	$sleep=0$	$sleep=1$
查詢操作	$sleep=1$	$sleep=0$	$sleep=1$
待機模式	$sleep=1$	$sleep=0$	$sleep=1$

表二

當寫入操作(write operation)或 $msb \neq lsb$ 時， $sleep=0$ 而不適用本發明漏電流截止技術；反之，其他操作模式之 $sleep=1$ ，皆可應用本漏電流截止技術以降低漏電流。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖所示為依據本發明一實施例之三元內容可存取記憶體之架構圖。

第 2 圖所示為依據本發明一實施例之超截止閘極電源控制電路圖。

第 3 圖所示為依據本發明一實施例之高端控制電壓信號控制器電路圖。

第 4 圖所示為依據本發明一實施例之低端控制電壓信號控制器電路圖。

【主要元件符號說明】

10	儲存記憶胞
20	無關項記憶胞
30	閘極電源控制裝置
40	超截止閘極電源控制電路
50	倍壓產生器
60	超截止電流電壓產生器
INV_{41} 、 INV_{42}	反相器
N_1 、 N_2 、 N_{411L} 、 N_{412L} 、 N_{411R} 、 N_{412R} 、 N_{421L} 、 N_{422L} 、 N_{421R} 、 N_{422R}	電晶體
P_1 、 P_2 、 P_{411L} 、 P_{412L} 、 P_{411R} 、 P_{412R} 、 P_{421L} 、 P_{422L} 、 P_{421R} 、 P_{422R}	電晶體
V_{DD} 、 V_{SH} 、 V_{SL}	電壓
ML	相符線

standby

待機信號

sleep

切換控制信號

msb、lsb

無關項記憶胞儲存值

ctrl_p1、ctrl_p2

高端控制電壓信號

ctrl_n1、ctrl_n2

低端控制電壓信號

十、申請專利範圍：

1. 一種應用於三元內容可定址記憶體之之漏電流超截斷裝置，其利用一超截止閘極電源控制電路降低該三元內容可定址記憶體之無關項記憶胞之漏電流，其中該超截止閘極電源控制電路包含：

一第一高端閘極電源電晶體連接該三元內容可定址記憶體之無關項記憶胞之一第一反相器之受電端與電源之間；

一第二高端閘極電源電晶體連接於該三元內容可定址記憶體之無關項記憶胞之一第二反相器之受電端與電源之間；

一第一低端閘極電源電晶體連接於該三元內容可定址記憶體之無關項記憶胞之該第一反相器之釋電端與接地端之間；以及

一第二低端閘極電源電晶體連接於該三元內容可定址記憶體之無關項記憶胞之該第二反相器之釋電端與接地端之間，其中該第一高端閘極電源電晶體、該第二高端閘極電源電晶體、該第一低端閘極電源電晶體及該第二低端閘極電源電晶體之閘極分別接收一第一高端控制電壓信號、一第二高端控制電壓信號、一第一低端控制電壓信號及一第二低端控制電壓信號，其依據一切換控制信號及該三元內容可定址記憶體之無關項記憶胞的儲存值而導通或截止該第一高端閘極電源電晶體、該第二高端閘極電源電晶體、該第一低端閘極電源電晶體及該第二低端閘極電源電晶體。

2. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流超截斷裝置，更包含一高端控制電壓信號控制器連接一倍壓產生器與該三元內容可定址記憶體之無關項記憶胞，用以提供並切換該第一高端控制電壓信號與該第二高端控制電壓信號。

3. 如請求項 2 所述之應用於三元內容可定址記憶體之漏電流超截斷裝置，其中該高端控制電壓信號控制器包含：

一第一左 P 通道金屬氧化半導體場效應電晶體與一第一右 P 通道金屬氧化半導體場效應電晶體，其中該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之源極連接該倍壓產生器以接收一高端超截止電流電壓，該第一左 P 通道金屬氧化半導體場效應電晶體之閘極連接至該第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第一右 P 通道金屬氧化半導體場效應電晶體之閘極連接至該第一左 P 通道金屬氧化半導體場效應電晶體之汲極；

一第二左 P 通道金屬氧化半導體場效應電晶體及一第二右 P 通道金屬氧化半導體場效應電晶體，其中該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之源極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號；

一第一左 N 通道金屬氧化半導體場效應電晶體及一第一右 N 通道金屬氧化半導體場效應電晶體，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第二左 P 通道金屬氧化半導體場效應電晶體與該第二右 P 通道金屬氧化半導體場效應電晶體之汲極，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之源極連接接地端，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之閘極之間以一反相器相連接並接收該三元內容可定址記憶體之無關項記憶胞的儲存值；以及

一第二左 N 通道金屬氧化半導體場效應電晶體及一第二右 N 通道金屬氧化半導體場效應電晶體，其中該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一右 N 通道金屬氧化半導體場效應電晶體與該第一右 N 通道金屬氧化半導體場效應電晶體之汲極，該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之源極分別連接該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之源極，該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號。

4. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流超截斷裝置，更包含一低端控制電壓信號控制器連接一超截止電流電壓產生器與該三元內容可定址記憶體之無關項記憶胞，用以提供並切換該第一低端控制電壓信號與該第二低端控制電壓信號。
5. 如請求項 4 所述之應用於三元內容可定址記憶體之漏電流超截斷裝置，其中該低端控制電壓信號控制器包含：

一第一左 P 通道金屬氧化半導體場效應電晶體與一第一右 P 通道金屬氧化半導體場效應電晶體，其中該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之源極接連接一電源，其提供一正電壓，該第一左 P 通道金屬氧化半導體場效應電晶體與第一右 P 通道金屬氧化半導體場效應電晶體之閘極之間連接一反相器並接收該三元內容可定址記憶體之無關項記憶胞的儲存值；

一第二左 P 通道金屬氧化半導體場效應電晶體及一第二右 P 通道金屬氧化半導體場效應電晶體，其中該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶

體之源極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之源極，該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第二左 P 通道金屬氧化半導體場效應電晶體及該第二右 P 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號；

一 第一左 N 通道金屬氧化半導體場效應電晶體及一第一右 N 通道金屬氧化半導體場效應電晶體，其中該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一左 P 通道金屬氧化半導體場效應電晶體與該第一右 P 通道金屬氧化半導體場效應電晶體之汲極，該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之閘極相連接並接收該切換控制信號；以及

一 第二左 N 通道金屬氧化半導體場效應電晶體及一第二右 N 通道金屬氧化半導體場效應電晶體，其中該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之汲極分別連接該第一左 N 通道金屬氧化半導體場效應電晶體及該第一右 N 通道金屬氧化半導體場效應電晶體之源極，該第二左 N 通道金屬氧化半導體場效應電晶體及該第二右 N 通道金屬氧化半導體場效應電晶體之源極連接該低端控制電壓信號控制器，該第二左 N 通道金屬氧化半導體場效應電晶體之閘極連接該第二右 N 通道金屬氧化半導體場效應電晶體之汲極，該第二右 N 通道金屬氧化半導體場效應電晶體之閘極連接該第二左 N 通道金屬氧化半導體場效應電晶體之汲極。

6. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流超截斷裝置，其中該第一高端閘極電源電晶體與該第二高端閘極電源電晶體為 P 通道金屬氧化半導體金屬場效應電晶體。
7. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流超截斷裝置，其中該第一低端閘極電源電晶體與該第二低端閘極電源電晶體為 N 通道金屬氧化半導體金屬場效應電晶體。