



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I433268 B

(45) 公告日：中華民國 103 (2014) 年 04 月 01 日

(21) 申請案號：100133482

(22) 申請日：中華民國 100 (2011) 年 09 月 16 日

(51) Int. Cl. : *H01L21/768 (2006.01)**H01L23/52 (2006.01)**H01L21/60 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳冠能 CHEN, KUAN NENG (TW)；徐聖堯 HSU, SHENG YAO (TW)

(74) 代理人：李國光；張仲謙

(56) 參考文獻：

US 5334804

US 7932590B2

US 2004/0180532A1

US 2005/0189632A1

US 2009/0294814A1

審查人員：莊敏宏

申請專利範圍項數：15 項 圖式數：6 共 25 頁

(54) 名稱

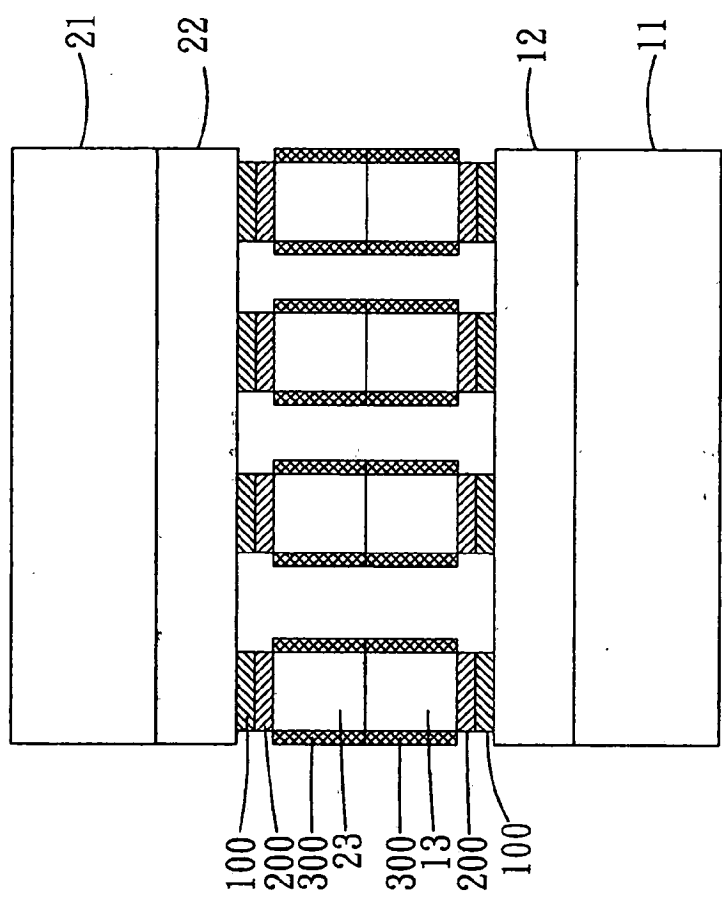
三維積體電路之接合方法及其三維積體電路

BONDING METHOD FOR THREE-DIMENSIONAL INTEGRATED CIRCUIT AND THREE-DIMENSIONAL INTEGRATED CIRCUIT THEREOF

(57) 摘要

本發明係揭露一種三維積體電路之接合方法及其三維積體電路，其包含下列步驟：提供一基板；沉積薄膜層於基板上；利用光源照射於薄膜層，以形成圖形結構；藉由第一金屬及第二金屬共鍍於薄膜層上，以形成金屬共鍍層；提供依序具有基板、薄膜層及金屬共鍍層之第一積體電路；提供依序具有金屬共鍍層、薄膜層及基板之第二積體電路；以及透過一設定溫度，第一積體電路接合於第二積體電路上，以形成三維積體電路。

The present invention discloses a bonding method for three-dimensional integrated circuit and a three-dimensional integrated circuit thereof. The bonding method comprises the following steps: providing a substrate; depositing a film layer on the substrate; forming a graphic structure by a light source emitted to the film layer; forming a metal co-deposition layer by a first metal and a second metal that are co-deposited on the film layer; providing a first integrated circuit with the substrate, the film layer and the metal co-deposition layer sequentially; providing a second integrated circuit with the metal co-deposition layer, the film layer and the substrate sequentially; and forming a three-dimensional integrated circuit by the first integrated circuit that is bonded with the second integrated circuit at a setting temperature.

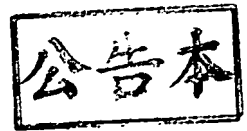


- 11 . . . 第一基板
- 12 . . . 第一薄膜層
- 13 . . . 第一金屬共鍍層
- 21 . . . 第二基板
- 22 . . . 第二薄膜層
- 23 . . . 第二金屬共鍍層
- 100 . . . 附著層
- 200 . . . 阻擋層
- 300 . . . 邊界保護層

第4圖



# 發明專利說明書



※記號部分請勿填寫

※申請案號：100133482

※申請日：100.9.16

※IPC分類：H01L 21/768

23/52

21/60

## 一、發明名稱：

三維積體電路之接合方法及其三維積體電路

BONDING METHOD FOR THREE-DIMENSIONAL INTEGRATED  
CIRCUIT AND THREE-DIMENSIONAL INTEGRATED CIRCUIT  
THEREOF

## 二、中文發明摘要：

本發明係揭露一種三維積體電路之接合方法及其三維積體電路，其包含下列步驟：提供一基板；沉積薄膜層於基板上；利用光源照射於薄膜層，以形成圖形結構；藉由第一金屬及第二金屬共鍍於薄膜層上，以形成金屬共鍍層；提供依序具有基板、薄膜層及金屬共鍍層之第一積體電路；提供依序具有金屬共鍍層、薄膜層及基板之第二積體電路；以及透過一設定溫度，第一積體電路接合於第二積體電路上，以形成三維積體電路。

## 三、英文發明摘要：

The present invention discloses a bonding method for three-dimensional integrated circuit and a three-dimensional integrated circuit thereof. The bonding method comprises the following steps: providing a substrate; depositing a film layer on the substrate; forming a graphic structure by a light source emitted to the film layer; forming a metal co-deposition layer by a first metal and a second metal that are co-deposited on the film layer; providing a first integrated circuit with the substrate, the film layer and the metal co-deposition layer sequentially; providing a second integrated circuit with the metal co-deposition layer, the film layer and the substrate sequentially; and forming a

three-dimensional integrated circuit by the first integrated circuit that is bonded with the second integrated circuit at a setting temperature.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

11：第一基板；

12：第一薄膜層；

13：第一金屬共鍍層；

21：第二基板；

22：第二薄膜層；

23：第二金屬共鍍層；

100：附著層；

200：阻擋層；以及

300：邊界保護層。

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

[0001] 本發明是有關於一種三維積體電路之接合方法及其三維積體電路，特別是有關於一種可自動形成附著層、阻擋層及邊界保護層的三維積體電路之接合方法及其三維積體電路。

### 【先前技術】

[0002] 隨著科技與半導體技術的發展，科技產品也漸漸趨向小型化、多功能及輕薄化，而容置空間不斷縮小也使積體電路（Integrated Circuit，IC）的設計上更加具有挑戰性。以目前三維積體電路堆疊技術的發展而言，除了大幅縮小記憶體在電路板上所佔面積，提升電子產品縮小化的效率外，更能將不同功能晶片整合在同一構裝模組中，達到系統級封裝（System in Package，SiP）的效益。

[0003] 習知應用於積體電路的接合方法，如美國專利公告第5334804號，係提出一種利用可導電的銅柱連結積體電路晶片及基板，然而此種方法製程繁複，製造上較具困難性，且較適合於後段封裝，無法應用於前段製程發展。又如S. TSUKIMOTO等人於2007年提出「Effect of Annealing Ambient on the Self-Formation Mechanism of Diffusion Barrier Layers Used in Cu(Ti) Interconnects」，可應用於銅導線，使其不易被氧化。然而，此方法僅適用於二維平面的接合，無法應用於維度的延伸，使得發展受到限制。

[0004] 經由上述可知，習知技術具有製程繁雜、維度無法延伸，或只適用於傳統的製程方法，科技的發展受到限制等問題。因此，以需求來說，設計一個三維積體電路之接合方法及其三維積體電路，已成市場應用上之一個刻不容緩的議題。

**【發明內容】**

[0005] 有鑑於上述習知技藝之問題，本發明之目的就是在提供一種三維積體電路之接合方法及其三維積體電路，以解決先前技術費時、製程繁雜且限制維度延伸之問題。

[0006] 根據本發明之目的，提出一種三維積體電路之接合方法，適用於製造一三維積體電路，其包含下列步驟：提供一第一積體電路及一第二積體電路，其分別包含一基板、一薄膜層及一金屬共鍍層，形成第一積體電路及第二積體電路係包含下列步驟：提供一基板；沉積薄膜層於基板上；利用光源透過一光罩照射於薄膜層，以形成圖形結構；以及共鍍第一金屬及第二金屬於薄膜層上，以形成金屬共鍍層；以及在一設定溫度下，疊合第一積體電路於第二積體電路上，使得各金屬共鍍層互相接合，且第一金屬之至少一部份的原子向各金屬共鍍層間接合的介面擴散，以及第二金屬之至少一部分的原子向第一積體電路與第二積體電路之各薄膜層擴散，以形成用於第一金屬之一附著層及該阻擋層。

[0007] 其中，附著層及阻擋層在第一金屬及薄膜層間提供穩定地一附著力，且防止第一金屬之原子擴散至薄膜層。

[0008] 其中，設定溫度係介於200°C至400°C之間。

- [0009] 其中，疊合步驟係於大氣環境下執行。
- [0010] 其中，在金屬共鍍層邊緣之第二金屬之至少另一部份的原子與氧發生反應，從而形成一邊界保護層，以保護第一金屬不受氧化。
- [0011] 其中，第一金屬係為銅，第二金屬係為鈦。
- [0012] 根據本發明之目的，再提出一種三維積體電路，其包含：  
：一第一積體電路及一第二積體電路。第一積體電路，係依序包含：一第一基板；一第一薄膜層形成於第一基板上，並形成一第一圖形結構於第一薄膜層上方；以及一第一金屬共鍍層設置於第一薄膜層上方，且具有一第一金屬及一第二金屬沉積於第一金屬共鍍層之中。第二積體電路，係依序包含：一第二基板；一第二薄膜層，係形成於第二基板上，並形成一第二圖形結構於第二薄膜層上方；以及一第二金屬共鍍層，係設置於第二薄膜層上方，且具有第一金屬及第二金屬沉積於第二金屬共鍍層之中。其中，第二積體電路在一設定溫度下疊合於第一積體電路上，使得第一金屬共鍍層及第二金屬共鍍層互相接合，且第一金屬之至少一部份的原子向第一金屬共鍍層與第二金屬共鍍層間接合的介面間擴散，以及第二金屬之至少一部份的原子向第一積體電路及第二積體電路各自之第一薄膜層與第二薄膜層間擴散，以形成用於第一金屬之附著層及阻擋層。
- [0013] 其中，附著層及該阻擋層在第一金屬及薄膜層間提供穩定地一附著力，且防止第一金屬之原子擴散至薄膜層。



- [0014] 其中，設定溫度係介於 $200^{\circ}\text{C}$ 至 $400^{\circ}\text{C}$ 之間。
- [0015] 其中，疊合步驟係於大氣環境下執行。
- [0016] 其中，在金屬共鍍層邊緣之第二金屬之至少另一部份的原子與氧發生反應，從而形成一邊界保護層，以保護第一金屬不受氧化。
- [0017] 其中，第一金屬係為銅，第二金屬係為鈦。
- [0018] 根據本發明之目的，更提出一種三維積體電路，其包含：  
：一第一積體電路係依序包含第一基板、第一薄膜層及第一金屬共鍍層；以及一第二積體電路係依序包含第二金屬共鍍層、第二薄膜層及第二基板；其中，第一金屬共鍍層與第二金屬共鍍層係於一設定溫度相互接合，且第一薄膜層或第二薄膜層之表面係自動形成一附著層或一阻擋層，並第一金屬共鍍層或第二金屬共鍍層之表面係自動形成一邊界保護層。
- [0019] 其中，第一金屬共鍍層與第二金屬共鍍層係在設定溫度且大氣環境下相互接合。
- [0020] 其中，第一金屬共鍍層與第二金屬共鍍層係在設定溫度下於腔體中相互接合。
- [0021] 綜上所述，本發明之三維積體電路之接合方法及其三維積體電路，可克服先前技藝製程繁雜、維度無法延伸，造成科技的發展受到限制等問題，且藉由本發明之三維積體電路之接合方法及其三維積體電路可於一般大氣環境中進行高溫接合銅鈦之製程，且於接合時自動形成鈦

附著層、阻擋層及防銅氧化的氧化鈦之邊界保護層。進一步地，可簡化製造流程，直接形成具有銅鈦共鍍的結構，無需額外進行鈦附著層、銅種晶層或巨量銅層的濺鍍沉積。

[0022] 為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

#### 【實施方式】

[0023] 以下將參照相關圖式，說明依本發明之三維積體電路之接合方法及其三維積體電路之實施例，為使便於理解，下述實施例中之相同元件係以相同之符號標示來說明。

[0024] 請參閱第1圖至第4圖，其係為本發明之三維積體電路之第一實施例之第一、第二、第三及第四示意圖。在本實施例中，第一基板11和第二基板21可為矽晶圓，其矽晶圓不限於任何尺寸或規格。第一薄膜層12或第二薄膜層22可為二氧化矽或其他薄膜材料。第一金屬與第二金屬可為金屬元素，第一金屬於本實施例較佳可為銅，第二金屬於本實施例較佳可為鈦，但不以此為限。如第1圖至第4圖所示，第一積體電路10依序可包含第一基板11、第一薄膜層12以及第一金屬共鍍層13。如第1圖所示，第一薄膜層12可設置於第一基板11上，且其厚度或材料可根據需求改變，在本實施例中，較佳可沉積1000nm的二氧化矽於第一基板11，可以作為第一薄膜層12。可利用一光源1照射於第一薄膜層12，透過光罩以形成一圖形結構。

[0025] 進一步地，如第2圖所示，可以利用物理氣相沉積法於第一薄膜層12上方沉積第一金屬及第二金屬，以形成該第一金屬共鍍層13。第一金屬於本實施例較佳可為銅，第二金屬於本實施例較佳可為鈦，但不以此為限。如此一來，第一金屬共鍍層13可為銅鈦共鍍的結構，並形成第一積體電路10。

[0026] 附帶一提的是，物理氣相沉積法是一種可利用高溫熱源將原料加熱至高溫，使其氣化或形成等離子體，然後在基體上冷卻凝聚成各種形態的材料，例如：單晶、薄膜或晶粒等。

[0027] 接著，請一併參閱第2圖、第3圖及第4圖，第二積體電路20依序可包含第二金屬共鍍層23、第二薄膜層22及第二基板21，且第二積體電路20可於設定溫度下疊合於第一積體電路10上。值得注意的是，第一積體電路10的第一金屬共鍍層13及第二積體電路20的第二金屬共鍍層23在高溫過程中其接觸面互相接合。設定溫度較佳可為200°C至400°C。如圖所示，第一積體電路10與第二積體電路20可接合為三維積體電路。值得一提的是，在本實施例中，是將第一積體電路10與第二積體電路20作兩層的堆疊接合，然，其推疊的層數並不侷限於兩層，可以一層一層的堆疊上去，且每一層可任意改變其製程條件、製程中之金屬材料。

[0028] 特別注意的是，在較佳可於溫度為200°C至400°C下，將第一積體電路10與第二積體電路20接合，並可於第一薄膜層12和第二薄膜層22的表面自動地形成附著層100或阻

擋層200。在本實施例中，第一金屬共鍍層13和第二金屬共鍍層23較佳可為銅鈦共鍍的結構，所以在溫度為200°C至400°C接合第一積體電路10與第二積體電路20時，銅原子會往介面擴散移動，而鈦原子會往二氧化矽的基板移動，而在二氧化矽的表面形成鈦的附著層100，以及防止銅擴散進入二氧化矽的阻擋層200。

[0029] 同時，在溫度較佳可為200°C至400°C及在大氣環境下或在通少量氧氣的腔體內，將第一積體電路10與第二積體電路20接合，第一金屬共鍍層13與第二金屬共鍍層23的表面可自動形成一邊界保護層300。在本實施例中，鈦金屬傾向與大氣中的氧形成鈦的氧化物，使得部份的鈦會往邊界移動，而鈦的氧化物非常的緻密，故鈦的氧化物一旦形成，氧便無法擴散進入銅鈦共鍍的結構中。換句話說，此一擴散作用進一步可防止銅進行氧化反應。

[0030] 順帶一提的是，在本發明所屬領域中具有通常知識者應當明瞭，於前面敘述方式之材質和各層疊合之實施態樣僅為舉例而非限制。

[0031] 依據第一實施例，本發明更提出第二實施例作更進一步之舉例說明。

[0032] 請參閱第5圖，其係為本發明之三維積體電路之第二實施例之示意圖。在本實施例中，第一基板11和第三基板31可為矽晶圓，其矽晶圓不限於任何尺寸或規格。第一薄膜層12或第三薄膜層32可為二氧化矽或其他薄膜材料。第一金屬與第二金屬可為金屬元素，第一金屬於本實施

例較佳可為銅，第二金屬於本實施例較佳可為鈦，但不以此為限。如圖所示，第一積體電路依序可包含第一基板11、第一薄膜層12以及第一金屬共鍍層13。第一薄膜層12可設置於第一基板11上，且其厚度或材料可根據需求改變，在本實施例中，較佳可沉積1000nm的二氧化矽於第一基板11，可以作為第一薄膜層12。利用一光源照射於第一薄膜層12，可透過光罩以形成一圖形結構。

[0033] 更進一步地，可以利用物理氣相沉積法於第一薄膜層12上方沉積第一金屬及第二金屬，以形成該第一金屬共鍍層13。第一金屬於本實施例較佳可為銅，第二金屬於本實施例較佳可為鈦，但不以此為限。如此一來，第一金屬共鍍層13可為銅鈦共鍍的結構，並形成第一積體電路10。同時，第三積體電路40可以與第一積體電路10一般，具有相同的堆疊和製造方法來形成第三積體電路40，第三積體電路40依序可包含第三基板31、第三薄膜層32及第三金屬共鍍層33。第一積體電路10於一設定溫度下可貼合於第三積體電路40的一側，其溫度較佳可為200°C至400°C。如圖所示，在本實施例中，是將第一積體電路10與第三積體電路40左右貼合以作為接合，然，排列之位置並不以此為限。

[0034] 儘管前述在說明本發明之三維積體電路之接合方法及其三維積體電路的過程中，亦已同時說明本發明之三維積體電路之接合方法的概念，但為求清楚起見，以下仍另繪示流程圖詳細說明。

[0035] 請參閱第6圖，其係為本發明之三維積體電路之接合方法

流程圖，如圖所示，本發明之三維積體電路之接合方法，其適用於製造一三維積體電路，其三維積體電路包含一第一積體電路及一第二積體電路。第一積體電路依序包含一第一基板、一第一薄膜層及一第一金屬共鍍層，第二積體電路係依序包含一第二金屬共鍍層、一第二薄膜層及一第二基板。三維積體電路之接合方法包含下列步驟：

- [0036] 在步驟S11中，提供一基板。
- [0037] 在步驟S12中，沉積薄膜層於基板上。
- [0038] 在步驟S13中，利用光源照射於薄膜層，以形成圖形結構。
- [0039] 在步驟S14中，藉由第一金屬及第二金屬共鍍於薄膜層上，以形成金屬共鍍層。
- [0040] 在步驟S15中，提供依序具有基板、薄膜層及金屬共鍍層之第一積體電路。
- [0041] 在步驟S16中，提供依序具有金屬共鍍層、薄膜層及基板之第二積體電路。
- [0042] 在步驟S17中，透過一設定溫度、於大氣環境下或通入少量氧氣的腔體中，將第一積體電路與第二積體電路接合。
- [0043] 本發明之三維積體電路之接合方法的詳細說明以及實施方式已於前面敘述本發明之三維積體電路之接合方法及其三維積體電路時描述過，在此為了簡略說明便不再敘

述。

[0044] 綜上所述，依本發明之三維積體電路之接合方法及其三維積體電路，其可具有一或多個下述優點：

[0045] (1) 此發明克服先前技藝製程繁雜、維度無法延伸，造成科技的發展受到限制等問題。

[0046] (2) 此發明之三維積體電路之接合方法及其三維積體電路可於大氣環境中進行高溫接合銅鈦之製程，且於接合時自動形成鈦附著層、阻擋層及防銅氧化的氧化鈦之邊界保護層。

[0047] (3) 此發明之三維積體電路之接合方法及其三維積體電路可簡化製造流程，直接形成具有銅鈦共鍍的結構，無需額外進行鈦附著層、銅種晶層或巨量銅層的濺鍍沉積。

[0048] 雖然前述的描述及圖示已揭示本發明之較佳實施例，必須瞭解到各種增添、許多修改和取代可能使用於本發明較佳實施例，而不會脫離如所附申請專利範圍所界定的本發明原理之精神及範圍。熟悉該技藝者將可體會本發明可能使用於很多形式、結構、佈置、比例、材料、元件和組件的修改。

[0049] 因此，本文於此所揭示的實施例於所有觀點，應被視為用以說明本發明，而非用以限制本發明。本發明的範圍應由後附申請專利範圍所界定，並涵蓋其合法均等物，並不限於先前的描述。

#### 【圖式簡單說明】

- [0050] 第1圖 係為本發明之三維積體電路之第一實施例之第一示意圖；
- 第2圖 係為本發明之三維積體電路之第一實施例之第二示意圖；
- 第3圖 係為本發明之三維積體電路之第一實施例之第三示意圖；
- 第4圖 係為本發明之三維積體電路之第一實施例之第四示意圖；
- 第5圖 係為本發明之三維積體電路之第二實施例之示意圖；以及
- 第6圖 係為本發明之三維積體電路之接合方法流程圖。

【主要元件符號說明】

- [0051] 1：光源；
- 10：第一積體電路；
- 11：第一基板；
- 12：第一薄膜層；
- 13：第一金屬共鍍層；
- 20：第二積體電路；
- 21：第二基板；
- 22：第二薄膜層；
- 23：第二金屬共鍍層；
- 31：第三基板；
- 32：第三薄膜層；
- 33：第三金屬共鍍層；
- 40：第三積體電路；
- 100：附著層；



200：阻擋層；

300：邊界保護層；以及

S11~S17：步驟流程。

## 七、申請專利範圍：

1. 一種三維積體電路之接合方法，適用於製造一三維積體電路，該三維積體電路之接合方法包含下列步驟：  
提供一第一積體電路及一第二積體電路，其分別依序具有一基板、一薄膜層及一金屬共鍍層，形成該第一積體電路及該第二積體電路係各自包含下列步驟：  
提供該基板；  
沉積該薄膜層於該基板上；  
利用一光源透過一光罩照射於該薄膜層，以形成一圖形結構；以及  
共鍍一第一金屬及一第二金屬於該薄膜層上，以形成該金屬共鍍層；以及  
在一設定溫度下，疊合該第一積體電路於該第二積體電路上，使得各該金屬共鍍層互相接合，且該第一金屬之至少一部份的原子向各該金屬共鍍層間接合的介面擴散，以及該第二金屬之至少一部分的原子向該第一積體電路與該第二積體電路之各該薄膜層擴散，以形成用於該第一金屬之一附著層及一阻擋層。
2. 如申請專利範圍第1項所述之三維積體電路之接合方法，其中該附著層及該阻擋層在該第一金屬及該薄膜層間提供穩定地一附著力，且防止該第一金屬之原子擴散至該薄膜層。
3. 如申請專利範圍第1項所述之三維積體電路之接合方法，其中該設定溫度係介於200°C至400°C之間。
4. 如申請專利範圍第1項所述之三維積體電路之接合方法，

其中該疊合步驟係於大氣環境下執行。

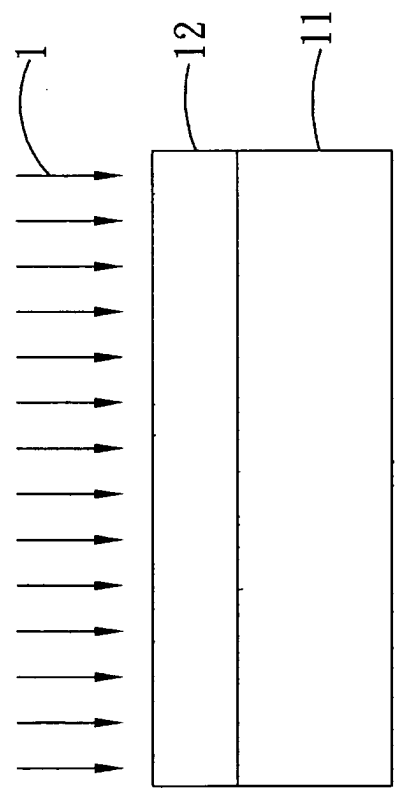
5. 如申請專利範圍第1項所述之三維積體電路之接合方法，其中在該金屬共鍍層邊緣之該第二金屬之至少另一部份的原子與氧發生反應，從而形成一邊界保護層，以保護該第一金屬不受氧化。
6. 如申請專利範圍第5項所述之三維積體電路之接合方法，其中該第一金屬係為銅，該第二金屬係為鈦。
7. 一種三維積體電路，其包含：
  - 一第一積體電路，係包含：
    - 一第一基板；
    - 一第一薄膜層，係形成於該第一基板上，並形成一第一圖形結構於該第一薄膜層上方；以及
    - 一第一金屬共鍍層，係設置於該第一薄膜層上方，且具有一第一金屬及一第二金屬沉積於該第一金屬共鍍層之中；以及
  - 一第二積體電路，其包含：
    - 一第二基板；
    - 一第二薄膜層，係形成於該第二基板上，並形成一第二圖形結構於該第二薄膜層上方；以及
    - 一第二金屬共鍍層，係設置於該第二薄膜層上方，且具有該第一金屬及該第二金屬沉積於該第二金屬共鍍層之中；其中，該第二積體電路係在一設定溫度下疊合於該第一積體電路上，使得該第一金屬共鍍層及該第二金屬共鍍層互相接合，且該第一金屬之至少一部份的原子向該第一金屬共鍍層與該第二金屬共鍍層間接合的介面擴散，以及該第二金屬之至少一部分的原子向該第一積體電路與該第二積

- 體電路各自之該第一薄膜層與該第二薄膜層擴散，以形成用於該第一金屬之一附著層及一阻擋層。
- 8 . 如申請專利範圍第7項所述之三維積體電路之接合方法，其中該附著層及該阻擋層在該第一金屬及該第一薄膜層與該第二薄膜層間提供穩定地一附著力，且防止該第一金屬之原子擴散至該第一薄膜層與該第二薄膜層。
- 9 . 如申請專利範圍第7項所述之三維積體電路之接合方法，其中該設定溫度係介於200°C至400°C之間。
- 10 . 如申請專利範圍第7項所述之三維積體電路之接合方法，其中該疊合步驟係於大氣環境下執行。
- 11 . 如申請專利範圍第7項所述之三維積體電路之接合方法，其中在該金屬共鍍層邊緣之該第二金屬之至少另一部份的原子與氧發生反應，從而形成一邊界保護層，以保護該第一金屬不受氧化。
- 12 . 如申請專利範圍第11項所述之三維積體電路之接合方法，其中該第一金屬係為銅，該第二金屬係為鈦。
- 13 . 一種三維積體電路，其包含：  
一第一積體電路，係依序包含一第一基板、一第一薄膜層及一第一金屬共鍍層；以及  
一第二積體電路，係依序包含一第二金屬共鍍層、一第二薄膜層及一第二基板；  
其中，該第一金屬共鍍層與該第二金屬共鍍層係在一設定溫度下相互接合，且該第一薄膜層或該第二薄膜層之表面係自動形成一附著層及一阻擋層，並該第一金屬共鍍層或該第二金屬共鍍層之表面係自動形成一邊界保護層。
- 14 . 如申請專利範圍第13項所述之三維積體電路，其中該第一

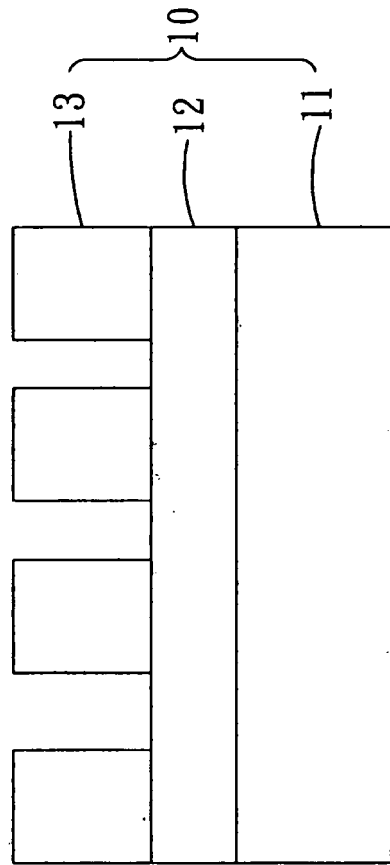
金屬共鍍層與該第二金屬共鍍層係在該設定溫度且大氣環境下相互接合。

- 15 . 如申請專利範圍第13項所述之三維積體電路，其中該第一金屬共鍍層與該第二金屬共鍍層係在該設定溫度下於一腔體中相互接合。

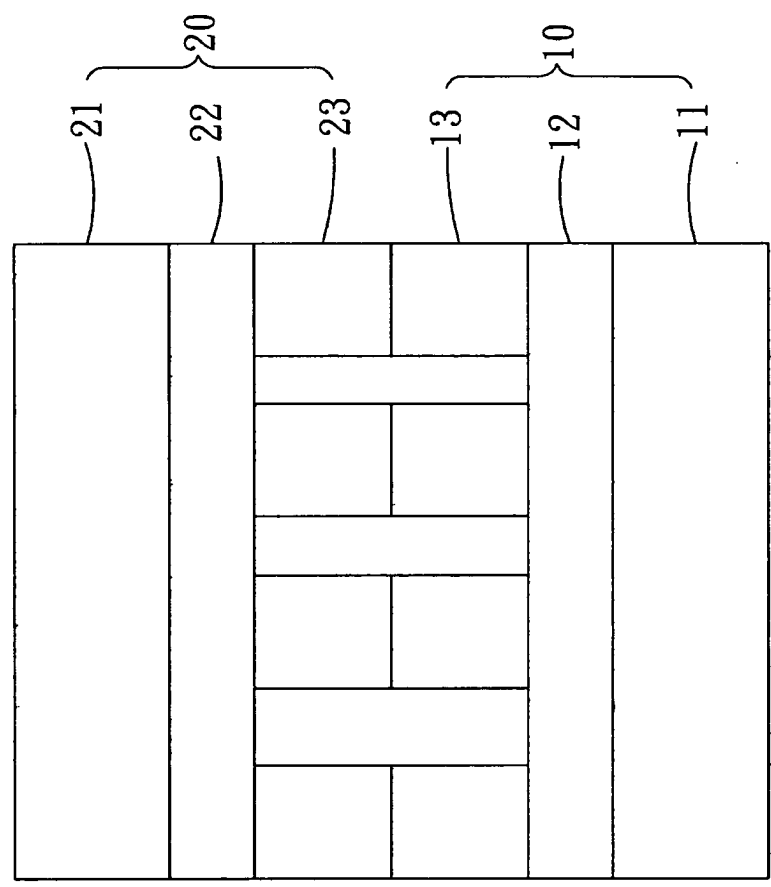
八、圖式：



第1圖

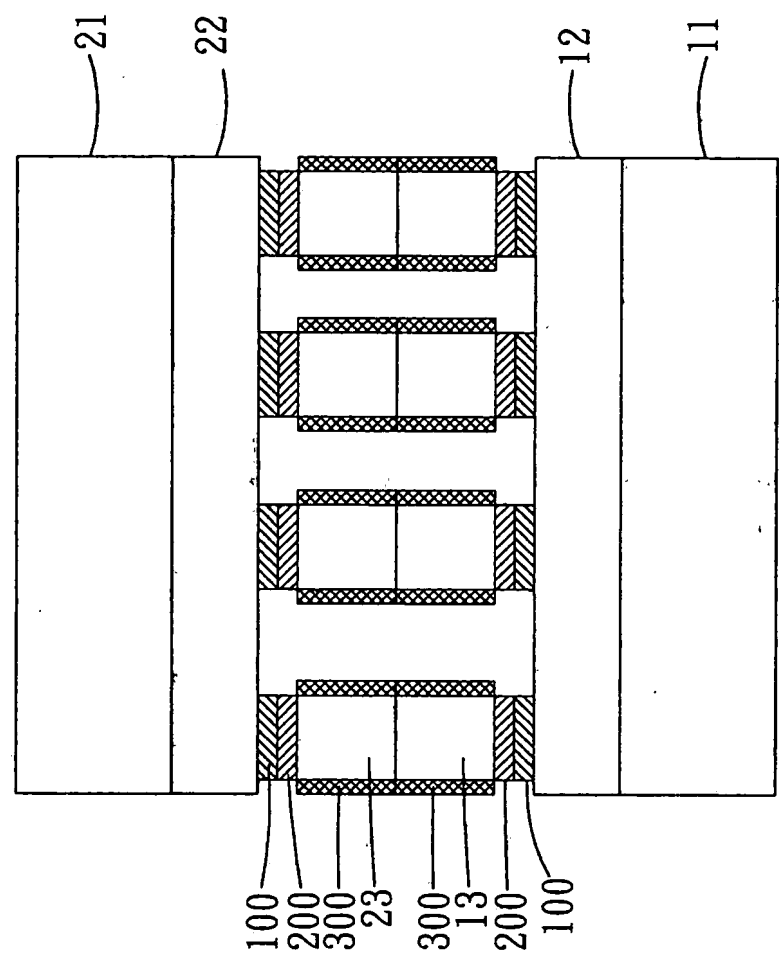


第 2 圖

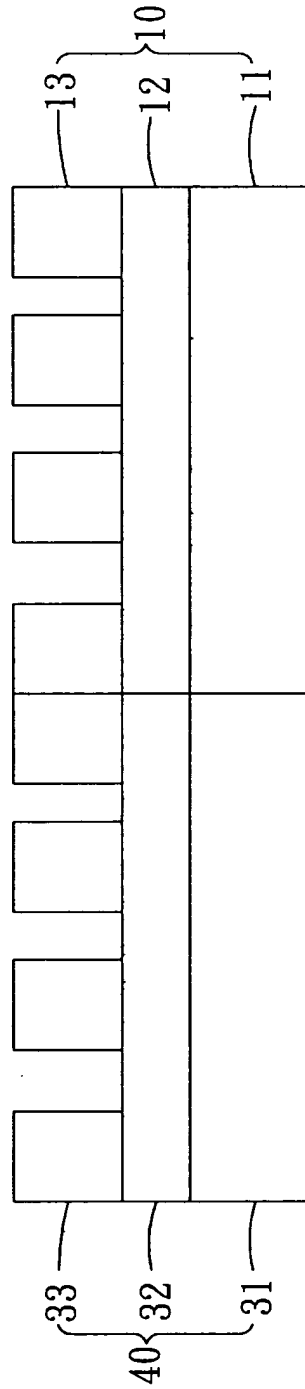


第3圖

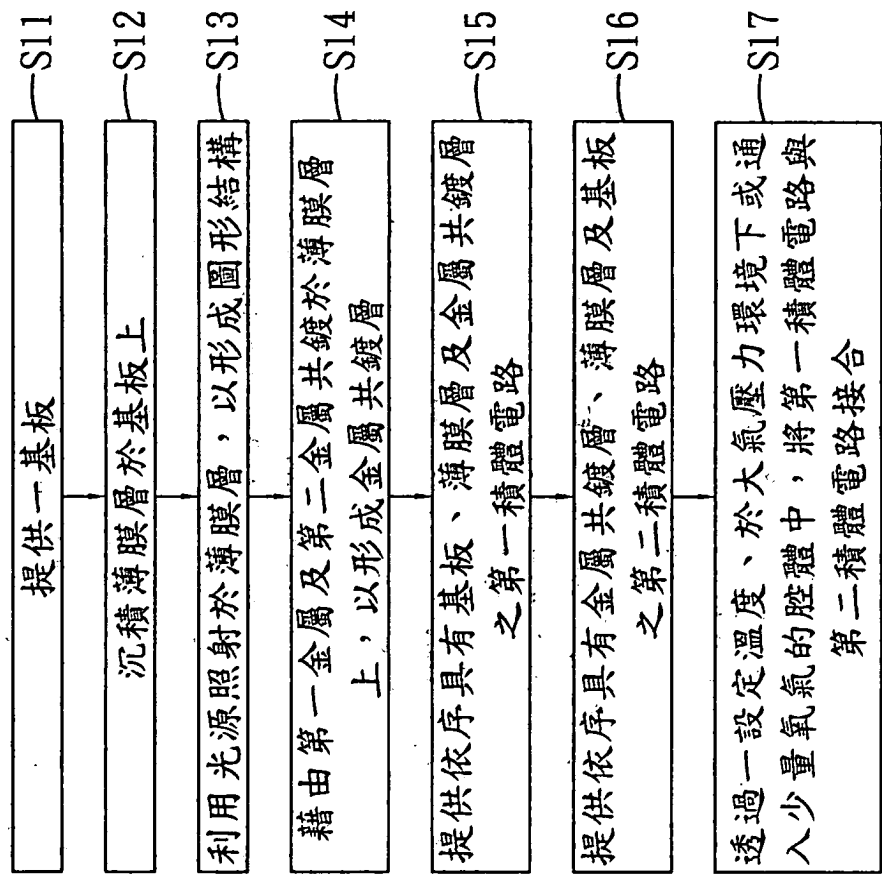




第4圖



第5圖



第6圖