

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P6147398

※申請日期：P6.12.12

※IPC 分類：G05F 1/66 (2006.01)

一、發明名稱：(中文/英文)

具自我感知之適應性功率控制系統與判別電路運作狀態的方法
 SELF-AWARE ADAPTIVE POWER CONTROL SYSTEM AND A METHOD FOR
 DETERMINING THE CIRCUIT STATE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學
 NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

吳重雨/WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號
 1001 TA-HSUEH RD., HSINCHU, TAIWAN R.O.C.

國 籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 謝維致/HSIEH, WEI-CHIH
2. 黃威/HWANG, WEI

國 籍：(中文/英文)

1. ~ 2. 中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：2007年8月7日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種具有自我感知之適應性功率控制系統與判別電路運作狀態的方法，其中該控制系統至少包含多模式功率閘網路、電流監測轉譯器、可變門檻比較器、時脈長度偵測器及雙向平移暫存器。該多模式功率閘網路係由 N 通道電晶體或 P 通道電晶體組成，經由監測搭載電路所汲取之電流量，可判定電路現處於運算亦或穩定狀態，因此不需使用電路傳輸延遲匹配電路，在配合其它週邊電路之情況下，供給電流可被下調至最低可接受的程度，使電路盡量用掉所有可用的時脈長度。此外，本發明對於頻率變化也具有自我感知調變功能，故可使電路在各種頻率下之功率消耗為最低，以達最佳能源效益。

六、英文發明摘要：

The presented invention proposes a self-aware adaptive power control system and a method for determining the circuit state. The self-aware adaptive power control architecture is comprised of a multi-mode power gating network, a current monitoring translator, a variable threshold comparator, a slack detector, and a bi-directional shift register. The multi-mode power gating network controls the amount of supply current and hence the circuit speed. The power gating network can be composed of either N-type MOSFETs for virtual ground insertion or P-type MOSFETs for virtual supply insertion. The number of MOSFETs in the multi-mode power gating network can be configured according to the supply range and step difference of the supply current. Then by monitoring the current characteristic drained by target circuit, the circuit state can be determined. No delay matching circuit is required. Together with other peripherals, the supply current can be down controlled to a minimum acceptable level. The circuit will use up all available slack. The smaller current implies lower power consumption as well. Furthermore, the presented invention is capable of self adaptation to frequency change. To summarize, the presented invention can make the circuit consume least power under various frequency achieving best power efficiency.

七、指定代表圖：

(一)本案指定代表圖為：第二圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----|-----------------|
| 1 | 多模式功率閘網路 |
| 2 | CMOS 電路 |
| 3 | 電流監測轉譯器 |
| 4 | 可變門檻比較器 |
| 5 | 時脈長度偵測器 |
| 6 | 雙向平移暫存器 |
| 100 | 具自我感知之適應性功率控制系統 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有自我感知之適應性功率控制系統，並更特別地是，係關於一種適用於各種形式之數位電路以達到只消耗最低程度功率之目的的自我感知之適應性功率控制系統。

【先前技術】

近年來，由於半導體製程技術的突飛猛進，電晶體密度跟系統複雜度的快速成長使原本的 ASIC 設計進步到系統單晶片(System-on-a-Chip, SoC)設計。雖然利用 SOC 技術可帶來性能的提升，但另一方面也造成嚴重的功率消耗。因此，在目前科技來說，控制並降低功率消耗之設計為不容忽視之課題。

目前，已有一些專利文獻與非專利文獻針對上述問題分別提出不同方法來解決，茲將該等專利文獻與非專利文獻所提出之技術與其缺失說明：

[1] 2007 年 10 月 2 日公告之美國專利第 7276932 號，其揭露一種利用虛擬功率閘胞元(VPC)之架構，其中該虛擬功率閘胞元係由用來緩衝控制信號之控制電路及包含二個或更多個 NFETs 與 PFETs 之功率閘區塊(PGB)所構成。惟，該功率閘胞元只當作單純的開關，亦即，只有將所搭載之電路與供應之電源作開與關(連接或是斷開)兩種狀態而以，其除了在關閉的狀態下可節省靜態功率外，並無動態功率控制之能力。此外，該控制信號的連續傳輸只為降低

最大功率，其與本發明所提出之多模式功率閘網路(稍後將作詳細說明)的用法不同，再者本發明之可藉由控制電流量而控制電路運作速度之功效，亦為習知技術所無法達成者。

[2] 2006年1月10日公告之美國專利第6985025號及2006年12月12日公告之美國專利第7149903號。此二習知技術係利用一種適應性電壓調整之方法，亦即採用需要額外參考時脈之延遲匹配電路來判斷電路特性，且其功率負擔(overhead)是較大的。另其延遲匹配電路必須加上電壓安全邊限以防止製程、運作環境等的變動(variation)所造成的功能(function)錯誤。因此，上述兩習知技術在降低功率消耗的效果上會受到限制。本發明之適應性功率控制(稍後將作詳細說明)除了可改善上述缺失外，其仍保有對變動反應的能力，而對於在所需的電路運作速度下之功率消耗的減少也有最佳化效果。

[3] M. Nakai 等人所提出之一種利用動態電壓調整(DVS)與頻率調整之技術，作為有效降低功率消耗之方法(M. Nakai, S. Akui, K. Seno, T. Meguro, T. Seki, T. Kondo, A. Hashiguchi, H. Kawahara, K. Kumano, and M. Shimura, "Dynamic Voltage and Frequency Management for a Low-Power Embedded Microprocessor," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 28-35, Jan. 2005)。此習知技術係利用一種結合閘極延遲、電阻電容交互連接延遲及上升/下降延遲之延遲合成器，以達到較佳的關鍵路徑(critical path)之模擬(emulation)。惟，此習知

技術原理上也是採用延遲匹配電路，因此同樣有前述缺失，再者由於其功率負擔相當大，故只能在整顆晶片的層級進行整體的調變，因此無法針對晶片內進行個別細部最佳化。反之，本發明所提出之架構(稍後將做詳細說明)由於功率負擔相當小，故可在晶片內針對各個仍有多餘時脈長度(slack)之區塊進行功率控制，整體看來，運算速度並沒有受到損害，但功率控制的結果卻可讓功率消耗降到最低。

此外，習知技術[2]與[3]在實現適應性或者動態電壓調變時，需要一最差情況關鍵路徑延遲匹配電路(worst case critical path delay matching circuit)，然而，最差情況實際上卻鮮少發生。此外，為了因應各種變動，電壓安全邊限也必須考慮，因而大為低估降低功率的可能性，況且其所使用的控制電路需要額外的參考時脈以及許多正反器，有相當程度的面積及功率負擔，故無法用在更細部的調變，再者，由於其反應變化的時間常在 μs 等級，因此對於現今之高速電路來說並不適用。

為改善上述習知技術之缺點，本發明在此提出一種新的適應性功率控制系統與判別電路運作狀態的方法，其適用於各種形式的數位電路，而在各種頻率下，均只消耗最低程度的功率，達到最佳能源效益。

本發明之目的為提供一種適應性功率控制系統，藉由利用電流監控的方式，判別電路運作狀態，而不需延遲匹配電路，並也可對於整體運作環境(包括製程、溫度、供

給電壓等)的變動(variation)做出相對應的補償。

本發明之另一目的為提供一種多模式功率閘網路，藉此架構可控制供給電流的大小並改變電路的運作速度，進而控制電路上功率的消耗。

本發明之再一目的為提供一種判別電路運作狀態的方法，監測電流消耗的特性，以分辨出電路現處於運算亦或穩定的狀態，並控制供給電流到一個可接受的最低程度，使電路的運作時間盡量接近時脈長度，以降低多餘的功率消耗。

本發明之另一目的為提供一種適應性功率控制系統，其對於工作頻率的改變具有自我感知能力，當頻率變化時，系統本身可對於供給電流做適度修正，使電路的運作速度達到新的頻率之要求。

本發明之再一目的為提供一種具自我感知功能之適應性功率控制系統，該適應性功率控制系統可在任一積體電路中不受限的重複使用，而各搭載電路所搭配之適應性功率控制系統可彼此以無交互作用的方式獨立運作。

【發明內容】

本發明係提出一種具有自我感知(self-aware)能力之適應性功率控制系統，其包含：多模式功率閘網路(MPGN)，配置於邏輯電路與電源供應之間，用以控制供應電流並界定該供應電流的上限，以控制電路速度及電路功率；電流監測轉譯器，用以確認自電源供應所汲取的電流量並監測電流變化；可變(variable)門檻比較器，判定所搭載電路現

處於運算或穩定之狀態，該可變門檻比較器可根據電流監測轉譯器所輸出之最大電流值，改變本身的判斷門檻，並與電流監測轉譯器之瞬間電流值比較相對變化量，以判定搭載電路所處的狀態；時脈長度(slack)偵測器，用以將該可變門檻比較器之判斷結果與時脈週期進行比較，判定搭載電路之運算是否用盡最接近時脈週期長度的時間；及雙向平移(bi-directional shift)暫存器，接收自該時脈長度偵測器所比較的結果，並輸出控制該多模式功率閘網路。

此外，該多模式功率閘網路包含：電源部，與電源供應相接；複數個功率閘，由一系列平行相連之電晶體構成，而若該功率閘所使用的電晶體為 P 通道場效電晶體，則其電源部與電源供應之高電位相接，若該功率閘所使用的電晶體為 N 通道場效電晶體，則其電源部與電源供應之低電位或地電位相接；電流控制部，與所搭載之電路相接；及控制訊號部，其配置於每個該等功率閘上。

再者，該電流監測轉譯器包含：參考電路，配置於邏輯電路與電源供應之間並輸出第一電壓(V_r)至準位平移電路；準位平移電路，將該第一電壓(V_r)平移成可輸入至電流鏡電路之第二電壓(V_{cm})，以消除 P 型電流鏡之無感帶(dead band)；及電流鏡電路，由複數個具有不同尺寸之鏡射式電晶體(mirror transistor)組成，該等鏡射式電晶體之個數及其參數設定係與該多模式功率閘網路之架構相對應。

本發明另提供一種可監測電流變化以判別電路運作狀態的方法，其包含下列步驟：藉由電流監測轉譯器監測電

流之變化；輸出至少包含隨時間變化之瞬間電流值及每一頻率週期中之最大電流值，並將該等電流值轉化為相對應之電壓值；及依照該最大電流值改變該可變門檻比較器本身之判斷門檻，並與該瞬間電流值比較相對變化量，以判定電路處於運算或是穩定狀態。

本發明所提出之具有自我感知能力之適應性功率控制系統與判別電路運作狀態之方法，可適用於各種形式的數位電路，並可控制供應電流量且將其有效降低至最低準位同時又能維持電路的正確操作。此外，本發明並可控制所搭載電路的功率，使其在各種頻率下均具有只消耗最低程度的功率，進而達到最佳能源效益。

為使本發明之上述和其他目的、特徵及優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

參照第一圖所示，其為在電路切換時，藉由 $16*16$ 之乘法器 (multiplier) 從理想電源供應所汲取之電流特性曲線圖。由第一圖之曲線可觀察到，乘法器在切換週期期間會汲取大量的電流，致使其呈現尖銳的瞬間電流峰值。當乘法結果被成功地運算時，則該乘法器除了漏電流外，會進入沒有汲取任何充電電流或放電電流的穩定狀態。換言之，為了具有成功運算 (success computing)，應確認電路之穩態週期並確保其比某個特定時間還長才行。因此，發展出電流監測方法以確認汲取電源的電流量並可於切換狀態

與穩定狀態之間辨別電路之狀態。

參照第二圖所示，其為本發明之具有自我感知功能之適應性功率控制系統之方塊圖。該適應性功率控制系統 100 包含：多模式功率閘網路 (MPGN) 1，其配置於邏輯電路與電源供應之間，用以控制供應電流並界定供應電流的上限值，以控制電路速度及電路功率；電流監測轉譯器 (monitor) 3，用以確認從電源供應所汲取的電流量並監測電流變化；可變 (variable) 門檻比較器 4，自該電流監測轉譯器 3 接收資訊，並對於相對高電流與相對低電流的動態判定提供可變門檻，以判定所搭載電路現處於運算或穩定 (stable) 之狀態；時脈長度偵測器 5，用以將該可變門檻比較器 4 之判斷結果與時脈週期相比較，判定搭載電路之運算是否用盡最接近時脈週期長度的時間；及雙向平移暫存器 6，含有該多模式功率閘網路 1 之控制字元並控制多模式功率閘網路 1，並藉由該可變門檻比較器 4 及時脈長度偵測器 5 之結果指出此雙向平移暫存器 6 之平移方向。

此適應性功率控制系統 100 之迴路係開始於配置在多模式功率閘網路 1 中之 CMOS 電路 2 的電源供應，電流偵測轉譯器 3 接收並處理 CMOS 電路 2 汲取電流之訊息，並將結果依序傳遞至可變門檻比較器 4、可用時脈長度偵測器 5 及雙向平移暫存器 6，最終迴路進行多模式功率閘網路 1 之調整，此迴路之運作週期與 CMOS 電路 2 之時脈週期相同。以下將詳細說明本發明之具有自我感知功能之適應性功率控制系統 100 之細部電路操作。

配置於邏輯電路與電源供應之間的該多模式功率閘網路 (MPGN) 1 事實上為一平行連接之功率開關網路，如第三圖中所示。傳統上，功率閘元件係用以切斷待命狀態時的電路區塊，同時最小化對於電路延遲的影響。然而，本發明所提出之功率閘 (power gating) 元件係用以界定供應電流之上限值，同時降低功率消耗。

假設目標電路之切換電容值為固定，則需要將切換電容值充電至電壓準位的充電量可由式 (1) 表示：

$$Q = CV = I\Delta t, \quad (1)$$

其中， Q 為所需電荷量， C 為切換電容值，而 V 為目標電壓準位。在一短暫時間期間，電荷係由供應電流提供，其中 I 代表平均電流，而 Δt 為充電至該電容值所需的時間。其也可為下列情況：在某個平均電流 I 的情況下，相對應的時間 Δt 為目標電路的延遲增量。故所需之電流可藉由 (1) 式中界定延遲增量而被輕易估算出。

該多模式功率閘網路 1 之大小可基於供應電流的量來架構。如下表一所示，其係顯示當使用五個功率開關時 (如第三圖所示) 之功率開關網路之示範架構，其中每一直行係代表不同數量之處於開啓狀態的開關，並予以設定不同的供應電流上限值。控制字元 (Ctrl[0] ~ Ctrl[4]) 係控制每一個功率開關之開啓/關閉狀態，當進行多模式功率閘網路 1 之調整時，處於開啓狀態下且索引標記較大的功率開關優先關閉，另一方面，處於關閉狀態而索引標記較小的功率開關則優先開啓。當最後一個開關 (由 Ctrl[0] 控制) 被關閉

時，則此電路處於電源截斷之狀態。

開關 ON 的數量	5	4	3	2	1
$VDDV$	1.0V	0.9V	0.8V	0.7V	0.5V
Δt 增量 (%)	0%	20%	40%	60%	80%
$I(I_{\max}$ 的 %)	100%	75%	58%	44%	33%

表一 (多模式功率閘網路 1 之架構範例)

最大平均電流 (I_{\max}) 可自未修改目標電路的平均功率消耗來估算。設定標準電壓供給 (VDD) 為 1.1V，當該多模式功率閘網路 1 被完全開啓時 (如表一中第一直行之設定，五個功率開關皆開啓)，則設定最低可接受電壓 ($VDDV$) 為 1V。假設延遲增量 Δt 理想上為 0% (沒有延遲負擔 (overhead))，則該多模式功率閘網路 1 可提供全額度之最大平均電流。再參照表一，如第二直行之設定，只有四個功率開關被接通同時允許延遲增量為 20%，並設定最低可接受電壓為 0.9V (其為所需充電切換電容值之目標電壓準位)，則所需之電流可接著藉由式 (1) 推得為最大平均電流的 75%。而其它具有較少開啓狀態之開關的設定可依次藉由如上述之方式得到。在採集每個設定所需之電流的資訊後，每一個功率開關之電晶體寬度可藉由使用一階三極區電流-電壓關係方程式來判定。

當處於第一圖中所示之穩定狀態時，只有漏電流存在，相反的，在電路切換期間，邏輯電路需要自電源供應汲取大量的電流。在此，電流特性係代表電路是處於切換

(switching)或是穩定狀態。在本發明之適應性功率控制系統 100 中，供應電流係藉由多模式功率閘網路 1 控制。所有的功率開關係於線性區中操作。由功率開關所供應之電流係與其汲源電壓成正比，而此汲源電壓與圖三中之 V_{DDV} 相關，換言之， V_{DDV} 係依照該電流特性而改變。

本發明所提出之低功率電流監測轉譯器 3 具有較佳的監測器性能。如第四圖中所示，其為本發明之低功率電流監測轉譯器之電路架構圖。該低功率電流監測轉譯器 3 之架構包含參考電路 31、準位平移電路 32 及電流鏡電路 33，以下將做詳細說明。

該電流監測轉譯器 3 之參考電路 31 係配置於 V_{DD} 與 V_{DDV} 之間，並產生電壓 V_r 至該準位平移電路 32。該準位平移電路 32 係用以將 V_r 轉化為 V_{cm} ，用以消除 P 型電流鏡之無感帶 (dead band)，而 V_b 為該準位平移電路之偏壓。

該電流鏡電路 33 係由五個不同尺寸之鏡射式電晶體組成，其中該等五個鏡射式電晶體係對應表一中之多模式功率閘網路 1 的五個不同的架構。電晶體 N1 係被 V_{cm} 控制，當另二個 NMOS 電晶體被 V_b 控制而提供基本負載時，此電晶體 N1 用以提供不同的負載能力，bias 節點之電壓準位將以相反方向而隨著 V_{cm} 改變，而可變強度之負載使得 V_{bias} 具有相同於 V_{DDV} 之變動範圍。

於每次不同的電路運算中，假定電路所汲取之電流為不相關 (non-corelated) 及不可預測。因此，其在每一運算週期中，重要的為相對大小而非絕對大小。電晶體 N2 為二極

體連接之 NMOS 電晶體，其係用以擷取每一週期中 V_{bias} 電壓之最大值，並儲存於 cap 節點。該 V_{bias} 與 V_{cap} 係施加至可變門檻比較器 4。

當所搭載電路處於電源截斷狀態時，電晶體 P1 到 P6 與 N0 係用以關閉該電流監測轉譯器 3。參考電流藉由 P0 與 P1 也可用於電路切換，而不會徒勞消耗掉，其用以降低功率負擔 (overhead)。此切換電流之補償使得該電流監測轉譯器 3 對於電路速度沒有不好的影響。該位準平移電路 32 使用長通道電晶體以抑制靜態電流，並且該電流鏡電路 33 之尺寸儘可能使用小尺寸，同時仍存有快速反應，以響應電路之電流變動。

如前所述，電流特性並不具有一規則之模式且為非彼此相關的，然而，可得知的是，在實際的供應系統中，若 V_{bias} 相對於其同運算周期之峰值下降至某個準位以下時，則成功運算可被判定。因此，本發明使用一個可變門檻比較器 4 以識別 V_{bias} 之相對高與相對低的值。

如第五圖中所示，其為本發明之可變門檻比較器 4 之電路圖。節點 cap 會在每個週期中擷取節點 bias 之峰值，當控制迴路結束時，節點 cap 會被放電以準備擷取下一個週期中節點 bias 之峰值。不同的 V_{cap} 將使該可變門檻比較器 4 產生不同的判斷門檻，當 V_{bias} 降至低於 V_{cap} 之相對值時，該可變門檻比較器 4 將作用並可判定成功運算。 V_{cap} 實際上比 V_{bias} 峰值還要低一個 N 通道電晶體之臨界電壓值，然此可藉由電晶體 Ps0 與 Ns0 之尺寸以調整其強度來補償。

第二圖中之該時脈長度偵測器 5 係監控該可變門檻比較器 4 之判定並與操作頻率比較。若該可變門檻比較器 4 作用時間遠早於時脈上升邊緣，則意味著沒有用盡時脈長度，而供應電源將可被減弱。相反地，若該可變門檻比較器 4 在到達截止時間前仍沒有作用，則該時脈長度偵測器 5 將通知系統增強供應電源，此等判定之截止時間乃由電路之操作頻率決定，故本發明之適應性功率控制系統 100 因為該時脈長度偵測器 5 之偵測機制而具有自我感知頻率調變之功能。

如第六圖中所示，其為本發明含有多模式功率閘網路 1 之控制字元的雙向平移暫存器 6 之示意圖。若該時脈長度偵測器 5 及時判定該運算為成功的並且仍存有未使用之時脈長度時，則該多模式功率閘網路 1 之強度可被更進一步減弱。"1"將從最左邊平移進入該雙向平移暫存器 6 以關閉仍為開啓狀態 (ON) 之最大索引標記開關。若成功的運算沒有被判定或者未有足夠的時脈長度餘下，則 "0" 將從最右邊被平移進入該雙向平移暫存器 6 以開啓目前為關閉狀態 (OFF) 之最小索引標記開關。當所有時脈長度全被利用時，該雙向平移暫存器 6 也可維持相同供應電源的穩定狀態。重置 (reset) 與電源截斷控制可使該多模式功率閘網路 1 供應最大功率或者進行電源截斷 (cut-off) 設定。因此，本發明可判定成功運算是否自我完成並可將目標電路之功率控制至最低可接受的準位。

雖然本發明已以較佳實施例揭露如上，然其並非用以限

定本發明，任何熟悉本技藝之人士，在不脫離本發明之精神與範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第一圖為其電路在切換時自理想電源供應所汲取之電流特性曲線圖。

第二圖為本發明之可監測電流之適應性功率控制系統之方塊圖。

第三圖為本發明之多模式功率閘網路之電路圖。

第四圖為本發明之低功率電流監測轉譯器之電路架構圖。

第五圖為本發明之可變門檻比較器之電路圖。

第六圖為本發明之雙向平移暫存器之示意圖。

【主要元件符號說明】

- 1 多模式功率閘網路
- 2 CMOS 電路
- 3 電流監測轉譯器
- 4 可變門檻比較器
- 5 時脈長度偵測器
- 6 雙向平移暫存器
- 31 參考電路
- 32 準位平移電路
- 33 電流鏡電路
- 100 具自我感知之自適應性功率控制系統

十、申請專利範圍：

1. 一種具有自我感知能力並可對電路整體運作環境的變動 (variation) 做出相對應補償之適應性功率控制系統，其包含：

多模式功率閘網路 (MPGN)，配置於邏輯電路與電源供應之間，用以控制供應電流並界定該供應電流的上限，以控制電路速度及電路功率；

電流監測轉譯器，用以確認自電源供應所汲取的電流量並監測電流變化；

可變門檻比較器，判定所搭載電路現處於運算或穩定之狀態；

時脈長度偵測器，用以將該可變門檻比較器之判斷結果與時脈週期相比較，判定搭載電路之運算是否用盡最接近時脈週期長度的時間；及

雙向平移暫存器，控制該多模式功率閘網路。

2. 如申請專利範圍第 1 項之適應性功率控制系統，其中該多模式功率閘網路包含：

電源部，與電源供應相接；

複數個功率閘，由一系列平行相連之電晶體構成；

電流控制部，與所搭載之電路相接；及

設於每個該等功率閘上之控制訊號部。

3. 如申請專利範圍第 2 項之適應性功率控制系統，其中若該功率閘所使用的電晶體為 P 通道場效電晶體，則其電源部與電源供應之高電位相接。

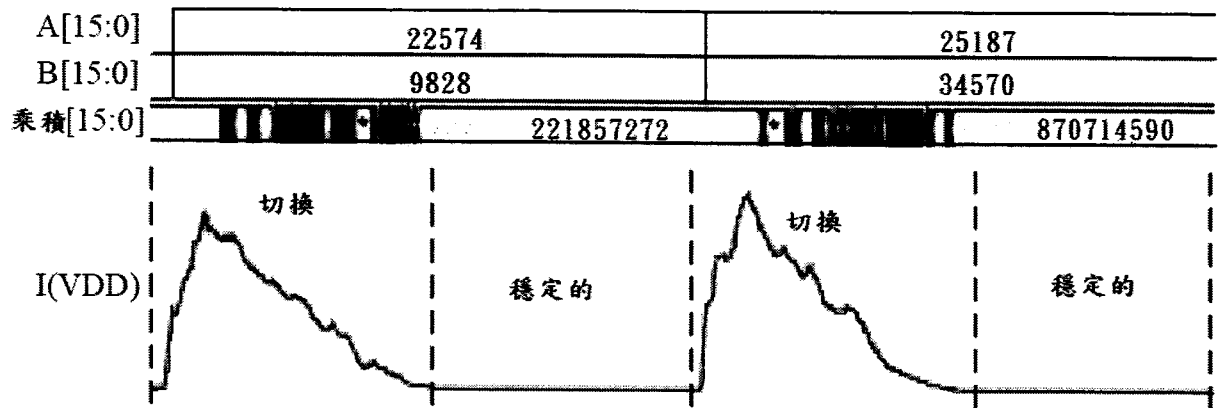
4. 如申請專利範圍第 2 項之適應性功率控制系統，其中若該功率閘所使用的電晶體為 N 通道場效電晶體，則其電源部與電源供應之低電位或地電位相接。
5. 如申請專利範圍第 2 項之適應性功率控制系統，其中該功率閘之供給電流能力係根據欲供給電流之大小而進行調整。
6. 如申請專利範圍第 2 項之適應性功率控制系統，其中該功率閘之個數係取決於欲供給電流之變化階級大小及改變範圍而進行調整。
7. 如申請專利範圍第 1 項之適應性功率控制系統，其中該電流監測轉譯器包含：
 - 參考電路，配置於邏輯電路與電源供應之間並輸出第一電壓至準位平移電路；
 - 準位平移電路，將該第一電壓平移成可輸入至電流鏡電路之第二電壓，以消除 P 型電流鏡之無感帶 (dead band)；及
 - 電流鏡電路，由複數個具有不同尺寸之鏡射式電晶體組成，該等鏡射式電晶體之個數係與該多模式功率閘網路之架構相對應。
8. 如申請專利範圍第 7 項之適應性功率控制系統，其中該準位平移電路可利用具有長通道之電晶體以抑制靜態電流。
9. 如申請專利範圍第 1 項之適應性功率控制系統，其中該適應性功率控制系統可對製程、溫度、供給電壓或切換

電流的變動 (variation) 做出相對應的補償。

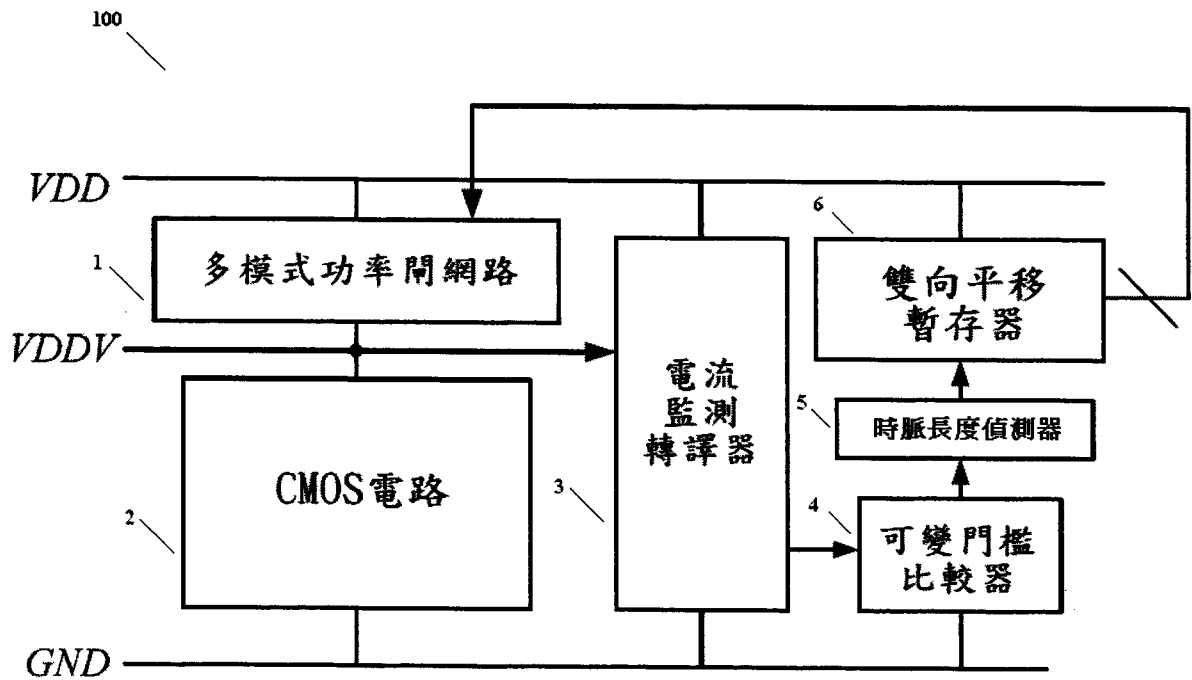
10. 如申請專利範圍第 1 項之適應性功率控制系統，其中當該電流監測轉譯器監測電流變化時，會輸出兩個參數至該可變門檻比較器，其中一個參數為隨時間變化之瞬間電流值，另一個參數為每一時脈週期中之最大電流值，而該等參數值皆可被轉化為相對應之電壓值。
11. 如申請專利範圍第 1 項之適應性功率控制系統，其中該可變門檻比較器可根據電流監測轉譯器所輸出之最大電流值，改變本身的變化門檻，並與電流監測轉譯器之瞬間電流值比較相對變化量，以判定搭載電路所處的狀態。
12. 如申請專利範圍第 1 項之適應性功率控制系統，其中該時脈長度偵測器監控該可變門檻比較器之判定並與操作頻率比較，若該可變門檻比較器作用時間遠早於時脈上升邊緣，則通知該適應性功率控制系統減弱供應電源；反之，若該可變門檻比較器在到達截止時間前仍沒有作用，則該時脈長度偵測器通知該適應性功率控制系統增強供應電源，以具有自我感知頻率調變之功能，其中該截止時間係由電路之操作頻率決定。
13. 如申請專利範圍第 1 項之適應性功率控制系統，其中該雙向平移暫存器係為一組序列相連之暫存器，其係儲存一連串 "0" 與 "1" 之訊號，並用以將所儲存之訊號做雙向平移，以作為該多模式功率閘網路中複數個功率閘之控制訊號。

14. 如申請專利範圍第 13 項之適應性功率控制系統，其中該雙向平移暫存器之暫存器個數與該多模式功率閘網路中複數個功率閘的個數相同。
15. 如申請專利範圍第 13 項之適應性功率控制系統，其中該雙向平移暫存器可接受全域之電源截斷控制訊號，用以切斷所搭載之電路與電源供給之間的連接。
16. 如申請專利範圍第 1 項之適應性功率控制系統，其中該可變門檻比較器可為史密特觸發電路(Schmitt Trigger)。
17. 如申請專利範圍第 1 項之適應性功率控制系統，其中該適應性功率控制系統可在任一積體電路中不受限的重複使用，而各搭載電路所搭配之該適應性功率控制系統可彼此以無交互作用的方式獨立運作。

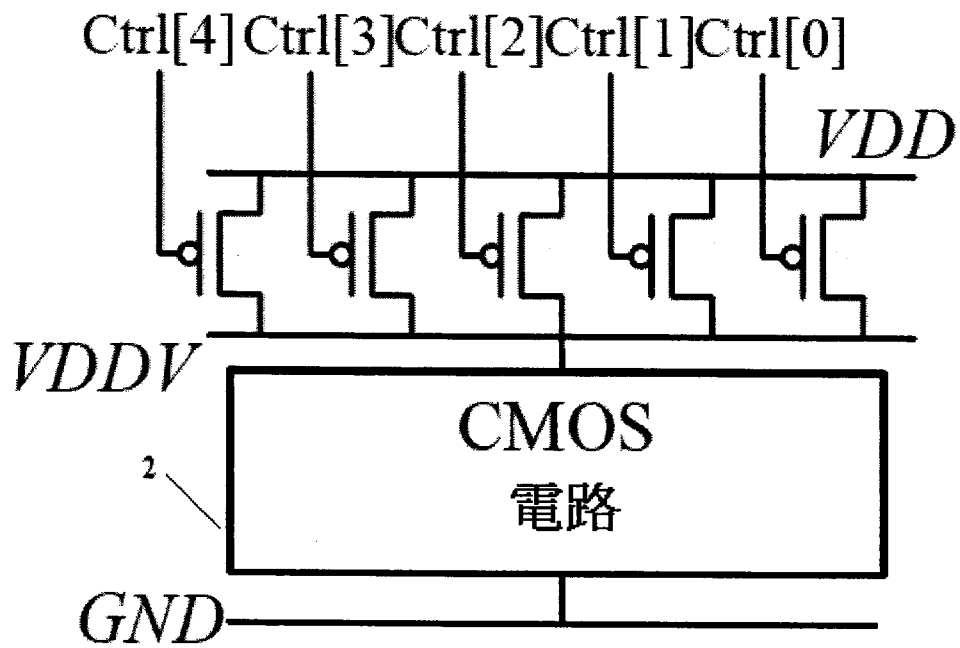
十一、圖式：



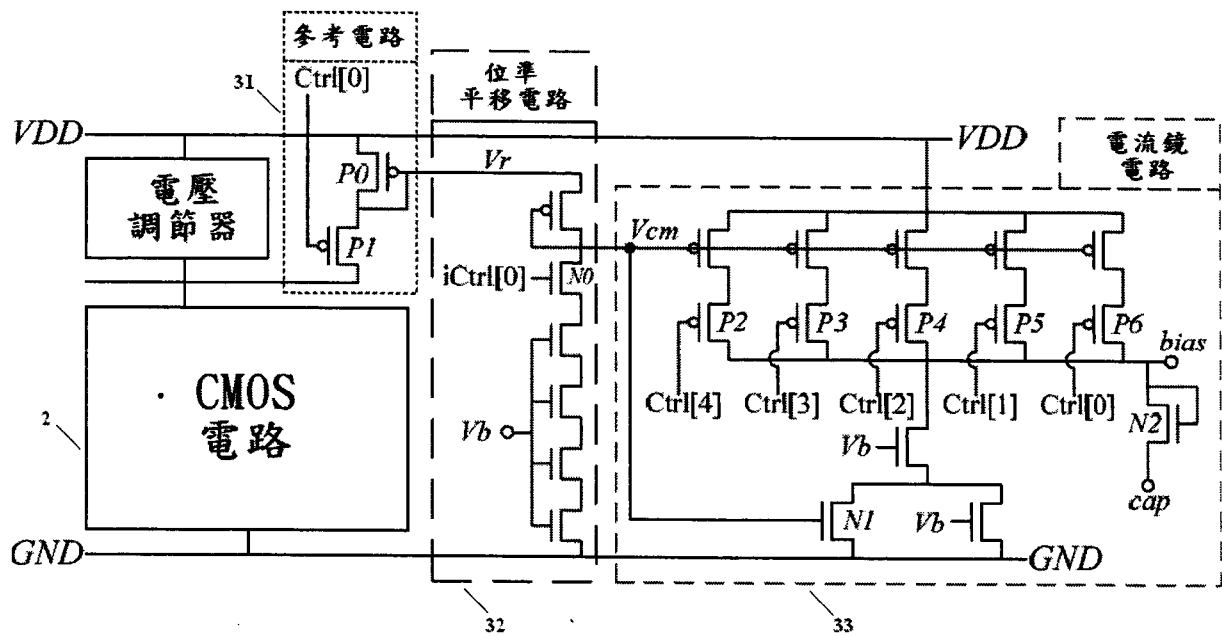
第一圖



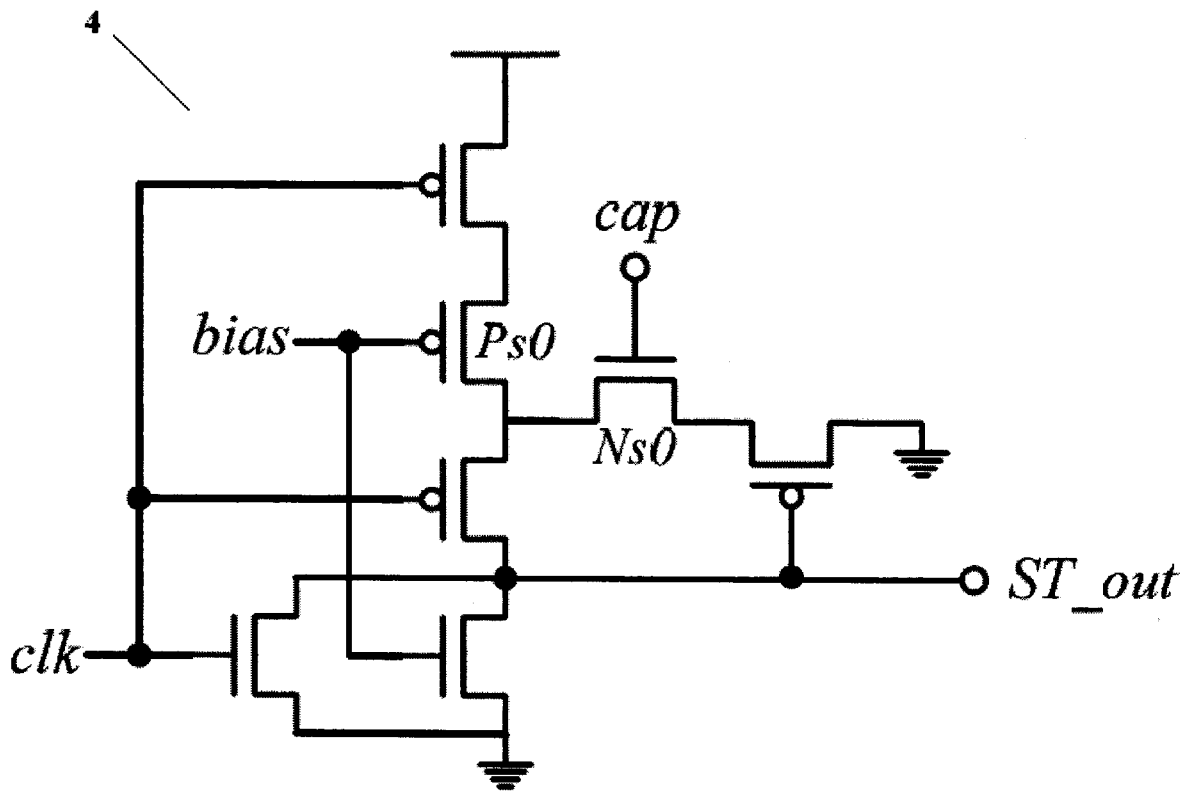
第二圖



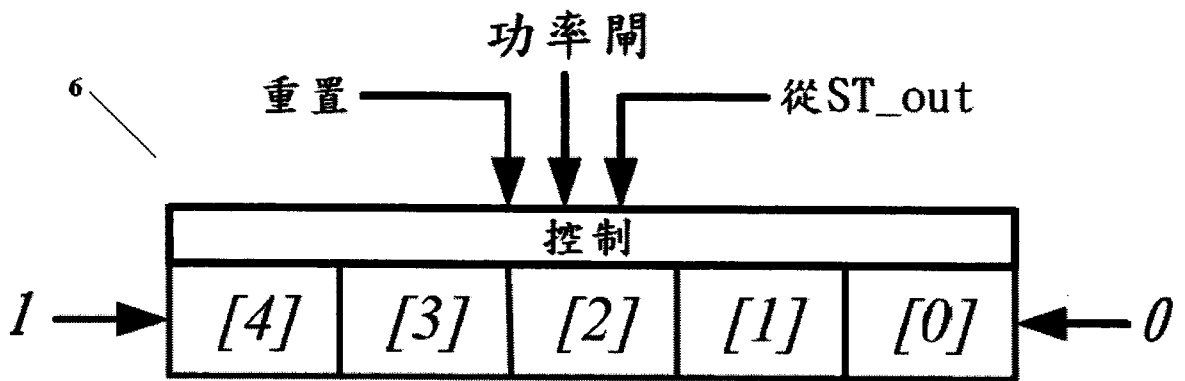
第三圖



第四圖



第五圖



第六圖