



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I432613 B

(45) 公告日：中華民國 103 (2014) 年 04 月 01 日

(21) 申請案號：100141898

(22) 申請日：中華民國 100 (2011) 年 11 月 16 日

(51) Int. Cl. : C25D3/38 (2006.01)

C25D7/12 (2006.01)

H05K1/05 (2006.01)

B82Y40/00 (2011.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳智 CHEN, CHIH (TW)；杜經寧 TU, KING-NING (US)；劉道奇 LIU, TAOCHI (TW)

(74) 代理人：蘇建太；陳聰浩；蘇清澤

(56) 參考文獻：

TW I483292

Bulusu V. Sarada et al., "Highly (111) Textured Copper Foils with High Hardness and High Electrical Conductivity by Pulse Reverse Electrodeposition", *Electrochemical and Solid-State Letters*, (13) 6, 2010/03/24, D40-D42.

審查人員：謝文瑜

申請專利範圍項數：26 項 圖式數：13 共 0 頁

(54) 名稱

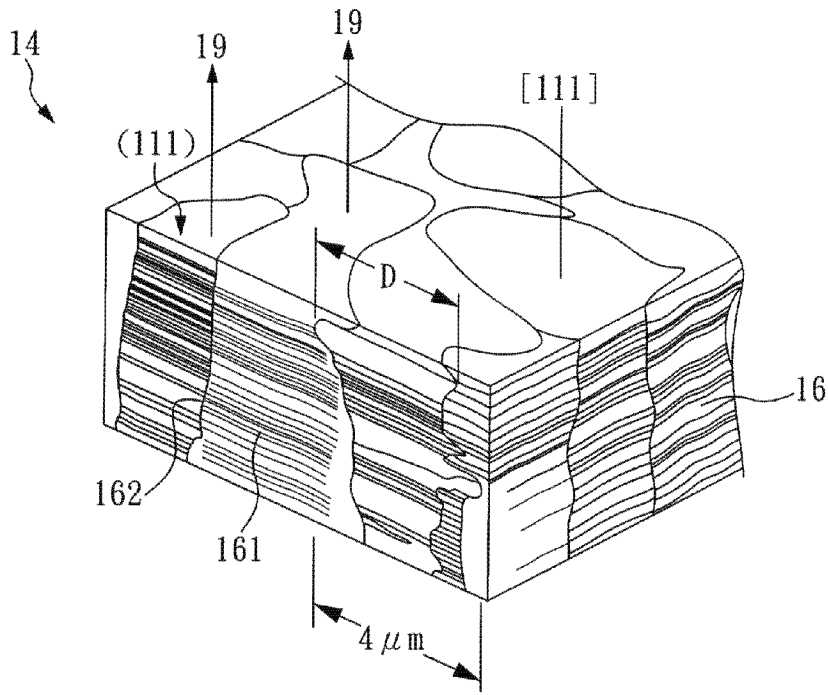
電鍍沉積之奈米雙晶銅金屬層及其製備方法

ELECTRODEPOSITED NANO-TWINS COPPER LAYER AND METHOD OF FABRICATING THE SAME

(57) 摘要

本發明係有關於一種電鍍沉積之奈米雙晶銅金屬層、其製備方法、以及包含其之基板。本發明之電鍍沉積之奈米雙晶銅金屬層之 50% 以上的體積包括複數個晶粒，該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶沿著 [111] 晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係 0 至 20 度。本發明之電鍍沉積之奈米雙晶銅金屬層具有非常好的抗電遷移性、硬度以及楊式係數，可以大幅度的提升電子產品的可靠度。生產成本低且與半導體製程完全相容。

An electrodeposited nano-twins copper layer, a method of fabricating the same, and a substrate comprising the same are disclosed. According to the present invention, at least 50% in volume of the electrodeposited nano-twins copper layer comprises plural grains adjacent to each other, wherein the said grains are made of stacked twins, the angle of the stacking directions of the nano-twins between one grain and the neighboring grain is between 0 to 20 degrees. The electrodeposited nano-twins copper layer of the present invention is highly reliable with excellent electro-migration resistance, hardness, and Young's modulus. Its manufacturing method is also fully compatible to semiconductor process.



- 14 . . . 雙晶銅
- 16 . . . 銅柱狀晶粒
- 161 . . . 雙晶平面
- 162 . . . 晶界
- D . . . 直徑
- (111) . . . (111)平面

圖2B

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100141898

C25D 3/38 (2006.01)

※申請日：100.11.16 ※IPC 分類：

7/12 (2006.01)

H05K 1/05 (2006.01)

B82Y 40/60 (2011.01)

一、發明名稱：(中文/英文)

電鍍沉積之奈米雙晶銅金屬層及其製備方法/

Electrodeposited Nano-twins copper layer and method  
of fabricating the same

二、中文發明摘要：

本發明係有關於一種電鍍沉積之奈米雙晶銅金屬層、其製備方法、以及包含其之基板。本發明之電鍍沉積之奈米雙晶銅金屬層之 50%以上的體積包括複數個晶粒，該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係 0 至 20 度。本發明之電鍍沉積之奈米雙晶銅金屬層具有非常好的抗電遷移性、硬度以及楊式係數，可以大幅度的提升電子產品的可靠度。生產成本低且與半導體製程完全相容。

### 三、英文發明摘要：

An electrodeposited nano-twins copper layer, a method of fabricating the same, and a substrate comprising the same are disclosed. According to the present invention, at least 50% in volume of the electrodeposited nano-twins copper layer comprises plural grains adjacent to each other, wherein the said grains are made of stacked twins, the angle of the stacking directions of the nano-twins between one grain and the neighboring grain is between 0 to 20 degrees. The electrodeposited nano-twins copper layer of the present invention is highly reliable with excellent electro-migration resistance, hardness, and Young's modulus. Its manufacturing method is also fully compatible to semiconductor process.

四、指定代表圖：

(一)本案指定代表圖為：圖 ( 2B ) 。

(二)本代表圖之元件符號簡單說明：

14 雙晶銅

16 銅柱狀晶粒

161 雙晶平面

162 晶界

D 直徑

(111) (111)平面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種電鍍沉積之奈米雙晶銅金屬層之製備方法以及以此方法所製得之奈米雙晶銅金屬層，尤指一種包括表面有複數個具有(111)面的雙晶所組成的晶粒之奈米雙晶銅金屬層之製備方法以及以此方法所製得之奈米雙晶銅金屬層材料。

### 【先前技術】

金屬材料的機械強度會隨著其結晶晶粒尺寸降至奈米等級大小而有所提升。此外，某些奈米等級之金屬薄膜更可具有特別高的硬度、楊式係數等機械性質。因此，具有奈米結晶性質之雙晶金屬，則很適合應用作為如直通矽晶穿孔(TSV, through silicon via)、半導體晶片中之內連線(interconnect)、封裝基板之引脚通孔(pin through hole)、金屬導線(如，銅導線(copper interconnect))、或基板線路等之金屬材料。

從電性的角度來說，影響電子元件可靠度的重要因素是導線的抗電遷移能力(anti electro-migration ability)。過去的研究中，有三種方法可以提升導線抗電遷移性。第一種方法是改變導線晶格結構，使其導線內部的晶粒結構具有[111]優選方向，則可大幅增加電遷移阻抗(electro-migration resistance)，而減緩因電遷移而形成孔洞的發生率。第二種方法是增加晶粒的尺寸，使得晶粒邊界(Grain boundary)數

量減少，降低原子的遷移路徑。第三種方法則是在導體內添加具有奈米雙晶結構的金屬，當原子沿著電子流動的方向而產生電遷移時，遷移到雙晶晶界時原子流失速度會延遲一段時間。利用這個原理，奈米雙晶也可以讓導線中的空孔形成速率減慢，直接改善電子元件使用壽命。換言之，導線內部奈米雙晶密度越高，抗電遷移能力就越高。

關於雙晶銅之製備方式，一般係以物理氣相沉積(PVD)或是脈衝電鍍技術(pulse plating)來形成奈米雙晶銅金屬層結構。然而習知技術所製備的雙晶材料，只能形成細小而無規則性的奈米雙晶，且生產成本昂貴。在半導體與電子產品的量產上，應用程度並不大。因此現階段這些方法仍未能應用於工業量產。

例如，O. Anderoglu等人使用物理氣相沉積(PVD)形成奈米雙晶銅金屬層結構，其單一晶粒的厚度只能到達幾百奈米，只適合應用於製作晶種層(seed layer)。(O. Anderoglu, A. Misra, H. Wang, and X. Zhang, Thermal stability of sputtered Cu films with nanoscale growth twins, Journal OF applied physics 103, 094322, 2008)。此外，因為物理氣相沉積先天上無法鍍好高深寬比的凹槽，加上沉積時間長，無論是結構還是製成方法均不適用於銅導線、直通矽晶穿孔、與凸塊底層金屬(under-bump metallization, UBM)等結構。

Xi Zhang等人以硫酸銅溶液，使用脈衝電鍍製備奈米雙晶銅膜的方法。此習知技術之缺點在於產出的晶粒太小且無法控制銅雙晶成長方向，加上脈衝電鍍速率非常緩

慢，因此不符合經濟效益(Xi Zhang, K.N. Tu, Zhong Chen, Y.K.Tan, C.C.Wong, S.G.Mhaisalkar, X.M.Li, C.H.Tung, and C.K.Cheng. Pulse Electroplating of Copper Film: A Study of Process and Microstructure, Journal of Nanoscience and Nanotechnology, VOL 8 , 2568-2574, 2008)。

美國專利第 6,670,639B1 號中揭示了一種銅導線 (copper interconnection)，導線內的銅或銅合金之中 50% 的晶粒有固定 [111] 晶向排列，而與其它晶向的晶粒相鄰接形成竹節狀結構 (bamboo structure)，在導線表面形成二重晶格，其功效為前述可提升導線抗電遷移性。然而，雖然此習知技術可達到高可靠度與低生產成本的優點，但並沒有辦法同時具備奈米雙晶的抗電遷移優點。

美國專利第 7,736,448B2 號中揭示了一種「脈衝電鍍」製備雙晶銅導線的方法。所製得之雙晶層密度高，然而晶粒尺寸僅為 300nm-1000nm 晶粒是凌亂無定向的等軸小尺寸雙晶；且該技術所揭露之脈衝電鍍之電流密度可操作範圍僅限於 0.4ASD-1ASD 之內，鍍膜沉積速度過慢，因此相當不符合經濟效益。

總括而論，習知技術具有以下二個主要缺失：(1) 晶粒方向無法控制，而只能形成方向性零散的晶粒，應用在導線或接點時，對改善產品性能成效有限；(2) 習知技術的鍍膜沉積速度很低，不論是脈衝電鍍還是物理氣相沉積製備銅雙晶的方法，沉積時間長、效率低、生產成本太高，而不具量產競爭力。



因此，微電子領域極需一種具有優選方向的奈米雙晶銅金屬層，以獲得最佳的導線抗電遷移性。同時又具備優異的機械性質，其製備方法必須兼具高速低成本以及相容於半導體製程，如此才能直接取代傳統導線或接點材料的應用價值。

### 【發明內容】

本發明之主要目的係在於一種電鍍沉積之奈米雙晶銅金屬層及其製備方法，可使得奈米雙晶銅金屬層具有非常好的抗電遷移性、硬度以及楊式係數，可以大幅度的提升電子產品的可靠度。生產成本低且與半導體製程完全相容。

本發明之電鍍沉積之奈米雙晶銅金屬層，其50%以上的體積包括複數個晶粒，該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度，更佳係0至10度，最佳係0度。

本發明之電鍍沉積之奈米雙晶銅金屬層具有與以往習知技術完全不同的結構。可同時具備高度[111]優選方向的晶粒以及高密度的奈米雙晶，晶粒厚度更可達到約20微米以上(甚至數百微米以上)，整體金屬材料內的奈米雙晶密度超越習知技術所生產者，而能達成最優異的抗電遷移特性以及機械性質，並適用於各種電子元件所需要的實用尺寸，具有量產價值。

本發明係以電鍍方法製作出具有優選方向之奈米雙晶銅金屬層，此奈米雙晶銅金屬層至少有50%的表面面積是(111)面，亦即奈米雙晶銅金屬層之表面有包含50%以上係顯露出奈米雙晶之(111)面。而且該晶粒之晶軸[111]方向與成長方向(亦即，奈米雙晶堆疊方向)的夾角在20度之內，且該些晶粒較佳係具有實質上相同之[111]方向。

本發明中，電鍍沉積之奈米雙晶銅金屬層之厚度可依據電鍍時間長短進行調整，其範圍較佳為約 $0.1\mu\text{m}$ - $500\mu\text{m}$ ，更佳為 $0.8\mu\text{m}$ - $200\mu\text{m}$ ，再更佳為 $1\mu\text{m}$ - $20\mu\text{m}$ 。如前述之習知技術所製得具有優選方向的雙晶銅之金屬層，無導線填孔性且量產厚度僅可達到約 $0.1\mu\text{m}$ 的厚度，因此僅可作為晶種層使用，無法直接應用於如導線之處。但本發明之電鍍沉積之奈米雙晶銅金屬層的厚度可達 $0.1\mu\text{m}$ - $500\mu\text{m}$ ，因此可應用範圍相當廣泛(如，直通矽晶穿孔、半導體晶片中之內連線、封裝基板之引脚通孔、或金屬導線等)。

如圖2A的FIB剖面圖以及圖2B的立體示意圖所示，本發明之電鍍沉積之奈米雙晶銅金屬層14包含有大量的晶粒16，而每一晶粒中有複數個層狀奈米雙晶銅(例如，相鄰的一組黑線與白線構成一個雙晶銅)，因此本發明之奈米雙晶銅金屬層整體則包含有非常多的奈米雙金銅。其中，奈米雙晶銅係次序的以(111)平面堆疊，而形成有優選方向的晶粒16。

本發明中，較佳地，至少50%之晶粒具有一縱向軸(longitude axis)，該縱向軸係該晶粒之堆疊/生長(或是長軸)

方向，同時該雙晶銅金屬層具有一厚度方向，該厚度方向係垂直該雙晶銅金屬層之表面，該晶粒之[111]晶軸與該縱向軸夾角較佳為0至20度，且該晶粒之縱向軸之方向係與該雙晶金屬層之厚度方向較佳為實質上相同。

本發明之上述電鍍沉積之奈米雙晶銅金屬層中，較佳地該奈米雙晶銅金屬層之至少90%的表面係(111)面；更佳地該奈米雙晶銅金屬層之至少100%的表面係(111)面，亦即奈米雙晶銅金屬層所顯露之所有表面皆為(111)面。

此外，本發明之上述電鍍沉積之奈米雙晶銅金屬層中，較佳地至少70%之該晶粒係由複數個奈米雙晶堆疊而成；更佳地至少90%之該晶粒係由複數個奈米雙晶堆疊而成。

本發明中，該電鍍沉積之奈米雙晶銅金屬層較佳更包括一品種層，係佔該奈米雙晶銅金屬層之1%-50%的體積，較佳係1%-40%的體積，更佳係1%-30%的體積，又更佳係1%-10%的體積。由於電鍍初始時，基板表面會覆有一些晶種層，因此所形成之奈米雙晶銅金屬層的底部可能會存在一些非由雙晶銅構成之晶種層。因此，晶種層之有無則可作為判斷是否係以電鍍方式製得之其中一條件。例如，若以濺鍍(sputtering)方式製備，則不會使用晶種層，且透過元素分析不會包含有雜元素存在。但濺鍍方法之缺點在於速率慢、設備昂貴等，因此較無法應用製大量生產製造。此外，電鍍過程中若有其他擾動因素，亦會於晶粒間生成部分雜晶粒(impure grain)，雜晶粒包含有銅以外之雜元素

(如，氧、硫、碳、磷等)。在此，該雜晶粒係非由奈米雙晶銅堆疊而成；或該雜晶粒之奈米雙晶之堆疊方向與該[111]晶軸之夾角係大於20度。

而本發明之電鍍沉積之奈米雙晶銅金屬層中，該晶粒之直徑較佳可為 $0.1\mu\text{m}$  -  $50\mu\text{m}$ ，更佳可為 $1\mu\text{m}$  -  $10\mu\text{m}$ ；晶粒厚度較佳可為 $0.01\mu\text{m}$  -  $500\mu\text{m}$ ，更佳可為 $0.1\mu\text{m}$  -  $200\mu\text{m}$ 。

本發明之電鍍沉積之奈米雙晶銅金屬層，具有優秀的機械性質與抗電遷移(electro-migration)特性，可應用於製備三維積體電路(3D-IC)之直通矽晶穿孔、封裝基板之引腳通孔、各種金屬導線、或基板線路等處，對於積體電路工業之應用發展非常有貢獻。

本發明另提供了一種奈米雙晶銅金屬層之製備方法，係使用電鍍技術製得厚度為次微米至數十微米以上之奈米雙晶金屬層，且可控制奈米雙晶金屬層的晶粒排列方向，使呈高度規則性、成長方向實質上垂直(111)平面的結構。本發明之奈米雙晶銅金屬層之製備方法包括：

(A) 提供一電鍍裝置，該裝置包括一陽極、一陰極、一電鍍液、以及一電力供應源，該電力供應源係分別與該陽極及該陰極連接，且該陽極及該陰極係浸泡於該電鍍液中；以及

(B) 使用該電力供應源提供一電力進行電鍍，由該陰極之一表面成長奈米雙晶銅金屬層；

其中，奈米雙晶銅金屬層之50%以上的體積包括複數個晶粒，該複數個晶粒彼此間係互相連接，該每一晶粒係

由複數個奈米雙晶沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度(更佳係0至10度，最佳係0度)，該電鍍液係包括有：一銅的鹽化物、一酸、以及一氬離子來源。

本發明之方法所製得之奈米雙晶銅金屬層具有與以往習知技術完全不同的結構。可同時具備高度[111]優選方向的晶粒以及高密度的奈米雙晶，晶粒厚度更可達到約20微米(甚至百微米以上)，整體金屬材料內的奈米雙晶密度超越習知技術所生產者，而能達成最優異的抗電遷移特性以及機械性質，並適用於各種電子元件所需要的實用尺寸，具有量產價值。

本發明係以電鍍方法製作出具有優選方向之奈米雙晶銅金屬層，此奈米雙晶銅金屬層至少有50%的表面是(111)面，亦即奈米雙晶銅金屬層之表面有包含50%以上係顯露出奈米雙晶之(111)面。而且該晶粒之晶軸[111]方向與成長方向(亦即，奈米雙晶堆疊方向)的夾角在20度之內，且該些晶粒較佳係具有實質上相同之[111]方向。

而上述之電鍍液中，氬離子主要功能之一係可用以微調整晶粒成長方向，使雙晶金屬具有結晶優選方向。此外，其酸可為一有機或無機酸，以增加電解質濃度而提高電鍍速度，例如可使用硫酸、甲基磺酸、或其混合，此外，電鍍液中的酸之濃度較佳可為80-120g/L。此外，電鍍液須同時包含有銅離子來源(亦即，銅之鹽化物，例如，硫酸銅或甲基磺酸銅)。該電鍍液較佳的組成中，也可更包括一添加

物係選自由：明膠(gelatin)、介面活性劑、晶格修整劑(lattice modification agent)、及其混合所組成之群組，用以調整這些添加物質可用以微調整晶粒成長方向。

本發明之雙晶金屬層之製備方法中，電力供應源較佳係直流電電鍍供應源、或高速脈衝電鍍供應源、或直流電鍍與高速脈衝電鍍二者交互使用為之，可使雙晶金屬層形成速率提升。當該步驟(B)中使用直流電電鍍供應源時，電流密度較佳可為1 ASD-12 ASD，最佳可為2ASD-10ASD(例如，8ASD)。當該步驟(B)中使用高速脈衝電鍍供應源時，其操作條件較佳為： $T_{on} / T_{off}$  (sec)為0.1/2-0.1/0.5之間(例如，0.1/2、0.1/1、或0.1/0.5)，電流密度為1-25ASD(最佳可為5ASD)。在此條件下進行電鍍，奈米雙晶銅之成長速率以實際通電時間計算，較佳可為0.22 $\mu\text{m} / \text{min}$  - 2.64 $\mu\text{m} / \text{min}$ 。例如，當該步驟(B)中電鍍之電流密度為8ASD時，該雙晶金屬之成長速率可至1.5 $\mu\text{m} / \text{min}$  - 2  $\mu\text{m} / \text{min}$ (例如，1.76 $\mu\text{m} / \text{min}$ )。本發明中，奈米雙晶銅金屬層之厚度可依據電鍍時間長短進行調整，其範圍較佳為約0.1 $\mu\text{m}$ -500 $\mu\text{m}$ ，更佳為0.8 $\mu\text{m}$ -200 $\mu\text{m}$ ，再更佳為1 $\mu\text{m}$ -20 $\mu\text{m}$ 。習知技術所製得具有優選方向的雙晶銅金屬層無填孔性，量產厚度僅可達到約0.1 $\mu\text{m}$ ，因此僅可作為晶種層使用，無法直接應用於如導線之處。但本發明之電鍍奈米雙晶銅金屬層的厚度可達0.1 $\mu\text{m}$ -500 $\mu\text{m}$ ，因此可應用範圍相當廣泛(如，直通矽晶穿孔、半導體晶片中之內連線、封裝基板之引腳通孔、或金屬導線等)。

此外，當電鍍進行時，該陰極或該電鍍液係可以50到1500 rpm之轉速旋轉，以幫助雙晶成長方向及速率。

本發明之雙晶金屬層之製備方法中，該陰極較佳可為一表面具有晶種層之基板、或一金屬基板(例如，銅箔基板、或表面附有銅箔之基板)。例如，該基板係可選自由：矽基板、玻璃基板、石英基板、金屬基板、塑膠基板、印刷電路板、銅箔基板、三五族材料基板、及其混合所組成之群組等。當電鍍進行時，該陰極或該電鍍液較佳係以50到1500 rpm之轉速旋轉，以幫助柱狀晶粒成長。

本發明之奈米雙晶銅金屬層之製備方法所得到之晶粒之直徑較佳可為 $0.1\mu\text{m}$  -  $50\mu\text{m}$ ，更佳可為 $1\mu\text{m}$  -  $10\mu\text{m}$ ；晶粒厚度較佳可為 $0.01\mu\text{m}$  -  $500\mu\text{m}$ ，更佳可為 $0.1\mu\text{m}$  -  $200\mu\text{m}$ 。

本發明之方法所製得的奈米雙晶銅金屬層，具有優秀的機械性質與抗電遷移(electro-migration)特性，可應用於製備三維積體電路(3D-IC)之直通矽晶穿孔、封裝基板之引腳通孔、各種金屬導線、或基板線路等處，對於積體電路工業之應用發展非常有貢獻。

再者，本發明又提供一種具有奈米雙晶銅金屬層之基板，係包括：一基板；以及上述之奈米雙晶銅金屬層，係配置於該基板之表面或內部。其中，基板較佳係選自由：矽基板、玻璃基板、石英基板、金屬基板、塑膠基板、印刷電路板、三五族材料基板、及其混合所組成之群組。

本發明之具有奈米雙晶銅金屬層之基板可為包含有線路層之封裝基板、三維積體電路(3D-IC)板等等。亦即，本

發明之具有奈米雙晶銅金屬層之基板中，奈米雙晶銅金屬層可作為直通矽晶穿孔、引腳通孔、各種金屬導線、或基板線路等。

本發明之雙晶金屬之製備方法遠比習知技術所使用的物理氣相沉積法或脈衝電鍍法的時間更短，沉積效率與速度更快。無需使用昂貴的氣相沉積設備，故生產成本可因此大幅下降。

### 【實施方式】

#### [實施例1]

提供一如圖1所示之電鍍裝置1，電鍍裝置1包括有陽極11、陰極12，係浸泡於電鍍液13中並分別連接至一直流電供應源15(在此係使用Keithley 2400)。在此，陽極11使用之材料為金屬銅、磷銅或惰性陽極(如鈦鍍白金)；陰極12使用之材料為表面鍍有銅晶種層之矽基板，亦可選擇使用表面鍍有導電層及晶種層之玻璃基板、石英基板、金屬基板、塑膠基板、或印刷電路板等。電鍍液13係包括有硫酸銅(銅離子濃度為20-60g/L)、氯離子(濃度為10-100ppm)、以及甲基磺酸(濃度為80-120g/L)，並可添加其他界面活性劑或晶格修整劑(如BASF Lugalvan 1-100ml/L)。選擇性地，本實施例之電鍍液13更可包含有機酸(例如，甲基磺酸)、或明膠(gelatin)等，或以上的混合物用調整晶粒結構與尺寸。

接著，以2-10ASD的電流密度之直流電進行電鍍，由陰極12開始朝著箭頭所指之方向(如圖1所示)成長奈米雙晶



銅。矽晶片或溶液有施予約50到1500 rpm之轉速。成長過程中，雙晶之(111)面以及奈米雙晶銅金屬層之平面係約垂直於電場的方向，並以約 $1.76\mu\text{m}/\text{min}$ 的速率成長雙晶銅。成長完成之奈米雙晶銅金屬層包括有複數個晶粒，該晶粒由複數個雙晶銅所組成，奈米雙晶延伸到表面，因此表面所顯露的同樣是(111)面。電鍍完成後得到的雙晶銅14厚度約 $20\mu\text{m}$ 。[111]晶軸係為垂直(111)面之軸。

圖2A係本實施例以8ASD所製得之雙晶銅之聚焦離子束(Focused Ion Beam, FIB)剖面圖，圖2B係本實施例之奈米雙晶銅層之立體示意圖。如圖2A及2B所示，本實施例所製得之奈米雙晶銅層14之50%以上的體積包括有複數個柱狀晶粒16，而每一晶粒中有複數個層狀奈米雙晶銅(例如，相鄰的一組黑線與白線構成一個雙晶銅，係以堆疊方向19堆疊而構成品粒16)，因此本發明之奈米雙晶銅金屬層整體則包含有非常多的奈米雙金銅。此些柱狀晶粒16之直徑D之範圍係約為 $0.5\mu\text{m}$ 至 $8\mu\text{m}$ 且高度L約為 $2\mu\text{m}$ 至 $20\mu\text{m}$ ，奈米雙晶平面161(水平條紋)與(111)平面平行，雙晶晶粒間是晶界162，銅之(111)平面垂直於厚度T方向，且雙晶銅層14之厚度T約為 $20\mu\text{m}$ 。相鄰之該晶粒間之堆疊方向(幾乎等同於[111]晶軸)之夾角係0至20度以內。

本實施例中。雙晶銅層14之厚度T可依據電鍍時間長短進行調整，其範圍為約 $0.1\mu\text{m}$ - $500\mu\text{m}$ 。

如圖3所示，其係本實施例所製得之奈米雙晶銅晶粒之X光分析結果圖。X光是從電鍍之銅表面入射。由圖3可

看到，鍍層晶粒具有[111]晶軸之優選方向(preferred orientation)(如圖3中標示之「Cu(111)」所示)。圖中的Si(004)是矽基板的繞射峰。銅的其他平面繞射峰都沒有出現，顯示本實施例所製得之銅具有[111]晶軸。

圖4是使用Electron backscatter diffraction (EBSD)來分析其表面晶粒方向的結果，所有的表面晶粒方向都在[111]方向附近，也就是呈現藍色。圖5為這些晶粒偏離正[111]方向角度的統計結果，可以看出來偏離[111]方向角度在10度以內(<10度)之晶粒比例為90%以上。

另外，本發明之具有[111]優選方向之奈米雙晶銅金屬層也能由其他電流密度條件得到，如圖6至圖8之FIB剖面圖，其電流密度分別為2ASD、4ASD、以及10ASD，由圖可看出，以其他電流密度得到之雙晶銅亦具有[111]優選方向。

如圖6、圖7、或圖8所示，本發明中，柱狀晶粒16之間可能存在有雜晶粒17，且奈米雙晶銅金屬層之一面係具有一些晶種層18。其係由於電鍍初始時，基板表面會覆有一些晶種層18，因此所形成之奈米雙晶銅金屬層的底部可能會存在一些非由雙晶銅構成之晶種層18。因此，本發明之奈米雙晶銅金屬層係定義具有「50%以上的體積包括複數個晶粒，該每一晶粒係由複數個奈米雙晶沿著[111]晶軸方向堆疊而成」之特徵。

#### [實施例2]

本實施例之電鍍裝置以及電鍍液組成完全與實施例1相同。但改用脈衝電鍍法進行鍍膜(而非直流電供應源)。矽

晶片或溶液有施予約0到1500 rpm之轉速。 $T_{on} / T_{off}$ 為0.1/0.5(sec)下，電流密度控制在5ASD，由陰極開始朝著箭頭所指之方向(如圖1所示)成長雙晶銅(鍍6000循環)。雙晶(111)平面垂直於電場的方向，並以 $0.183 \mu\text{m}/\text{min}$ 的速率成長雙晶銅。成長完成之雙晶銅包括有複數個柱狀晶粒，該柱狀晶粒中有複數個層狀奈米雙晶銅，電鍍完成後得到的奈米雙晶銅層厚度約 $10 \mu\text{m}$ 。

圖9係本實施例所製得之奈米雙晶銅金屬層之聚焦離子束(FIB)剖面圖。如圖9所示，本實施例所製得之奈米雙晶銅金屬層之50%以上的體積包括有複數個晶粒，其晶粒直徑D之範圍係約為 $0.5 \mu\text{m}$ 至 $8 \mu\text{m}$ ，水平的條紋是奈米雙晶層(例如，相鄰的一組黑線與白線構成一個雙晶銅)，銅之(111)平面與雙晶平面皆實質上(50%以上)垂直於厚度T方向，且晶粒之厚度T約為 $10 \mu\text{m}$ 。

另外，如圖10所示，其係本實施例所製得之奈米雙晶銅層之X光分析結果圖。結果顯示本實施例電鍍製得之奈米雙晶銅層具有更佳之[111]優選方向(preferred orientation)。其繞射強度高達280萬計數(counts)甚至比矽晶片的繞射峰還要強，也遠高於Cu(222)繞射峰，顯示本實施例所製得之奈米雙晶銅層具有比直流電更佳的[111]優選方向。

### [實施例3]

本實施例所使用電鍍液以及方法均與實施例2相同，不同處是在基板表面以半導體製程做好線路溝渠以及深寬

比為1:3的微孔洞(圖未示)，奈米雙晶銅金屬層以電鍍方式填滿孔洞而形成內連接線(interconnect)。

[實施例4]

如圖11所示，其係一線路基板，係包括有與實施例3製備步驟相同之奈米雙晶銅金屬層。亦即，本實施例之奈米雙晶銅金屬層係作為圖1封裝基板中之線路3、及/或導電通孔5。此外，亦可應用於三維積體電路(3D-IC)板等。

而關於基板材質方面，基板可為矽基板、玻璃基板、石英基板、金屬基板、塑膠基板、印刷電路板、或三五族材料基板。

[測試例]

取實施例1所製得之奈米雙晶銅金屬層進行元素分析(測試條件如下表1所示)，結果如圖12所示。由圖中可看到，透過本發明之電鍍沉積方法所製得之奈米雙晶銅金屬層會包含有一些雜晶粒，雜晶粒包含有銅以外之雜元素(如，氧、硫、碳、磷等)。但若以濺鍍法製備，則不會存在此些雜元素。

[表1]

樣品參數	分析參數	濺射參數
樣品：8ASD 極性(Polarity): 負	PI: Ga 能量：25KeV 電流：1.00pA 面積：65.4x65.4 $\mu\text{m}^2$	PI: Cs 能量：2KeV 電流：45.00pA 面積：250.1x250.1 $\mu\text{m}^2$

**【圖式簡單說明】**

圖1係本發明實施例1及2之電鍍裝置示意圖。

圖2A係本發明實施例1之奈米雙晶銅金屬層之聚焦離子束(Focused Ion Beam)剖面圖。

圖2B係本發明實施例1之奈米雙晶銅金屬層之立體示意圖。

圖3係本發明實施例1之奈米雙晶銅金屬層之柱狀晶粒之俯視(plan-view)X光分析結果圖。

圖4係本發明實施例1之奈米雙晶銅金屬層之柱狀晶粒之俯視EBSD分析結果圖。

圖5係本發明實施例1中圖4之奈米雙晶銅金屬層晶粒偏離正[111]方向角度的統計結果。

圖6係本發明實施例1中以2ASD直流電電鍍之奈米雙晶銅金屬層之聚焦離子束(FIB)剖面圖。

圖7係本發明實施例1中以4ASD直流電電鍍之奈米雙晶銅金屬層之聚焦離子束(FIB)剖面圖。

圖8係本發明實施例1中以10ASD直流電電鍍之奈米雙晶銅金屬層之聚焦離子束(FIB)剖面圖。

圖9係本發明實施例2中以5ASD脈衝電鍍之奈米雙晶銅金屬層之聚焦離子束(FIB)剖面圖。

圖10係本發明實施例2之脈衝電鍍奈米雙晶銅金屬層之晶粒之俯視(plan-view)X光分析結果圖。

圖11係本發明實施例4之線路基板。

圖12係本發明測試例之元素分析結果圖。

## 【主要元件符號說明】

1 電鍍裝置	18 晶種層
11 陽極	19 堆疊方向
12 陰極	3 線路
13 電鍍液	5 導電通孔
14 雙晶銅	D 直徑
15 直流電供應源	L 高度
16 銅柱狀晶粒	T 厚度
161 雙晶平面	(111) (111)平面
162 晶界	[111] [111]晶軸
17 雜晶粒	

## 七、申請專利範圍：

1. 一種電鍍沉積之奈米雙晶銅金屬層，該奈米雙晶銅金屬層之50%以上的體積包括複數個晶粒，該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度，其中該奈米雙晶銅金屬層之至少90%的表面係(111)面。

2. 如申請專利範圍第1項所述之電鍍沉積奈米雙晶銅金屬層，其中，該奈米雙晶銅金屬層更包括一晶種層，係佔該奈米雙晶銅金屬層之1%-50%的體積。

3. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，其中，該奈米雙晶銅金屬層之厚度為0.1 $\mu\text{m}$ -500 $\mu\text{m}$ 。

4. 如申請專利範圍第3項所述之電鍍沉積之奈米雙晶銅金屬層，其中，該奈米雙晶銅金屬層之厚度為0.8 $\mu\text{m}$ -200 $\mu\text{m}$ 。

5. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，其中，至少50%之該晶粒係具有一縱向軸(longitude axis)，該縱向軸係該奈米雙晶之堆疊方向，該雙晶銅金屬層具有一厚度方向，該厚度方向係垂直該雙晶銅金屬層之表面，該晶粒之[111]晶軸與該縱向軸夾角為0至20度，且該晶粒之縱向軸之方向係與該雙晶金屬層之厚度方向實質上相同。

6. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，其中，該奈米雙晶銅金屬層之所有表面係(111)面。

7. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，其中，至少70%之該晶粒係由複數個奈米雙晶堆疊而成。

8. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，其中，該晶粒之間更包括有一雜晶粒(impure grain)，該雜晶粒為包含有銅以外之雜元素、非由奈米雙晶銅堆疊而成或奈米雙晶之堆疊方向與該[111]晶軸之夾角係大於20度之晶粒。

9. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，該晶粒之直徑係 $0.1\ \mu\text{m}$  -  $50\ \mu\text{m}$ ，且該晶粒之厚度係 $0.01\ \mu\text{m}$  -  $500\ \mu\text{m}$ 。

10. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，該晶粒之直徑係 $1\ \mu\text{m}$  -  $10\ \mu\text{m}$ ，且該晶粒之厚度係 $0.1\ \mu\text{m}$  -  $200\ \mu\text{m}$ 。

11. 如申請專利範圍第1項所述之電鍍沉積之奈米雙晶銅金屬層，其中，該奈米雙晶銅金屬層係應用於直通矽晶穿孔(TSV, through silicon via)、半導體晶片中之內連線(interconnect)、封裝基板之引脚通孔(pin through hole)、金屬導線、或基板線路。

12. 一種奈米雙晶銅金屬層之製備方法，包括：



(A)提供一電鍍裝置，該裝置包括一陽極、一陰極、一電鍍液、以及一電力供應源，該電力供應源係分別與該陽極及該陰極連接，且該陽極及該陰極係浸泡於該電鍍液中，其中該電力供應源係直流電電鍍供應源、或高速脈衝電鍍供應源、或直流電鍍與高速脈衝電鍍二者交互使用；以及

(B)使用該電力供應源提供電力進行電鍍，由該陰極之一表面成長奈米雙晶銅金屬層，其中當使用直流電電鍍供應源時，其電流密度為1 ASD-12 ASD，當使用高速脈衝電鍍供應源時，其電流密度為1 ASD -5ASD；

其中，該奈米雙晶銅金屬層之50%以上的體積包括複數個晶粒，該複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度，該奈米雙晶銅金屬層之至少90%的表面係(111)面，該電鍍液係包括有：一銅的鹽化物、一酸、以及一氯離子來源。

13. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該奈米雙晶銅金屬層之所有表面係(111)面。

14. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該晶粒之直徑係0.1  $\mu\text{m}$  -50  $\mu\text{m}$ ，且該晶粒之厚度係0.01  $\mu\text{m}$  -500 $\mu\text{m}$ 。

15. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該晶粒之直徑係 $1\mu\text{m}$  -  $10\mu\text{m}$ ，且該晶粒之厚度係 $0.1\mu\text{m}$  -  $200\mu\text{m}$ 。

16. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該電鍍液更包括一物質係選自由：明膠(gelatin)、介面活性劑、晶格修整劑、及其混合所組成之群組。

17. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該電鍍液中的酸係為硫酸、甲基磺酸、或其混合。

18. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該電鍍液中的酸之濃度為 $80\text{-}120\text{g/L}$ 。

19. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該奈米雙晶銅金屬層之成長速率係 $0.22\mu\text{m}/\text{min}$  -  $2.64\mu\text{m}/\text{min}$ 。

20. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，當該步驟(B)中電鍍之電流密度為 $8\text{ ASD}$ 時，該雙晶金屬之成長速率係 $1.5\mu\text{m}/\text{min}$  -  $2\mu\text{m}/\text{min}$ 。

21. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該雙晶金屬層之製備方法係應用於直通矽晶穿孔(TSV, through silicon via)、半導體晶片中之內連線(interconnect)、封裝基板之引脚通孔(pin through hole)、金屬導線、或基板線路之製備。

22. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該陰極係一表面具有一晶種層之基板、或一金屬基板。

23. 如申請專利範圍第22項所述之奈米雙晶銅金屬層之製備方法，其中，該基板係選自由：矽基板、玻璃基板、石英基板、金屬基板、塑膠基板、印刷電路板、三五族材料基板、及其混合所組成之群組。

24. 如申請專利範圍第12項所述之奈米雙晶銅金屬層之製備方法，其中，該步驟(B)中，當電鍍進行時，該陰極或該電鍍液係以50到1500 rpm之轉速旋轉。

25. 一種具有奈米雙晶銅金屬層之基板，係包括：

一基板；以及

一如申請專利範圍第1項至第11項中任何一項所述之奈米雙晶銅金屬層，係配置於該基板之表面或內部。

26. 如申請專利範圍第25項所述之具有奈米雙晶銅金屬層之基板，其中，該基板係選自由：矽基板、玻璃基板、石英基板、金屬基板、塑膠基板、印刷電路板、三五族材料基板、及其混合所組成之群組。

八、圖式 (請見下頁)

公告本

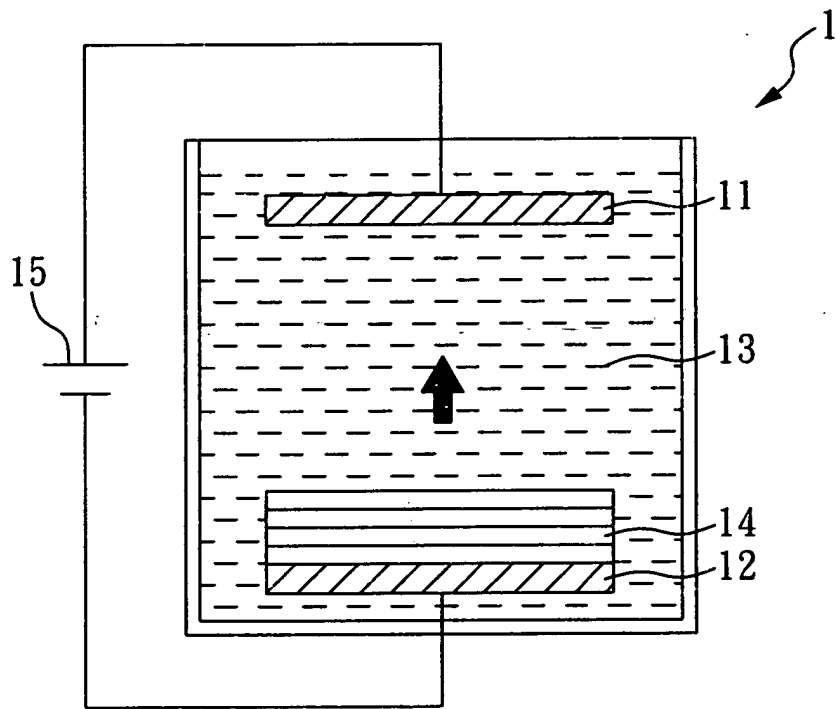


圖1

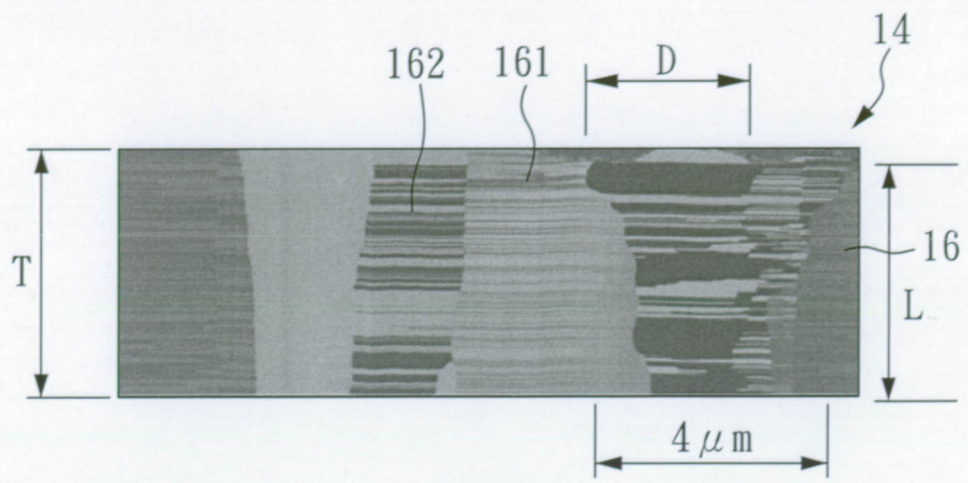


圖 2A

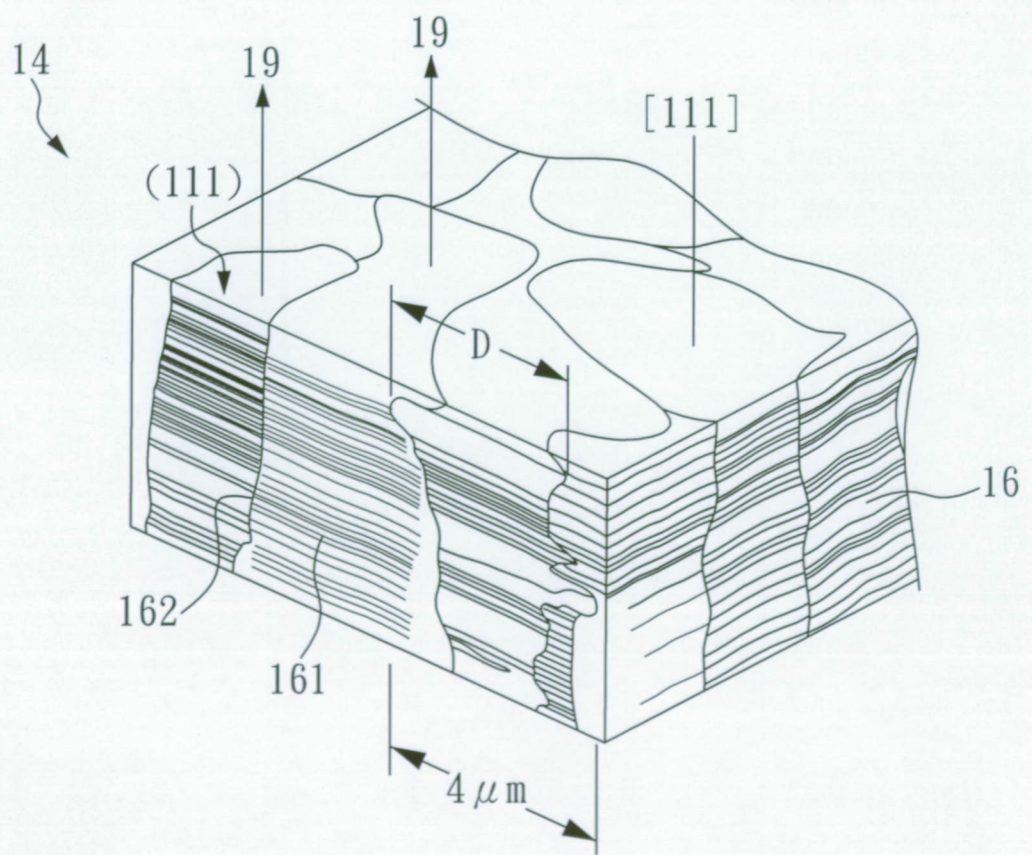


圖 2B

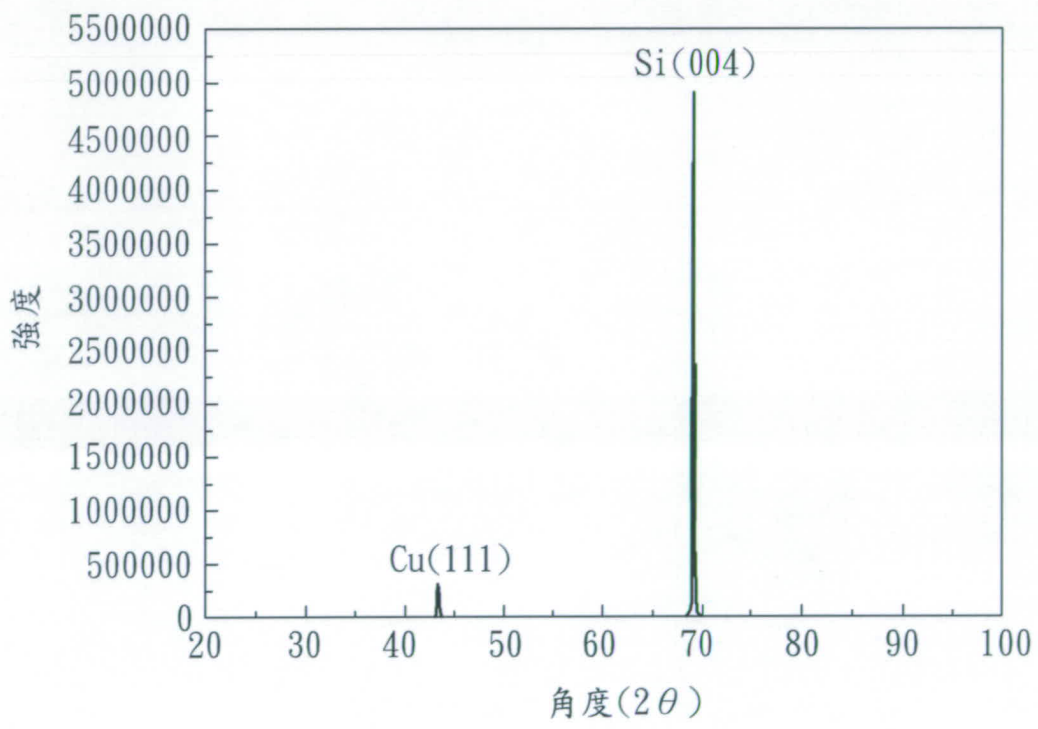


圖3

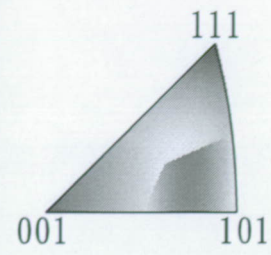
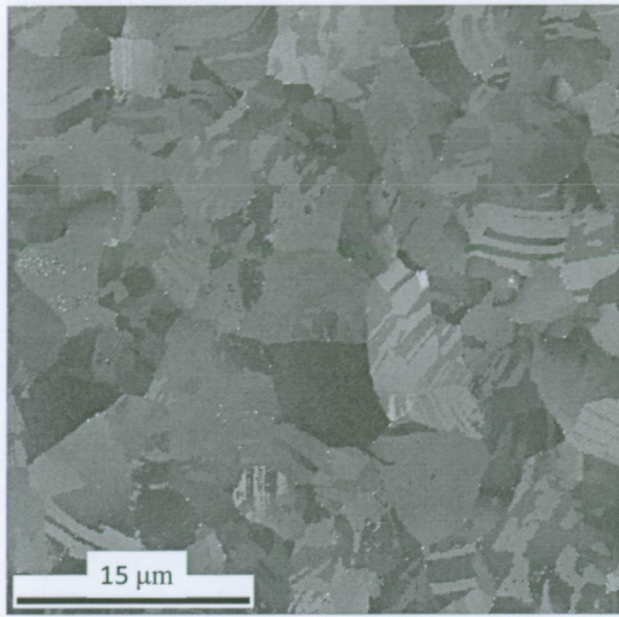


圖4

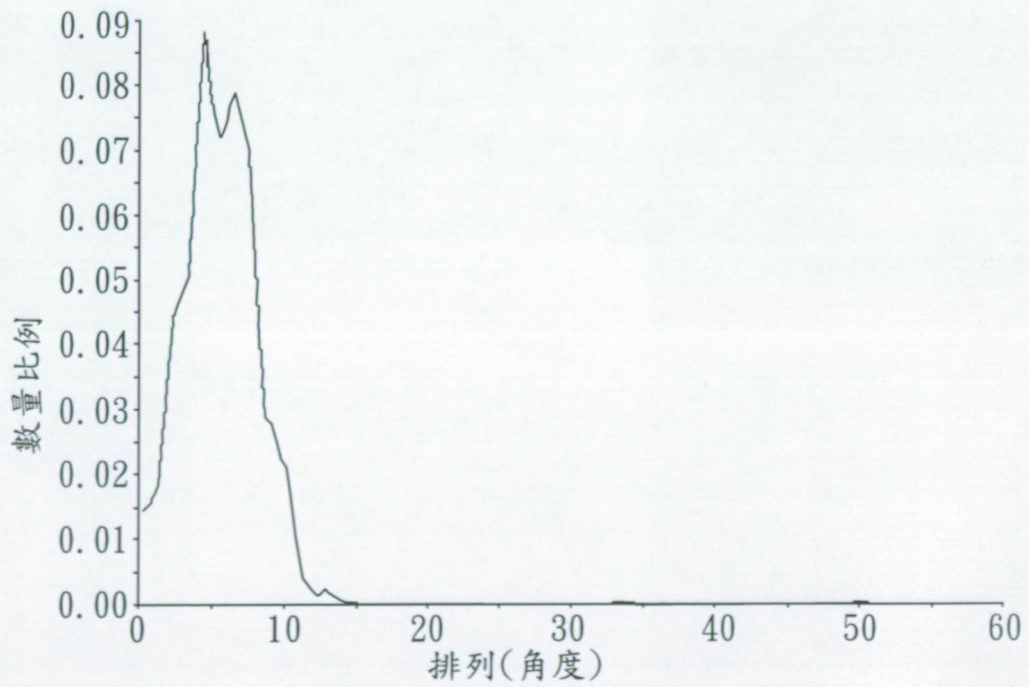


圖5

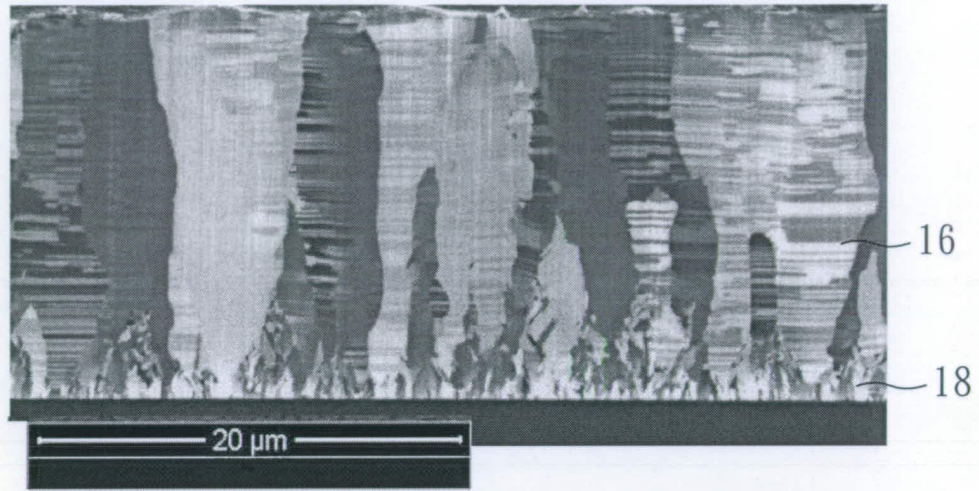


圖 6

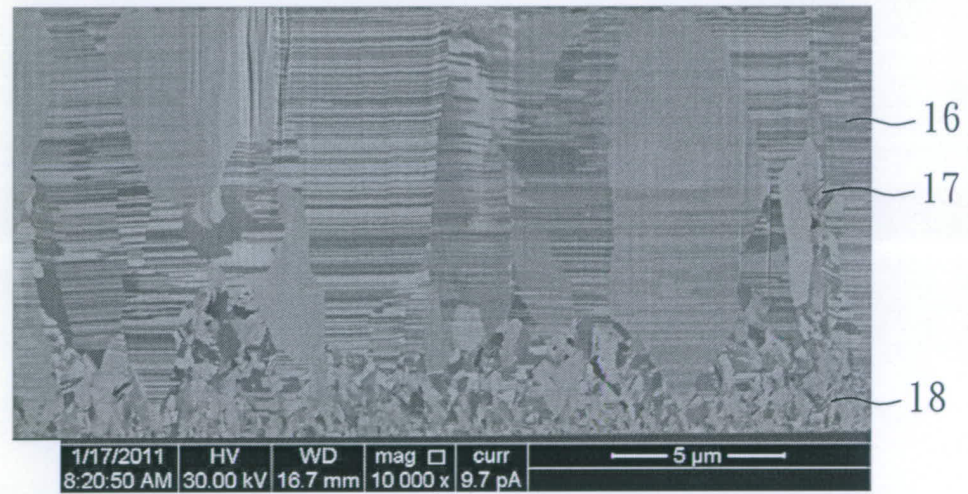


圖 7



圖 8



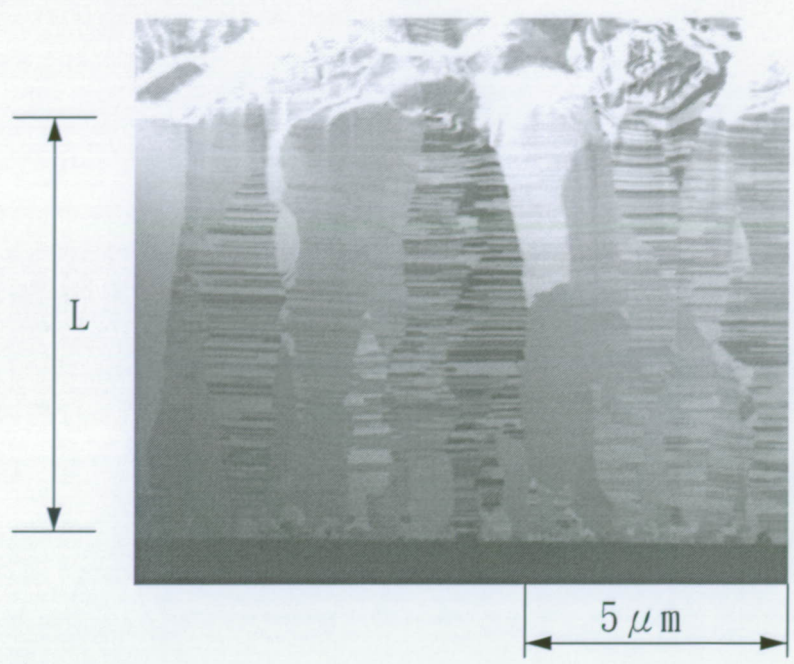


圖9

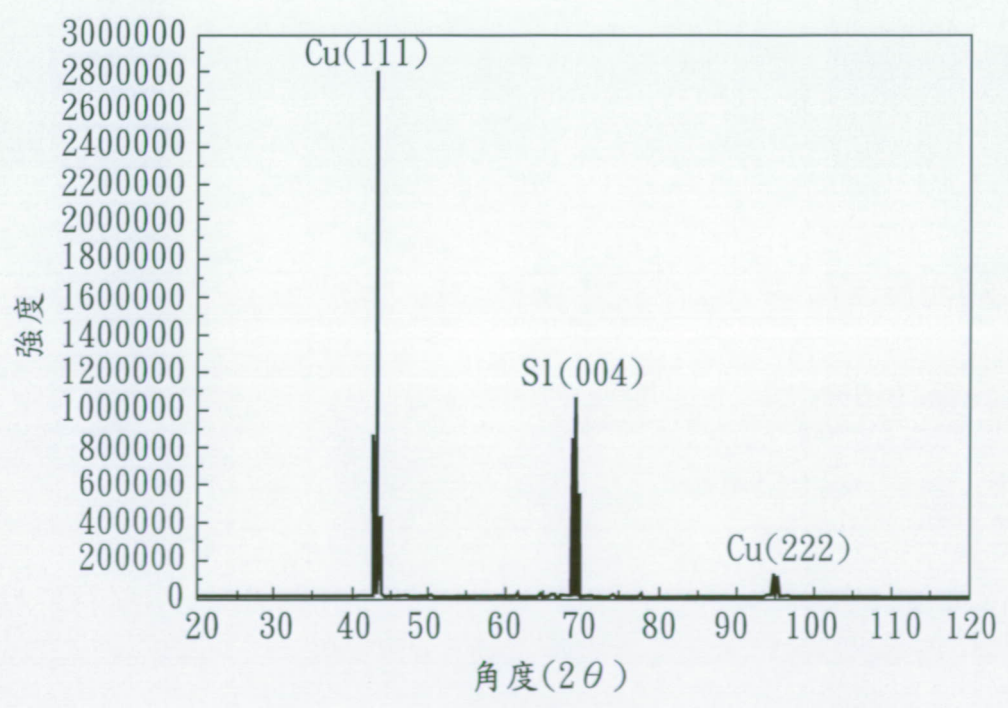


圖10

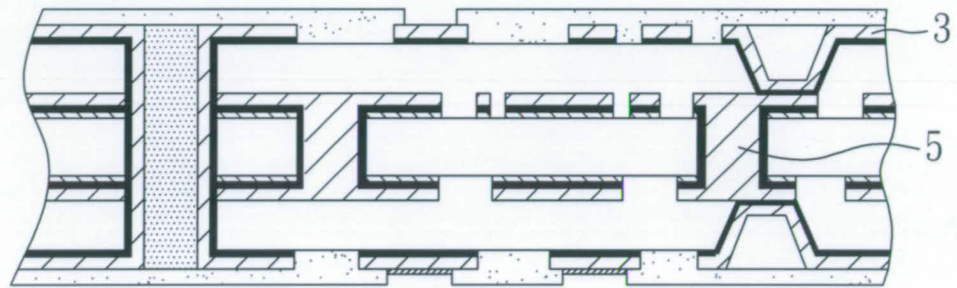


圖 11

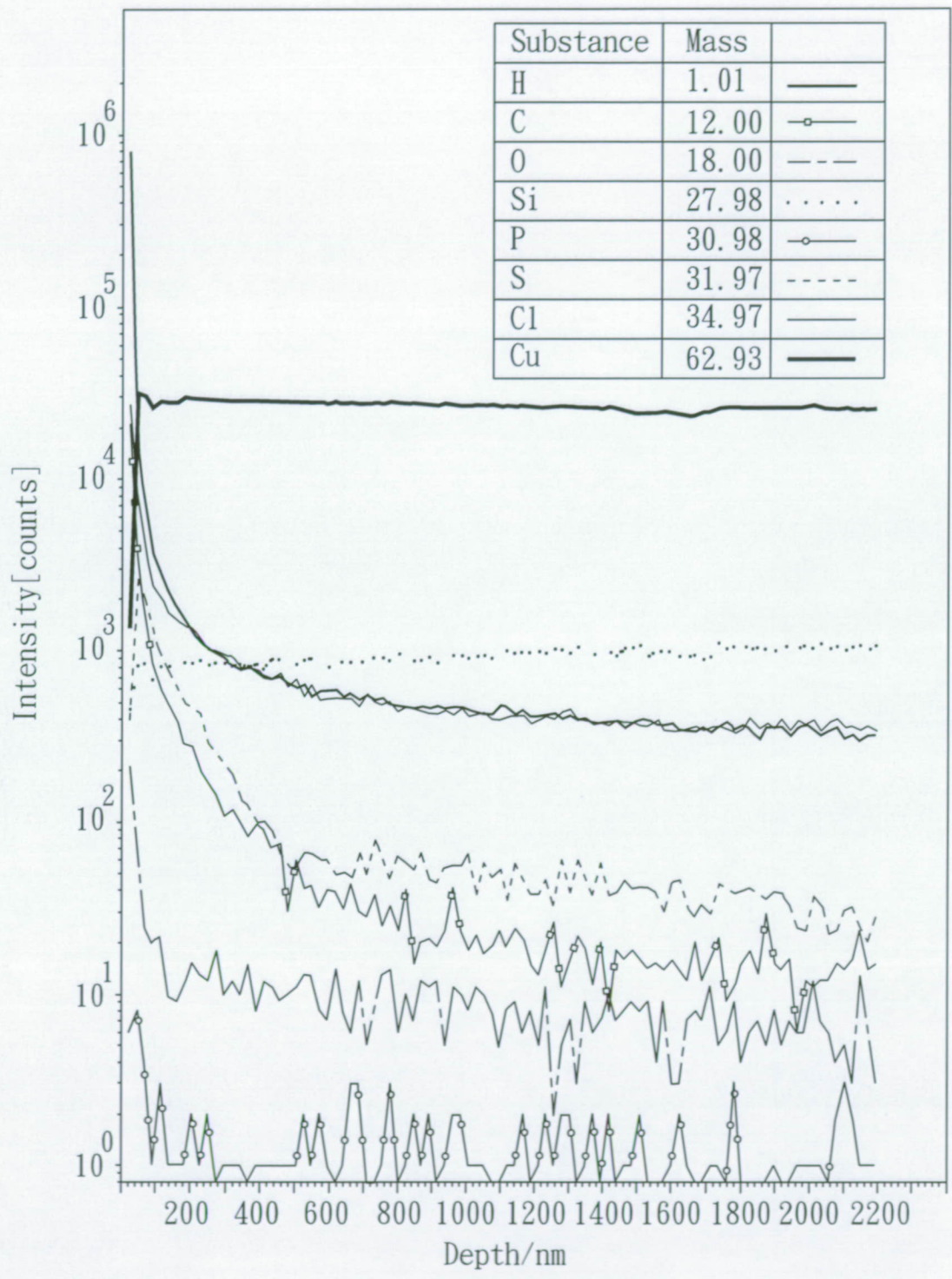


圖12