

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 96135456

※申請日期： 96.9.21

※IPC 分類： G06F 17/4(2006.01)

一、發明名稱：(中文/英文)

快速傅立葉轉換及其反轉換裝置與方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/National Chiao Tung University

代表人：(中文/英文) 吳重雨

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 余遠渠/YU, YUAN-CHU

2. 范倫達/VAN, LAN-DA

3. 林進燈/LIN, CHIN-TENG

國 籍：(中文/英文)

1. 中華民國/TW

2. 中華民國/TW

3. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

快速傅立葉轉換及其反轉換裝置與方法，藉由精簡式 8 點快速傅立葉轉換模組配合先寫後乘技巧以減少晶片面積及提高處理速率，達成滿足多輸入多輸出正交多頻無線通訊系統需求的目的。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

300	分離基數-2/8 多延遲迴授路徑
310	輸入模組
312	輸入單元
318	輸入組
319	輸入組
320	R8-FFT
330	乘法模組
340	矩陣式記憶體模組
350	控制模組

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種傅立葉轉換及其反轉換，特別是關於一種快速傅立葉轉換及其反轉換裝置與方法。

【先前技術】

快速傅立葉轉換係一種分析時間改變信號的技術，簡單地說，快速傅立葉轉換(FFT)係將時域信號映射至其頻域副本，反快速傅立葉轉換(IFFT)係將頻域信號映射至其時域副本，二者互為可逆的轉換。對於一正交多頻系統(orthogonal frequency division multiplexing; OFDM)而言，IFFT/FFT 模組係處理調變/解調變以達到有效多載波(multicarrier)傳送所不可或缺之工具，例如無線區域網路(wireless local area network)802.11a 標準中，要求一種具高速度與即時處理能力，且能結合一簡易方法而達成高資料處理效率之 IFFT/FFT 模組。此外，在一些特定的無線通訊系統中，例如非對稱式數位用戶線路(ADSL)、超高速數位用戶迴路(VDSL)或數位影音廣播系統(DAB/DVB-T)等，可藉由使用 IFFT/FFT 模組增加傳輸的頻寬或增加傳輸的效率。

蝴蝶模組是一種普遍用來實現 FFT/IFFT 的方式，其係將輸入的資料點利用多層交叉運算的方式，得到 FFT/IFFT 的結果，習知的蝴蝶模組具有相同數量的輸入及輸出，如圖 1 所示，以基數 8 的 FFT/IFFT 蝴蝶模組 100

為例，其具有二個乘法單元 110 及 120、八個輸入 $X[0]$ 至 $X[7]$ 以及八個輸出 $Y[0]$ 至 $Y[7]$ ，用以運算藉奇偶數的拆解方式分解由輸入 $X[0]$ 至 $X[7]$ 形成的傅立葉轉換矩陣，以同時產生八個對應的輸出 $Y[0]$ 至 $Y[7]$ 。

中華民國專利公告號第 265503 號提出一種「二維反離散餘弦轉換裝置」，採用 $N \times N$ 型矩陣架構及管線型乘法器架構，以矩陣拆解方式縮小晶片面積，但仍需四分之一長度的複數乘法器及儲存參數的唯讀記憶體，因而消耗較大的晶片面積，同時需要較長的運算瓶頸時間，而且只能應用在反離散餘弦轉換裝置上。

中華民國專利公告號第 409212 號提出一種「功率及面積有效之快速傅立葉轉換處理器」，採用大於 4 點矩陣型蝴蝶模組核心，以及應用並列式單一延遲迴授路徑(SDF)架構，例如並列式 $R2^2$ SDF、 $R2^3$ SDF 及 $R2^4$ SDF 架構，惟此處理器的複數乘法的複雜度高，因此需要較長的運算瓶頸時間，此外，採用複數乘法器配合唯讀記憶體架構，需消耗較大的晶片面積，且處理速率(processing rate)僅為 R ，無法符合多輸入多輸出系統需求。

中華民國專利公告號第 418362 號提出一種「具有平行架構之快速傅立葉轉換裝置」，分別採用並列式更動的離散餘弦轉換(MDCT)與更動的離散正弦轉換(MDST)函數運算法，其中第一 MDCT/MDST 模組列是以時間遞迴架構平行排列實現，需消耗較大的晶片面積。

中華民國專利公告號第 522315 號提出一種「利用離

散哈特利轉換來計算離散傅立葉轉換及其反轉換之裝置」，採用哈特利轉換及矩陣型架構來實現 512 點之離散傅立葉轉換及其反轉換，其處理速率僅為 R ，無法符合多輸入多輸出系統需求。

中華民國專利公告號第 I224263 號提出一種「管線簡易 FFT/IFFT 處理器」，採用矩陣型架構及管線型乘法器以 16 點 $R2^3$ SDF 型加強架構為發展基礎，以實現 32、64、128 及 256 點的快速傅立葉轉換，惟其複數乘法的複雜度高，且處理速率僅為 R ，無法符合多輸入多輸出系統需求。

中華民國專利公開號第 200534121 號提出一種「快速傅立葉轉換架構及方法」，採用蝴蝶矩陣型，因而消耗較大的晶片面積在儲存記憶體上，同時需要較長的運算瓶頸時間，且其處理速率僅為 R ，無法符合多輸入多輸出系統需求。

中華民國專利公開號第 20060107 號提出一種「快速傅立葉轉換處理器及其動態調整方法及基數-8 之快速傅立葉轉換演算法」，採用 8 點矩陣型蝴蝶模組架構重複運算，需要消耗較大的晶片面積，同時需要較長的運算瓶頸時間，且其處理速率僅為 R ，無法符合多輸入多輸出系統需求。

中華民國專利公開編號 200602902 提出一種「快速傅立葉轉換方法」，其仍需較長的運算時間，且處理速率僅為 R ，無法符合多輸入多輸出系統需求。

Wei-Hsin Chang and Truong Nguyen 在 IEEE Trans. on

Circuit and System I 中發表的「An OFDM-specified lossless FFT architecture」，以 R22SDF 架構實現一 64 點快速傅立葉轉換，其針對位元階層作簡化以得到最小晶片面積的設計，但複數乘法的複雜度高，且處理速率僅為 R，無法符合多輸入多輸出系統需求。

Chiu C., Wing Hui, Tion J. D. and McCanny J. V. 在 IEEE Journal of Solid-State Circuits 中發表的「A 64-point Fourier transform chip for video motion compensation using phase correlation」，提出一基數-4 的多延遲整流架構 (R4MDC)，使其在 4x4 的多輸入多輸出應用上，各元件的利用率有不錯的表現，但需消耗較大的晶片面積，且複數乘法的複雜度高。

Haining Jiang, Hanwen Luo, Jifeng Tian and Wentao Song 在 IEEE Trans. on Consumer Electronics 中發表的「Design of an efficient FFT processor for OFDM systems」，提出一基數-4 的多延遲整流架構，由於在架構上將處理核心並列排列，導致所需的晶片面積增加，同時系統操作頻率大於輸入資料取樣頻率，不符合低耗能要求。

Yunho Jung, Hongil Yoon and Jaeseok Kim 在 IEEE Trans. on Consumer Electronics 中發表的「New efficient FFT algorithm and pipeline implementation results for OFDM/DMT applications」，提出一基數-4 的多延遲整流架構，藉由改變架構使內部的常數乘法面積減少，但系統操

作頻率大於輸入資料取樣頻率，不符合低耗能要求。

K. Maharatna, E. Grass and U. Jagdhold 在 IEEE Journal of Solid-State Circuits 中發表的「A 64-point Fourier transform chip for high-speed wireless LAN application using OFDM」，提出一以常數並列乘法器架構之基數-8 式快速傅立葉轉換器，其處理速度雖可達 $4.33R$ ，但卻需消耗較大的晶片面積，且在 2×2 及 4×4 多輸入多輸出正交多頻系統應用上各模組的利用率較低。

L. Jia, Y. Gao, J. Isoaho and H. Tenhunen 在 Proc. Eleventh Annu. IEEE Int. ASIC Conf. 中發表的「A new VLSI-oriented FFT algorithm and implementation」，提出一傳統式的分離基數-2/8 理論，但卻無實現的硬體架構，若以其中的方程式直接實現硬體架構，每個蝴蝶架構中多出一個常數乘法單元，而需消耗較大的晶片面積。

Wen-Chang Yeh and Chein-Wei Jen 在 IEEE Trans. on Signal Processing 中所發表的「High-speed and low-power split-radix FFT」，提出一傳統式的分離基數-2/8 理論的硬體架構實現設計，但每個蝴蝶架構中多出一個常數乘法單元，而需消耗較大的晶片面積，同時由於處理速率僅為 R ，無法符合多輸入多輸出系統需求，且各元件的利用率也略低。

S. Bouguezel, M.O. Ahmad and M. N. S. Swamy 在 IEEE Trans. on Circuits and Systems I 中所發表的「A New Radix-2/8 FFT Algorithm for Length- $q \times 2^m$ DFTs」，提出一

傳統式的分離基數-2/8 理論，但卻無實現的硬體架構，若以其中的方程式直接實現硬體架構，每個蝴蝶架構中將多出一個常數乘法單元，而需消耗較大的晶片面積。

C. T. Lin, Y. C. Yu and L.D. Van 在 IEEE ISCAS2006 Conference 中所發表的「A Low Power 64-Point FFT/IFFT Design for IEEE 802.11a wireless LAN Application」，提出一傳統式的分離基數-2/8 理論，但其處理速率僅為 R ，只能應用到低處理速度之單輸入單輸出正交多頻 (SISO-OFDM) 環境下，無法適用於多輸入多輸出系統的應用上。

李建松在大同工學院的碩士論文(2006)「Design and implementation of variable-length fast fourier transform processor」，雖揭示各種 FFT/IFFT 的轉換架構，例如單一延遲迴授路徑 (SDF)、單一延遲整流路徑 (SDC) 及多延遲整流路徑 (MDC) 的架構，但該等架構均無法同時滿足低晶片面積、高效率以及多輸入多輸出系統應用的需求。

由於傳統的 R^2SDF 及 R^3SDF 架構之 64 點快速傅立葉轉換器，應用在單一輸入單一輸出的無線通訊系統，例如無線區域網路，雖然滿足精簡及高效率之設計，但因耗能大及複數乘法的複雜度高，不適用於多輸入多輸出之系統，而分離基數式 (split-radix) 和高階基數式 (high-radix) 快速傅立葉轉換理論，雖可解決複數乘法複雜度高的問題，但高階基數式架構的乘法器數目大量增加，造成晶片成本升高，且分離基數式架構目前未有一高利用率之管線架

構，使其符合多輸入多輸出之無線通訊系統，例如無線區域網路。

因此，一種應用於多輸入多輸出系統且具有高效率及低晶片面積之快速傅立葉轉換及其反轉換裝置與方法，乃為所冀。

【發明內容】

本發明的目的，在於提出一種應用於多輸入多輸出系統且具有高效率及低晶片面積之快速傅立葉轉換及其反轉換裝置與方法。

根據本發明，一種快速傅立葉轉換及其反轉換裝置包括一輸入模組具有複數個輸入單元，用以接收複數個輸入資料，一精簡式 8 點快速傅立葉轉換模組根據該複數個輸入資料產生複數個第一輸出資料，每一該複數個第一輸出資料包含一位置資訊及一編號資訊，一乘法模組具有複數個乘法單元，根據該複數個第一輸出資料的該編號資訊從該複數個乘法單元中選取對應者進行運算以產生複數個具有該位置資訊之第二輸出資料，以及一矩陣式記憶體模組根據該位置資訊儲存該第二輸出資料，其中，在一時脈週期中，若該複數個第一輸出資料包含衝突輸出資料，該矩陣式記憶體模組根據該位置資訊儲存該衝突輸出資料，並在後續時脈週期中提供給該乘法模組進行運算。

根據本發明，一種快速傅立葉轉換及其反轉換方法包括(a)進行第一 L 型蝴蝶運算以根據複數個輸入資料產生

複數個具有位置資訊及編號資訊之第一輸出資料，(b)對該複數個第一輸出資料中該編號資訊不衝突者進行對應該編號資訊的第一乘法運算以產生複數個具有該位置資訊之第二輸出資料，(c)根據該位置資訊儲存該第二輸出資料及未經該第一乘法運算的該複數個第一輸出資料，(d)對未經該第一乘法運算之該複數個第一輸出資料中該編號資訊不衝突者進行對應該編號資訊的第二乘法運算產生複數個具有該位置資訊之第三輸出資料，(e)根據該位置資訊儲存該第三輸出資料及未經該第二乘法運算的該複數個第一輸出資料，(f)重複步驟(d)及(e)直到該複數個第一輸出資料均經過該第一或第二乘法運算，以及(g)進行第二L型蝴蝶運算，根據該第二及第三資料產生該複數個輸入資料的快速傅立葉轉換資料或其反轉換資料。

本發明藉由精簡式8點快速傅立葉轉換模組提高硬體利用率，以及利用先寫後乘(multiplication-after-write；MAW)機制減少運算時間，並採用矩陣式記憶體模組建構迴授路徑與向前整流路徑架構提高處理速率，以最小的晶片面積達成符合多輸入多輸出正交多頻無線通訊系統需求的目的是。

【實施方式】

本發明提出精簡式8點快速傅立葉轉換模組(R8-FFT)以降低複數乘法的複雜度，以N點快速傅立葉轉換為例，其轉換序列可表示為

$$Z[k] = \sum_{n=0}^{N-1} X[n] \cdot W_N^{kn} \quad \text{公式 1}$$

其中， $X[n]$ 為輸入資料， $Z[k]$ 為輸出資料， W_N 為旋轉因子且 $W_N = e^{-j2\pi/N}$ ，根據基數 8 之理論，公式 1 可改寫為

$$Z[s+Tt] = \sum_{l=0}^{M-1} \left[W_{MT}^{sl} \cdot \sum_{m=0}^{T-1} X(l+Mm) \cdot W_T^{sm} \right] \cdot W_M^{lt} \quad \text{公式 2}$$

其中， $k=s+Tt$ ， $n=l+Mm$ ，以 N 等於 64 為例， $T=M=8$ ， s 、 t 、 l 及 m 均為 0 至 7 的整數，因此，公式 2 可拆解成二個 8 點之快速傅立葉運算式並改寫成

$$\begin{bmatrix} Y_0 \\ Y_1 \\ Y_2 \\ Y_3 \\ Y_4 \\ Y_5 \\ Y_6 \\ Y_7 \end{bmatrix} = \begin{bmatrix} W^0 & W^0 & W^0 & W^0 & W^0 & W^0 & W^0 & W^0 \\ W^0 & W^1 & W^2 & W^3 & W^4 & W^5 & W^6 & W^7 \\ W^0 & W^2 & W^4 & W^6 & W^0 & W^2 & W^4 & W^6 \\ W^0 & W^3 & W^6 & W^1 & W^4 & W^7 & W^2 & W^5 \\ W^0 & W^4 & W^0 & W^4 & W^0 & W^4 & W^0 & W^4 \\ W^0 & W^5 & W^2 & W^7 & W^4 & W^1 & W^6 & W^3 \\ W^0 & W^6 & W^4 & W^2 & W^0 & W^6 & W^4 & W^2 \\ W^0 & W^7 & W^6 & W^5 & W^4 & W^3 & W^2 & W^1 \end{bmatrix} \cdot \begin{bmatrix} X_0 \\ X_1 \\ X_2 \\ X_3 \\ X_4 \\ X_5 \\ X_6 \\ X_7 \end{bmatrix} \quad \text{公式 3}$$

將公式 3 對 180° 與 90° 的多餘項作簡化後得到

$$\begin{bmatrix} Y_0 \\ Y_1 \\ Y_4 \\ Y_5 \\ Y_2 \\ Y_3 \\ Y_6 \\ Y_7 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & W_8^1 & 0 \\ 1 & 0 & 0 & 0 & -1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & -W_8^1 & 0 \\ 0 & 1 & 0 & 0 & 0 & -j & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & -jW_8^1 \\ 0 & 1 & 0 & 0 & 0 & j & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & jW_8^1 \end{bmatrix} \begin{bmatrix} (X_0 + X_4) + (X_2 + X_6) \\ (X_0 + X_4) - (X_2 + X_6) \\ (X_0 - X_4) - j(X_2 - X_6) \\ (X_0 - X_4) + j(X_2 - X_6) \\ (X_1 + X_5) + (X_3 + X_7) \\ (X_1 + X_5) - (X_3 + X_7) \\ (X_1 - X_5) - j(X_3 - X_7) \\ (X_1 - X_5) + j(X_3 - X_7) \end{bmatrix} \quad \text{公式 4}$$

接著以上半部及下半部拆解方式拆解公式 4，例如以公式 4 之上四列及下四列拆解方式分解公式 4，得到

$$\begin{bmatrix} Y_0 \\ Y_1 \end{bmatrix} = G_{1(FFT)} + H_{1(FFT)}, \quad \begin{bmatrix} Y_4 \\ Y_5 \end{bmatrix} = G_{1(FFT)} - H_{1(FFT)} \quad \text{公式 5a}$$

$$\begin{bmatrix} Y_2 \\ Y_3 \end{bmatrix} = G_{2(FFT)} + H_{2(FFT)}, \quad \begin{bmatrix} Y_6 \\ Y_7 \end{bmatrix} = G_{2(FFT)} - H_{2(FFT)} \quad \text{公式 5a}$$

其中

$$G_{1(FFT)} = \begin{bmatrix} (X_0 + X_4) + (X_2 + X_6) \\ (X_0 - X_4) - j(X_2 - X_6) \end{bmatrix} \quad \text{公式 6a}$$

$$G_{2(FFT)} = \begin{bmatrix} (X_0 + X_4) - (X_2 + X_6) \\ (X_0 - X_4) + j(X_2 - X_6) \end{bmatrix} \quad \text{公式 6b}$$

$$H_{1(FFT)} = \begin{bmatrix} 1 & W_8^1 \end{bmatrix} \cdot \begin{bmatrix} (X_1 + X_5) + (X_3 + X_7) \\ (X_1 - X_5) - j(X_3 - X_7) \end{bmatrix} \quad \text{公式 6c}$$

$$H_{2(FFT)} = -j \cdot \begin{bmatrix} 1 & W_8^1 \end{bmatrix} \cdot \begin{bmatrix} (X_1 + X_5) - (X_3 + X_7) \\ (X_1 - X_5) + j(X_3 - X_7) \end{bmatrix} \quad \text{公式 6d}$$

根據公式 6a 至 6d 可得到 R8-FFT。在此運算過程中，以上

半部及下半部的拆解方式取代習知奇偶數的拆解方式分解公式 4 所示的矩陣，以化簡所需之單一乘法數。

圖 2 係 R8-FFT 根據輸出重新排序之分離基數-2/8 理論產生的 L 型蝴蝶模組 200，其具有一個乘法單元 210、八個輸入及四個輸出，以計算 8 個輸入資料 $X[0]$ 至 $X[7]$ 為例，要將輸入資料 $X[0]$ 至 $X[7]$ 完全輸入需八個時脈週期，L 型蝴蝶模組 200 在二個時脈週期中進行運算，以分別產生對應輸入資料 $X[0]$ 至 $X[7]$ 的輸出 $Y[2]$ 、 $Y[6]$ 、 $Y[3]$ 與 $Y[7]$ 以及輸出 $Y[0]$ 、 $Y[4]$ 、 $Y[1]$ 與 $Y[5]$ ，L 型蝴蝶模組 200 的利用率為八分之二，反觀如圖 1 所示的蝴蝶模組 100 係藉由二個乘法單元 110 及 120 在一個時脈週期中進行運算，以同時產生對應輸入資料 $X[0]$ 至 $X[7]$ 的輸出資料 $Y[0]$ 至 $Y[7]$ ，蝴蝶模組 100 的利用率為八分之一，因此 L 型蝴蝶模組 200 相較於習知的蝴蝶模組 100 至少提升二倍的利用率。此外，L 型蝴蝶模組 200 中的乘法單元數目僅為習知的蝴蝶模組 100 的一半，有效減少所需的晶片面積。

圖 3 係本發明之 FFT/IFFT 裝置的第一個實施例，一採用串列模組(serial blockwise)架構之分離基數-2/8 多延遲迴授路徑 (redix-2/8 multiple-path delay feedback ; R28MDF)300 包括一輸入模組 310 具有輸入組 318 及 319，輸入組 318 及 319 分別包含複數個輸入單元 312 用以接收複數個輸入資料，一 R8-FFT 320 根據該等輸入資料產生具包含位置資訊及編號資訊的輸出資料，R8-FFT 320 的具體架構即為圖 2 所示之 L 型蝴蝶模組 200，一控制模組

350 用以控制 R8-FFT 320 的運算次序，一乘法模組 330 具有複數個乘法單元用以對 R8-FFT 320 的輸出資料進行乘法運算，以及一矩陣式記憶體模組 340 根據該位置資訊儲存經乘法模組 330 運算後的結果，矩陣式記憶體模組 340 採用迴授路徑的架構，用以將其儲存的資料迴授至 R8-FFT 320 中，產生對應於該等輸入資料的 FFT/IFFT 資料輸出。在本實施例中，輸入單元 312 及乘法模組 330 的示意圖分別如圖 4 及圖 5 所示。參照圖 4，輸入單元 312 包括一及閘(AND gate)316 根據一閘極控制信號及一時脈產生一位移信號 S_S ，以及一暫存器 314 根據位移信號 S_S 位移該等輸入資料。參照圖 5 及圖 3，乘法模組 330 包括一多工器 334、複數個乘法單元 332 以及一解多工器 336，多工器 334 根據該編號資訊將 R8-FFT 320 輸出資料傳遞至對應的乘法單元 332 進行對應的乘法運算，經解多工器 336 將乘法單元 332 運算的結果分別由 Y0 至 Y4 輸出，並根據該位置資訊儲存至矩陣式記憶體模組 340，在一實施例中，乘法單元 332 包括加法位移器，利用固定位移線路配合加法器實現乘法運算，因此降低了乘法運算的複雜度，且不需外加另一唯讀式記憶體，更進一步減少所需的晶片面積。

圖 6 係圖 3 的運算時序圖，以 64 點之 FFT/IFFT 為例，一次 64 點之 FFT/IFFT 的運算時間需 64 個時脈，包括二個乘法時期 MS1 與 MS2 以及二個輸出時期 OS1 與 OS2。圖 7 及圖 8 分別為圖 6 中乘法時期及輸出時期的時序圖。參照圖 7 及圖 3，輸入模組 310 包括二個輸入組 318 及

319，輸入組 318 及 319 包含 64 個輸入單元 312，且 64 個輸入單元 312 構成由 X_{00} 至 X_{77} 之 8×8 矩陣，64 點資料 $X[0]$ 至 $X[63]$ 依序輸入至 X_{00} 至 X_{77} 中，在第 1 個時脈週期中，資料 $X[56]$ 輸入至 X_{70} ，R8-FFT 320 根據已輸入的資料，例如已輸入至 X_{00} 至 X_{07} 中的資料 $X[0]$ 至 $X[7]$ ，進行 L 型蝴蝶運算，產生輸出資料 $Y_{00}(0)$ 、 $Y_{10}(0)$ 、 $Y_{40}(0)$ 及 $Y_{50}(0)$ ，其中， $Y_{ab}(c)$ 中的 ab 表示位置資訊 (a,b) 以及 c 表示編號資訊，接著乘法模組 330 根據編號資訊選用對應的乘法單元對 R8-FFT 320 的輸出資料進行對應的乘法運算，並將運算結果根據位置資訊存入矩陣式記憶體模組 340 中對應的位置。在第 2 個時脈週期中，資料 $X[57]$ 輸入至 X_{71} ，R8-FFT 320 根據已輸入的資料，例如已輸入至 X_{00} 至 X_{07} 中的資料 $X[0]$ 至 $X[7]$ ，進行 L 型蝴蝶運算，產生輸出信號 $Y_{20}(0)$ 、 $Y_{30}(0)$ 、 $Y_{60}(0)$ 及 $Y_{70}(0)$ ，經乘法模組 330 根據編號資訊選用對應的乘法單元進行乘法運算後，將結果根據位置資訊存入矩陣式記憶體模組 340 中。同樣地，在第 3 至第 16 個時脈週期中，根據輸入至輸入模組 310 中的資料進行相同的運算。值得注意的是，在第 6 個時脈週期中，R8-FFT 320 的輸出資料 $Y_{22}(4)$ 及 $Y_{62}(4)$ 的編號資訊互相衝突，對應到相同的乘法單元，例如第四個乘法單元，而形成衝突輸出資料 $Y_{62}(4)$ ，此時，在第 6 個時脈週期中，選用對應的乘法單元對編號資訊不衝突的輸出資料 $Y_{22}(4)$ 、 $Y_{32}(6)$ 及 $Y_{72}(2)$ 進行乘法運算，並將衝突輸出資料 $Y_{62}(4)$ 根據位置資訊 $(6,2)$ 存入矩陣式記憶體模組 340 中對應的位置

(6,2)，以便在後續未使用到第四乘法單元的時脈週期中再將衝突輸出資料 $Y_{62}(4)$ 提供給第四乘法單元進行乘法運算，例如在第 8 個時脈週期中將衝突輸出資料 $Y_{62}(4)$ 提供給第四乘法單元進行乘法運算，此時以 $R_{64}(4)$ 表示之，並將結果根據位置資訊(6,2)回存至矩陣式記憶體模組 340。同樣地，在第 9 個時脈週期中的衝突輸出資料 $Y_{54}(4)$ 在第 12 個時脈週期中進行乘法運算，在第 10 個時脈週期中的衝突輸出資料 $Y_{64}(8)$ 及 $Y_{74}(4)$ 則分別在第 11 及第 13 個時脈週期中進行乘法算，因此第 1 至第 16 個時脈週期形成圖 6 中的乘法時期 MS1。參照圖 8 及圖 3，在第 17 個時脈週期中，資料 $X[8]$ 輸入至 X_{10} ，R8-FFT 320 根據從矩陣式記憶體模組 340 中迴授的資料的資料進行 L 型蝴蝶運算，產生 FFT/IFFT 資料 Z_{00} 、 Z_{10} 、 Z_{40} 及 Z_{50} 輸出。在第 18 個時脈週期中，資料 $X[9]$ 輸入至 X_{11} ，R8-FFT 320 根據從矩陣式記憶體模組 340 中迴授的資料的資料進行 L 型蝴蝶運算，產生 FFT/IFFT 資料 Z_{01} 、 Z_{11} 、 Z_{41} 及 Z_{51} 輸出。同樣地，在第 19 至第 32 個時脈週期中，R8-FFT 320 根據矩陣式記憶體模組 340 中迴授的資料進行 L 型蝴蝶運算，產生 FFT/IFFT 資料輸出，因此第 17 至第 32 個時脈週期形成圖 6 中的輸出時期 OS1，同樣地，第 33 至第 48 個時脈週期以及第 49 至第 64 個時脈週期則分別形成圖 6 中的乘法時期 MS2 及輸出時期 OS2。

在本實施例中，乘法模組 330 採用並列式迴授路徑架構，其包括九個乘法單元分別對應編號訊 0~8，每一該乘

法單元對應不同的乘法運算，五個輸入端分別接收 R8-FFT 320 的輸出資料及儲存在矩陣式記憶體模組 340 中的衝突輸出資料，以及五個輸出端 Y0 至 Y4 分別輸出經乘法單元運算後的結果，並根據位置資訊存入矩陣式記憶體模組 340，其中對應編號資訊 0 的乘法單元表示 x1，可直接輸出不會造成衝突，此種先寫後乘機制可減少運算的延遲時間，進而提高處理速率。

由於輸入模組 310 具有二個輸入組 318 及 319，且在 64 個時脈週期中包括二個乘法時期 MS1 與 MS2 及二個輸出時期 OS1 與 OS2，顯示 R28MDF 300 的處理速率可達 2R，適用於 2x2 多輸入多輸出正交多頻的無線區域網路。此外，無論在乘法時期或輸出時期 R8-FFT 320 及矩陣式記憶體模組 340 均被使用，因此 R8-FFT 320 及矩陣式記憶體模組 340 的利用率達 100%，有效提升各模組的利用率。

圖 9 係本發明 FFT/IFFT 裝置的第二個實施例，一採用串列模組架構之分離基數-2/8 多延遲整流路徑 (redix-2/8 multiple-path delay commutator ; R28MDC)400 包括一輸入模組 410 具有輸入組 460 至 466，輸入組 460 至 466 分別包含複數個輸入單元 412 用以接收複數個輸入資料，以及一切換單元 414 用以切換該複數個輸入資料，一 R8-FFT 420 根據經切換單元切換後輸出之該等輸入資料產生具包含位置資訊及編號資訊的輸出資料，一乘法模組 430 具有複數個乘法單元 432 用以對 R8-FFT 420 的輸出資料進行

乘法運算，一矩陣式記憶體模組 440 根據該位置資訊存經乘法模組運算後的結果，以及一 R8-FFT 450 根據矩陣式記憶體模組 440 中儲存的資料產生對應於該等輸入資料之 FFT/IFFT 資料輸出，其中，R8-FFT 420 及 450 的具體架構即為圖 2 所示之 L 型蝴蝶模組 200。在本實施例中，乘法模組 430 採用並列式迴授路徑，以便接收矩陣式記憶體模組 440 提供的資料或將資料儲存至矩陣式記憶體模組 440 中，且輸入單元 412 及乘法模組 430 的架構與圖 4 及圖 5 所示之架構相同。在一實施例中，乘法單元 432 包括加法位移器，利用固定位移線路配合加法器實現乘法運算，因此降低了乘法運算的複雜度，且不需外加另一唯讀式記憶體，更進一步減少所需的晶片面積。

圖 10 係圖 9 的運算時序圖，參照圖 9 圖 10，以 64 點之 FFT/IFFT 為例，一次 64 點之 FFT/IFFT 的運算時間需 64 個時脈，包括四個乘法時期 MS1、MS2、MS3 與 MS4 以及四個輸出時期 OS1、OS2、OS3 與 OS4，乘法時期及輸出時期的時序圖及各模組之間的運作分別如圖 7 及圖 8 所示，圖 9 與圖 3 的差異在於矩陣式記憶體模組 440 採用向前整流路徑架構，其儲存的資料直接提供給 R8-FFT 450 而不迴授至 R8-FFT 420。在第一組的 16 個時脈週期 470 中，R8-FFT 420 及乘法模組 430 根據經切換單元 414 切換後輸入的資料進行 L 型蝴蝶運算及乘法運算，並將運算結果儲存至矩陣式記憶體模組 440 中，形成乘法時期 MS1。在第二組的 16 個時脈週期 472 中，R8-FFT 450 根據矩陣

式記憶體模組 440 中儲存的資料進行 L 型蝴蝶運算產生 FFT/IFFT 資料的輸出，同時 R8-FFT 420 及乘法模組 430 繼續對後續輸入的資料進行運算，形成輸出時期 OS1 與乘法時期 MS2，同樣地，第三組及第四組的 16 個時脈週期 474 及 476 分別形成輸出時期 OS2 與乘法時期 MS3 以及輸出時期 OS3 與乘法時期 MS4，並在之後的 16 個時脈週期 478 中形成輸出時期 OS4。在此實施例中，乘法模組 430 採用並列式迴授路徑架構，使乘法模組 430 具備先寫後乘之機制，以提高處理速度。

由於輸入模組 410 具有四個輸入組 460 至 466，且在 64 個時脈週期中包括四個乘法時期 MS1 至 MS4 及四個輸出時期 OS1 至 OS4，顯示 R28MDC 400 的處理速率可達 4R，適用於 4x4 多輸入多輸出正交多頻的無線區域網路。此外，無論在乘法時期或輸出時期 R8-FFT 420 及 450、乘法模組 430 及矩陣式記憶體模組 440 均被使用，因此 R8-FFT 420 及 450、乘法模組 430 及矩陣式記憶體模組 440 的利用率達 100%，有效提升各模組的利用率。進一步言，R28MDC 架構 400 應用了高速之管線式處理器架構，且在 FFT/IFFT 的運算過程中乘法時期及輸出時期同時執行，因此單位時間的處理能力提升為二倍，達到高利用率的目標。

圖 11 係本發明 R28MDF 與習知技術應用在 2x2 多輸入多輸出正交多頻系統中，64 點之 FFT/IFFT 轉換效能比較表，其中習知的 R2MDC 目前僅有理論尚無實際的架

構，若直接根據其理論實現應架構，則需 4 個唯讀記憶體，由圖 11 可知，本發發明之 R28MDF 係在考量乘法模組的複雜度、系統操作頻率、晶片面積、蝴蝶模組利用率、及處理速度後，符合性能與面積之最高效率的架構。

圖 12 係本發明 R28MDC 與習知技術應用在 4x4 多輸入多輸出正交多頻系統中，64 點之 FFT/IFFT 轉換效能比較表，由圖 12 可知，本發發明之 R28MDC 係模組利用率最高且晶片面積最小的架構。

【圖式簡單說明】

圖 1 係習知蝴蝶模組的示意圖；

圖 2 係本發明之 L 型蝴蝶模組的示意圖；

圖 3 係本發明之 FFT/IFFT 裝置第一個實施例的示意圖；

圖 4 係圖 3 中輸入單元的示意圖；

圖 5 係圖 3 中乘法模組的示意圖；

圖 6 係圖 3 的運算時序圖；

圖 7 係圖 6 中乘法時期的時序圖；

圖 8 係圖 6 中輸出時期的時序圖；

圖 9 係本發明之 FFT/IFFT 裝置第二個實施例的示意圖；

圖 10 係圖 9 的運算時序圖；

圖 11 係本發明 R28MDF 與習知技術應用在 2x2 多輸入多輸出正交多頻系統中，64 點之 FFT/IFFT 轉換效能比

較表；以及

圖 12 係本發明 R28MDC 與習知技術應用在 4×4 多輸入多輸出正交多頻系統中，64 點之 FFT/IFFT 轉換效能比較表。

【主要元件符號說明】

100	蝴蝶模組
110	乘法單元
120	乘法單元
200	L 型蝴蝶模組
210	乘法單元
300	分離基數-2/8 多延遲迴授路徑
310	輸入模組
312	輸入單元
314	暫存器
316	及閘
318	輸入組
319	輸入組
320	R8-FFT
330	乘法模組
332	乘法單元
334	多工器
336	解多工器
340	矩陣式記憶體模組

350	控制模組
400	分離基數-2/8 多延遲整流路徑
410	輸入模組
412	輸入單元
414	切換單元
420	R8-FFT
430	乘法模組
432	乘法單元
440	矩陣式記憶體模組
450	R8-FFT
460-466	輸入組
470-478	16 個時脈週期

十、申請專利範圍：

1. 一種快速傅立葉轉換及其反轉換裝置，包括：

一輸入模組，具有複數個輸入單元，用以接收複數個輸入資料；

一精簡式 8 點快速傅立葉轉換模組，根據該複數個輸入資料產生複數個第一輸出資料，每一該複數個第一輸出資料包含一位置資訊及一編號資訊；

一乘法模組，具有複數個乘法單元，根據該複數個第一輸出資料的該編號資訊從該複數個乘法單元中選取對應者進行運算以產生複數個具有該位置資訊之第二輸出資料；以及

一矩陣式記憶體模組，根據該位置資訊儲存該第二輸出資料；

其中，在一時脈週期中，若該複數個第一輸出資料包含衝突輸出資料，該矩陣式記憶體模組根據該位置資訊儲存該衝突輸出資料，並在後續時脈週期中提供給該乘法模組進行運算。

2. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，更包括一控制模組用以控制該精簡式 8 點快速傅立葉轉換單元的運算次序。

3. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，其中該矩陣式記憶體模組具有迴授路徑之架構，以迴授該矩陣式記憶體模組中的該第二輸出資料至該精簡式 8 點快速傅立葉轉換模組，產生對應該複數個輸入資料的快速傅立

葉轉換資料或其反轉換資料。

4. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，更包括一第二精簡式 8 點快速傅立葉轉換模組耦接該矩陣式記憶體模組。

5. 如請求項 4 的快速傅立葉轉換及其反轉換裝置，其中該矩陣式記憶體模組具有向前整流路徑之架構，以提供該矩陣式記憶體模組中的該第二輸出資料至該第二精簡式 8 點快速傅立葉轉換模組，產生對應該複數個輸入資料的快速傅立葉轉換資料或其反轉換資料。

6. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，更包括一切換單元在該輸入模組中，用以切換該複數個輸入資料至該精簡式 8 點快速傅立葉轉換單元。

7. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，其中每一該輸入單元包括：

一及閘，根據一閘極控制信號及一時脈產生一位移信號；以及

一暫存器，根據該位移信號位移該複數個輸入資料。

8. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，其中該精簡式 8 點快速傅立葉轉換模組包括一 L 型蝴蝶模組。

9. 如請求項 8 的快速傅立葉轉換及其反轉換裝置，其中該 L 型蝴蝶模組具有八個輸入及四個輸出，用以執行經上半部及下半部拆解後之矩陣運算。

10. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，

其中該乘法模組具有並列式迴授路徑架構，以存取該矩陣式記憶體模組。

11. 如請求項 1 的快速傅立葉轉換及其反轉換裝置，其中該乘法單元包括位移加法器。

12. 一種快速傅立葉轉換及其反轉換方法，包括下列步驟：

- (a) 進行第一 L 型蝴蝶運算，根據複數個輸入資料產生複數個具有位置資訊及編號資訊之第一輸出資料；
- (b) 對該複數個第一輸出資料中該編號資訊不衝突者進行對應該編號資訊的第一乘法運算以產生複數個具有該位置資訊之第二輸出資料；
- (c) 根據該位置資訊儲存該第二輸出資料及未經該第一乘法運算的該複數個第一輸出資料；
- (d) 對未經該第一乘法運算之該複數個第一輸出資料中該編號資訊不衝突者進行對應該編號資訊的第二乘法運算產生複數個具有該位置資訊之第三輸出資料；
- (e) 根據該位置資訊儲存該第三輸出資料及未經該第二乘法運算的該複數個第一輸出資料；
- (f) 重複步驟(d)及(e)直到該複數個第一輸出資料均經過該第一或第二乘法運算；以及
- (g) 進行第二 L 型蝴蝶運算，根據該第二及第三資料產生該複數個輸入資料的快速傅立葉轉換資料或其反轉換資料。

13. 如請求項 12 的快速傅立葉轉換及其反轉換方法，更包括迴授該第二及第三輸出資料以進行該第二 L 型蝴蝶運算。

14. 如請求項 12 的快速傅立葉轉換及其反轉換方法，更包括向前輸出該第二及第三輸出資料以進行該第二 L 型蝴蝶運算。

15. 如請求項 12 的快速傅立葉轉換及其反轉換方法，更包括切換該複數個輸入資料以進行該第一 L 型蝴蝶運算。

16. 如請求項 12 的快速傅立葉轉換及其反轉換方法，其中該第一及第二 L 型蝴蝶運算包括經上半部及下半部拆解後之矩陣運算。

17. 如請求項 12 的快速傅立葉轉換及其反轉換方法，其中該第一及第二乘法運算包括位移加法運算。

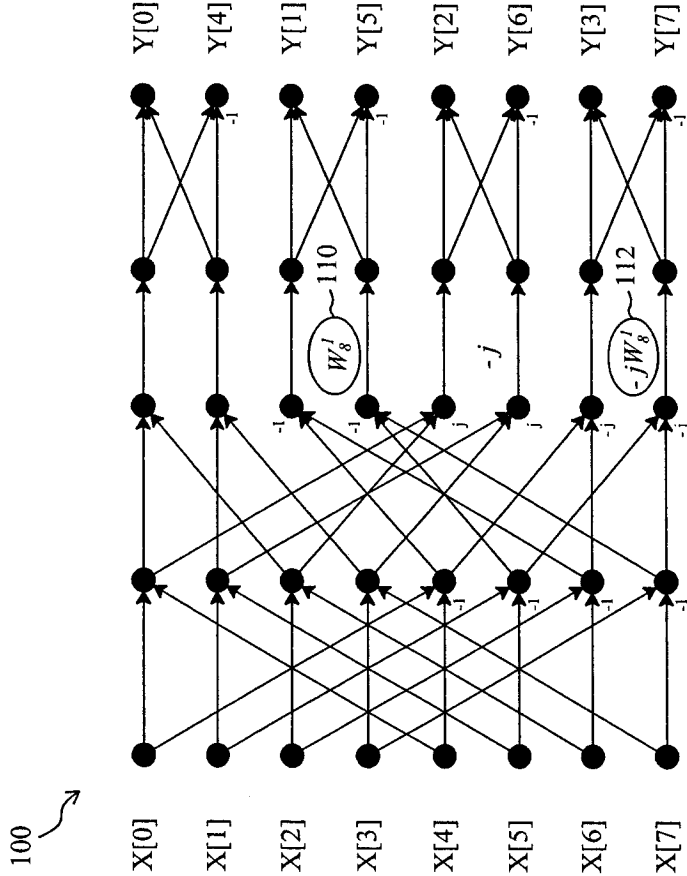


圖1

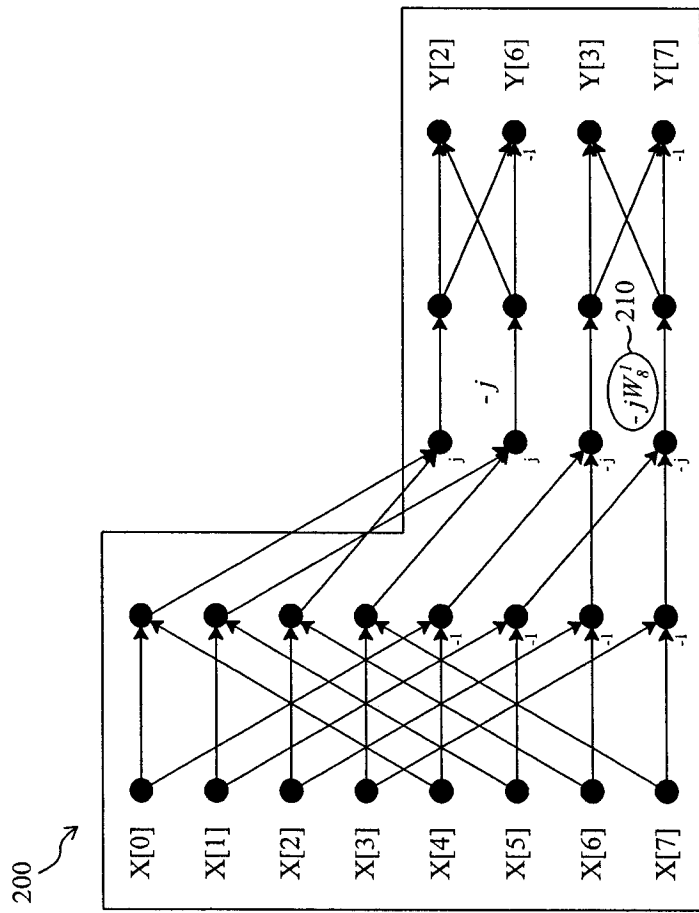


圖2

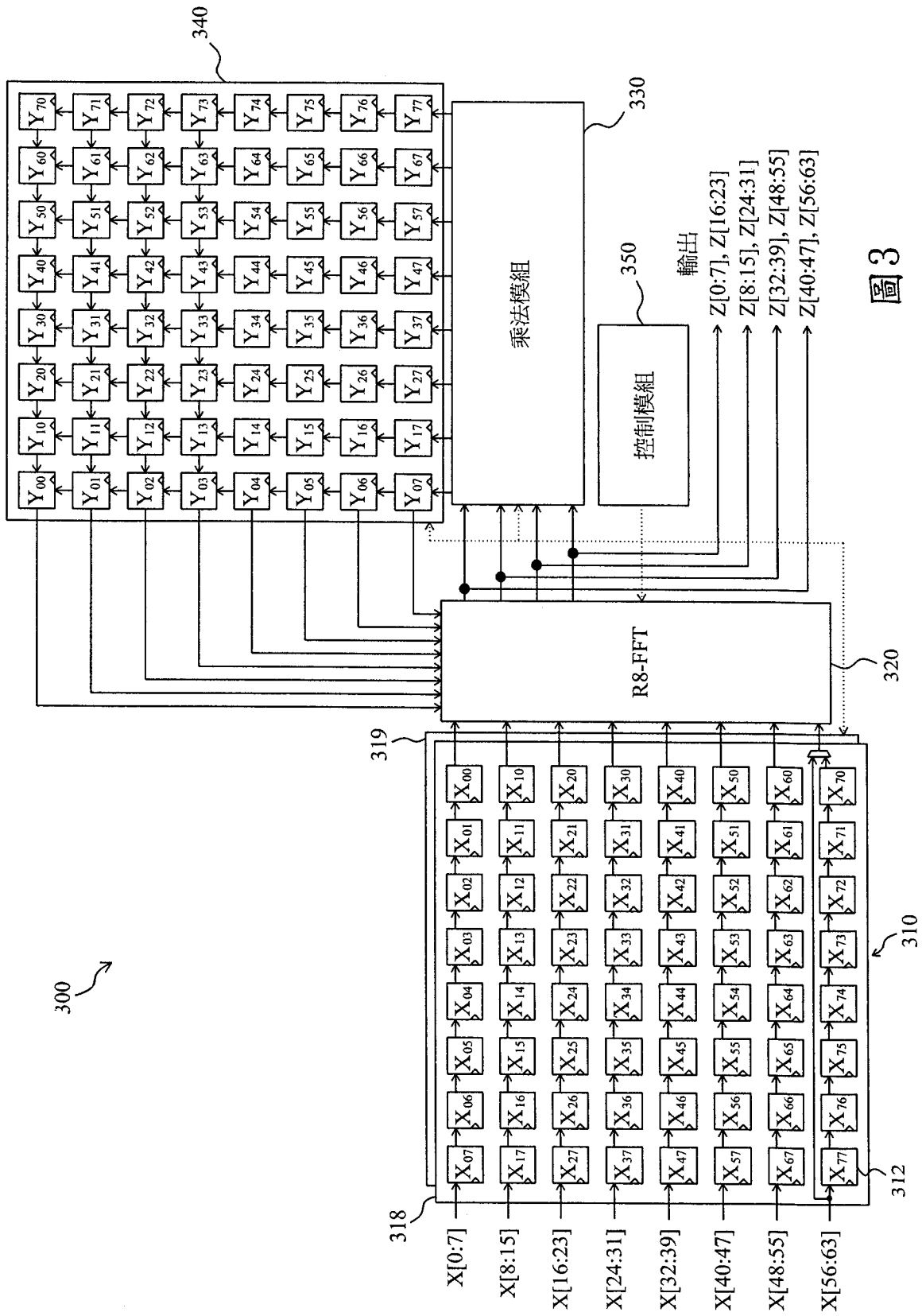


圖3

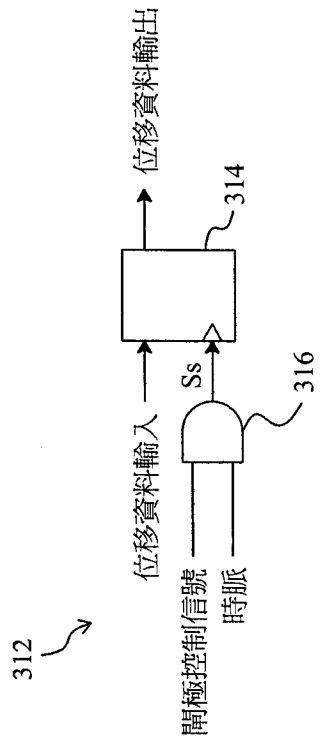


圖4

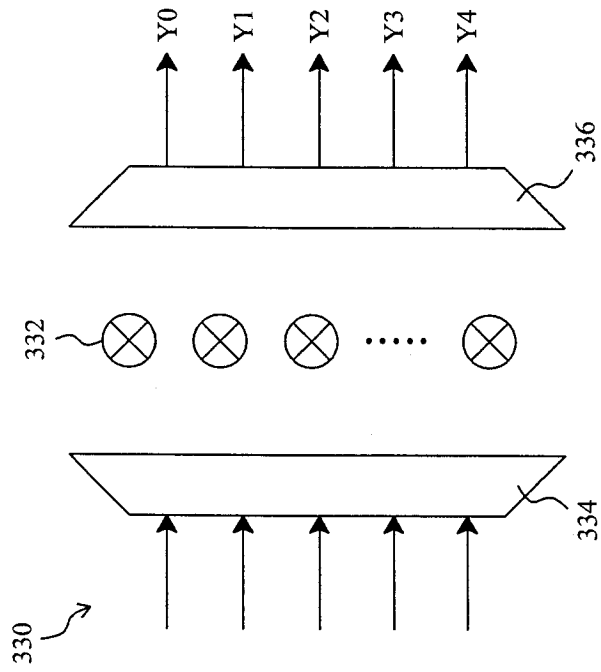


圖5

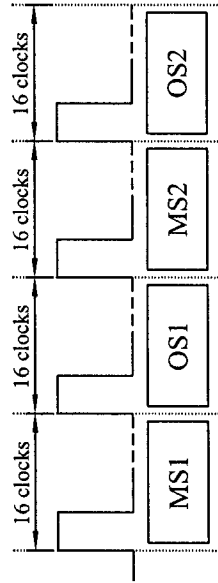


圖6

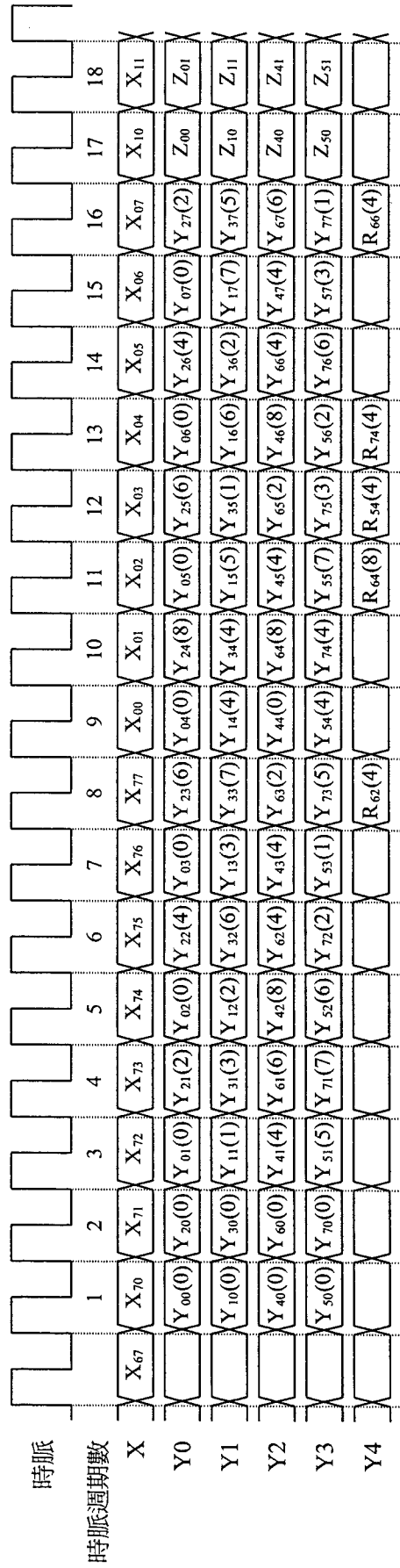


圖7

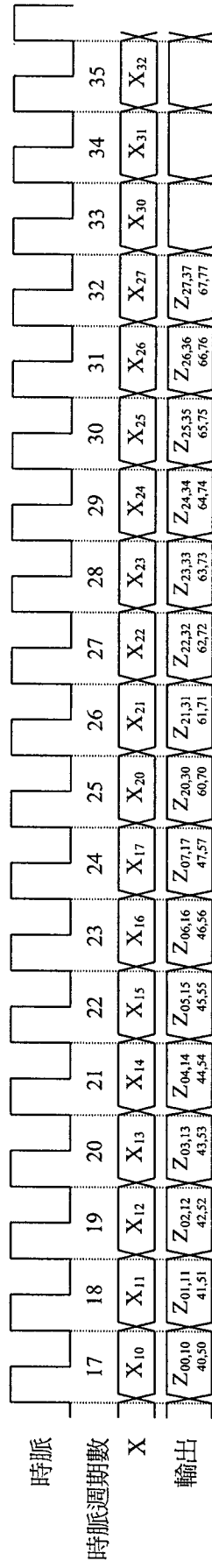


圖 8

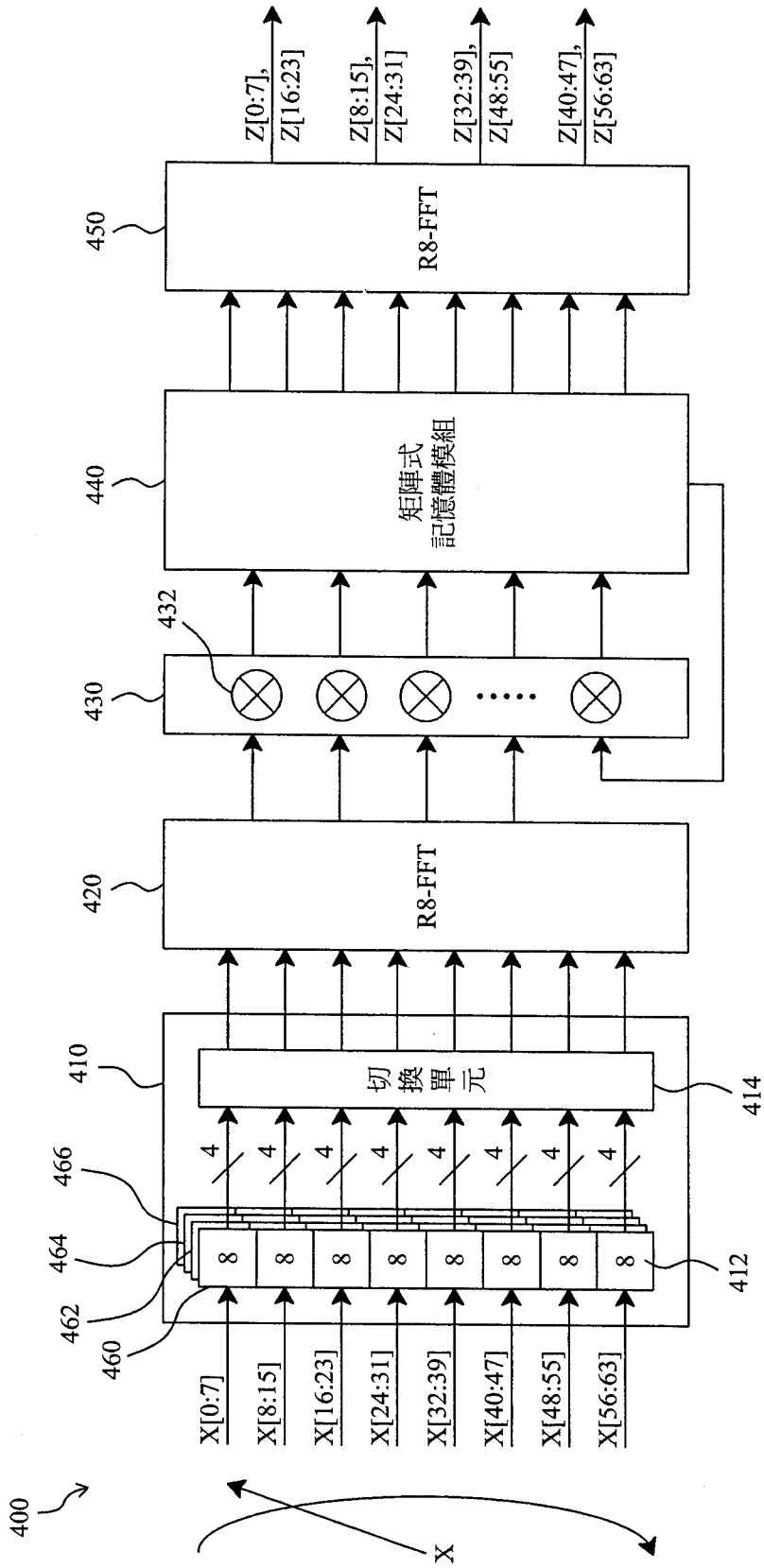


圖9

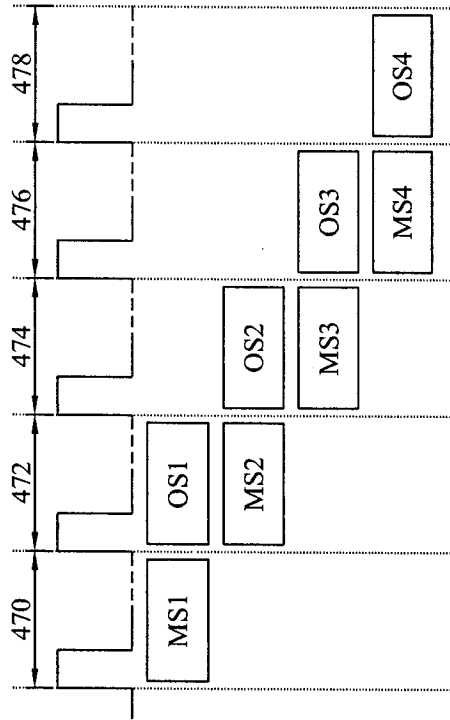


圖10

名稱	製程技術	架構	時間及利用率			成本		
			頻率 (MHz)	處理速率	蝴蝶模組 利用率	唯讀記憶體 的數量	乘法模組的 等效面積	蝴蝶模組中的 乘法單元數量
R28SDF	0.35 CMOS	並列多路徑	×1 (20)	R	25%	4	4	8
修改後之R2 ² SDF	0.18 CMOS	並列多路徑	×1 (20)	R	50%	2	4	0
R4MDC	0.6CMOS	串列模組	×1 (20)	4R	50%	2	6	0
修改後之R4MDC	0.35 CMOS	串列模組	×4 (80)	4R	50%	4	4	6
修改後之R8MDC	0.25 BiCMOS	串列模組	×1 (20)	5.33R	25%	0	3.2	4
R2MDC	--	串列模組	×1 (20)	2R	100%	4	4	0
R28MDF	0.13 CMOS	串列模組	×1 (20)	2R	100%	0	3.2	1

圖11

名稱	處理速率	架構	乘法模組的 利用率	蝴蝶模組的 利用率	矩陣式記憶體 模組的利用率	不含矩陣式記憶體 模組的等效面積	含矩陣式記憶體 模組的等效面積
R2SDF	R	並列多路徑	50%	50%	100%	1048	1375.6
R4SDF	R	並列多路徑	75%	25%	100%	496	823.6
R4SDC	R	並列多路徑	75%	25%	-	436	1091.2
R2 ² SDF	R	並列多路徑	75%	50%	100%	448	775.6
R2 ³ SDF	R	並列多路徑	87.5%	50%	100%	528	855.6
R28SDF	R	並列多路徑	12.5%	25%	100%	504	831.6
SRSDF	R	並列多路徑	75%	50%	-	448	775.6
R2MDC	2R	並列多路徑	100%	100%	100%	424	834.8
R2 ² MDC	2R	並列多路徑	75%	100%	100%	424	834.8
R2 ³ MDC	2R	並列多路徑	87%	100%	100%	464	874.8
SRMDC	2R	並列多路徑	75%	71.2%	-	856	1308.4
R4MDC	4R	串列模組	100%	100%	100%	324	776.4
修改後之R4MDC	4R	串列模組	100%	100%	100%	340	1120
修改後之R8MDC	5.33R	串列模組	75%	75%	75%	223	704
R28MDC	4R	串列模組	100%	100%	100%	197	613

圖12