



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I431916 B

(45) 公告日：中華民國 103 (2014) 年 03 月 21 日

(21) 申請案號：100146774

(22) 申請日：中華民國 100 (2011) 年 12 月 16 日

(51) Int. Cl. : H02M3/155 (2006.01)

G05F3/02 (2006.01)

H01L23/60 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO-TUNG UNIVERSITY (TW)

新竹市東區大學路 1001 號

奇景光電股份有限公司 (中華民國) HIMAX TECHNOLOGIES LIMITED (TW)

臺南市新市區紫棟路 26 號

(72) 發明人：柯明道 KER, MING DOU (TW)；顏承正 YEN, CHENG CHEGN (TW)；陳東暘 CHEN, TUNG YANG (TW)；蔡青霖 TSAI, CHING LING (TW)；陳世範 CHEN, SHIH FAN (TW)

(74) 代理人：陳達仁

(56) 參考文獻：

TW 200939892A

TW 200945540A

TW 201043972A

TW 201107760A

US 6433985B1

審查人員：陳德修

申請專利範圍項數：18 項 圖式數：7 共 21 頁

(54) 名稱

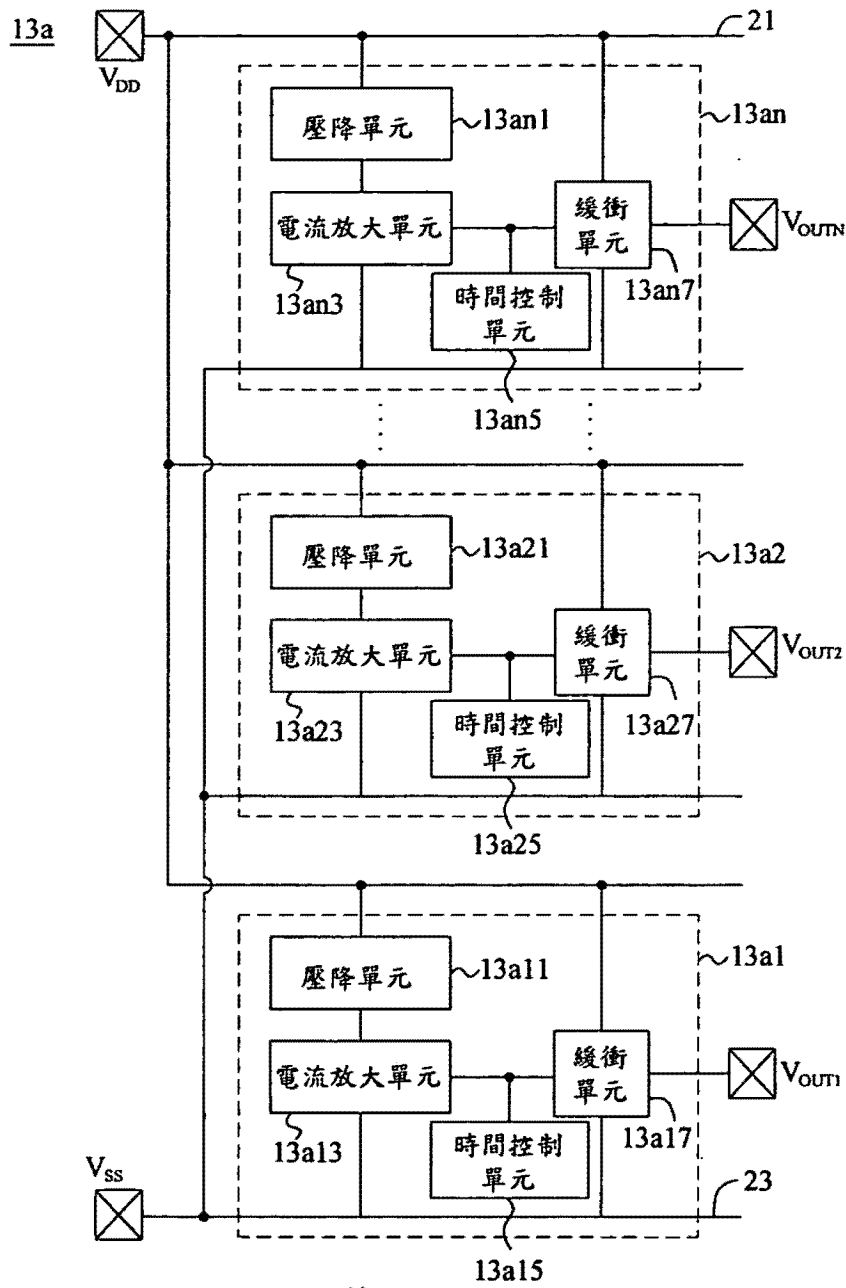
自動重置之暫態數位轉換器及電子產品

SELF-RESET TRANSIENT-TO-DIGITAL CONVERTOR AND ELECTRONIC PRODUCT UTILIZING THE SAME

(57) 摘要

一種自動重置之暫態數位轉換器，包括至少一暫態偵測電路。暫態偵測電路耦接於一第一電源線以及一第二電源線之間，包括至少一壓降單元(voltage drop unit)、一電流放大單元及一時間控制單元。當一 ESD 事件發生時，壓降單元被導通，以讓一 ESD 電流通過。電流放大單元係耦接於壓降單元及一第一節點之間，其被 ESD 電流通過來設定第一節點的位準。時間控制單元係耦接於第一節點及第二電源線之間，用來逐漸地導出 ESD 電流。其中，暫態偵測電路之每一者根據第一節點的位準來產生一數位碼。

An ESD protection circuit connected between an I/O pad and an internal circuit is disclosed. The ESD protection circuit includes a P type ESD protection element which has a first P type doped region and a first N type doped region. The covered shape of the first P type doped region is a polygon having at least eight edges, wherein the polygon is bilateral symmetry, and the first N type doped region is disposed to encompass said first P type doped region. During an ESD event, the first P type doped region of the P type ESD protection element receives an ESD current and uniformly drains it away.



第二圖

- 13a . . . 暫態數位轉換器
- V<sub>OUT1</sub>-V<sub>OUTN</sub> . . . 數位碼
- 13a1-13an . . . 暫態偵測電路
- 13a11-13an1 . . . 壓降單元
- 13a13-13an3 . . . 電流放大單元
- 13a15-13an5 . . . 時間控制單元
- 13a17-13an7 . . . 緩衝單元
- 21 . . . 第一電源線
- 23 . . . 第二電源線

專利案號：100146774



日期：100年12月16日

發明專利說明書

※申請案號：100146774

※IPC分類：

H02M 3/155 (2006.01)

※申請日：100.12.16

G05F 3/02 (2006.01)

一、發明名稱：

H01L 23/60 (2006.01)

自動重置之暫態數位轉換器及電子產品

SELF-RESET TRANSIENT-TO-DIGITAL CONVERTOR AND ELECTRONIC PRODUCT UTILIZING THE SAME

二、中文發明摘要：

一種自動重置之暫態數位轉換器，包括至少一暫態偵測電路。暫態偵測電路耦接於一第一電源線以及一第二電源線之間，包括至少一壓降單元(voltage drop unit)、一電流放大單元及一時間控制單元。當一ESD事件發生時，壓降單元被導通，以讓一ESD電流通過。電流放大單元係耦接於壓降單元及一第一節點之間，其被ESD電流通過來設定第一節點的位準。時間控制單元係耦接於第一節點及第二電源線之間，用來逐漸地導出ESD電流。其中，暫態偵測電路之每一者根據第一節點的位準來產生一數位碼。

三、英文發明摘要：

An ESD protection circuit connected between an I/O pad and an internal circuit is disclosed. The ESD protection circuit includes a P type ESD protection element which has a first P type doped region and a first N type doped region. The covered shape of the first P type doped region is a polygon having at least eight edges, wherein the polygon is bilateral symmetry, and the first N type doped region is disposed to encompass said first P type doped region. During an ESD event, the first P type doped region of the P type ESD protection element receives an

ESD current and uniformly drains it away.

## 四、指定代表圖：

(一)本案指定代表圖為：第二圖

(二)本代表圖之元件符號簡單說明：

13a	暫態數位轉換器
$V_{OUT1} - V_{OUTN}$	數位碼
13a1-13an	暫態偵測電路
13a11-13an1	壓降單元
13a13-13an3	電流放大單元
13a15-13an5	時間控制單元
13a17-13an7	緩衝單元
21	第一電源線
23	第二電源線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

[0001] 本發明係有關一種暫態數位轉換器，特別是關於一種可根據靜電放電(electrostatic discharge, ESD)脈衝而產生數位碼的暫態數位轉換器。

### 【先前技術】

[0002] 對於積體電路而言，靜電放電(Electrostatic discharge; ESD)事件係為可靠度上相當重要的課題之一。ESD保護係為積體電路所不可或缺之功能。尤其是隨著尺寸不斷地縮小至深次微米之程度，金氧半導體之閘極氧化層也越來越薄，積體電路更容易因靜電放電現象而遭受破壞。在一般的工業標準中，積體電路產品必須都具備一定程度的機器放電模式(machine model, MM)以及人體放電模式(human body mode, HBM)之耐受度。而對於系統層級的ESD可靠度測試需更加嚴格。

[0003] 在傳統的解決方法中，會在電子產品的印刷電路板上增加離散元件(discrete component)抑制暫態雜訊的干擾，包括利用反耦合電容(decoupling capacitor)、暫態突波抑制器(transient voltage suppressor)、限流電阻(current-limiting resistance)等，皆能在印刷電路板抑制對積體電路產品所產生的暫態雜訊干擾，但是這些額外增加的離散元件會大幅增加電子產品的成本。因此，設計出符合高階系統層級靜電放電測試規格以及減少離散元件使用的電子產品，為工業界所急切需求。

## 【發明內容】

[0004] 鑑於上述，本發明實施例的目的之一在於提出一種整合至CMOS晶片中的暫態數位轉換器，其能在不增加額外濾波電路下輸出對應不同電壓位準的暫態突波的數位碼訊號，並於偵測到暫態突波後利用電阻電容延遲效應來自動地重新恢復系統，進而節省成本。

[0005] 本發明係揭示一種自動重置之暫態數位轉換器，包括至少一暫態偵測電路。暫態偵測電路耦接於一第一電源線以及一第二電源線之間，包括至少一壓降單元 (voltage drop unit)、一電流放大單元及一時間控制單元。當一ESD事件發生時，壓降單元被導通，以讓一ESD電流通過。電流放大單元係耦接於壓降單元及一第一節點之間，其被ESD電流通過來設定第一節點的位準。時間控制單元係耦接於第一節點及第二電源線之間，用來逐漸地導出ESD電流。其中，暫態偵測電路之每一者根據第一節點的位準來產生一數位碼。

[0006] 本發明又揭示一種包括至少一暫態數位轉換器的電子產品。暫態數位轉換器包括至少一暫態偵測電路，其耦接於一第一電源線以及一第二電源線之間。暫態偵測電路包括至少一壓降單元、一電流放大單元及一時間控制單元。當一ESD事件發生時，壓降單元被導通，以讓一ESD電流通過。電流放大單元係耦接於壓降單元及一第一節點之間，其被ESD電流通過來設定第一節點的位準。時間控制單元係耦接於第一節點及第二電源線之間，用來逐漸地導出ESD電流。其中，暫態偵測電路之每一者根據

第一節點的位準來產生一數位碼。

【實施方式】

[0007] 首先，請參考第一圖，係為本發明一實施例之電子產品之示意圖。如第一圖所示，電子產品1包括複數個內部電路(internal circuit)11a-11n、複數個暫態數位轉換器13a-13n以及一處理器15。暫態數位轉換器13a-13n係分別耦接於內部電路11a-11n，用來偵測所耦接之內部電路11a-11n是否發生一ESD事件，以據以產生數位碼 $V_{OUT}$ 。一實施例中，暫態數位轉換器13a-13n可整合至內部電路11a-11n的CMOS晶片中。處理器15耦接於暫態數位轉換器13a-13n，接收所產生之數位碼 $V_{OUT}$ 來判斷所對應之內部電路11a-11n是否發生ESD事件。具體來說，內部電路11a-11n可為單晶片(single chip)、時序控制器(timing controller)、驅動電路(driving circuit)或上述之組合。

[0008] 接著，請參考第二圖，係為本發明一實施例之暫態數位轉換器之示意圖。以暫態數位轉換器13a為例，其包括複數個暫態偵測電路13a1-13an，且每個暫態偵測電路13a1-13an耦接於一第一電源線(電壓源 $V_{DD}$ )21以及一第二電源線(地線 $V_{SS}$ )23之間。當ESD事件發生於第一電源線21時，暫態偵測電路13a1-13an便根據ESD事件所產生的一ESD脈衝之振幅來產生數位碼 $V_{OUT1}-V_{OUTN}$ 。

[0009] 請一併參考第三圖，係為本發明一實施例之暫態偵測電路之電路圖。以暫態偵測電路13a1為例，其包括一壓降單元(voltage drop unit)13a11、一電流放大單元



13a13、一時間控制單元13a15以及一緩衝單元13a17。當ESD事件發生於第一電源線21時，壓降單元13a11被導通，以讓一ESD電流通過。電流放大單元13a13係耦接於壓降單元13a11及一第一節點A之間，其被ESD電流導通來設定第一節點A的位準。一具體實施例中，壓降單元13a11包括兩個串接的二極體，電流放大單元13a13包括一第一電晶體M1以及一第二電晶體M2，其中第一電晶體M1係耦接於壓降單元13a11及第二電源線23之間，而第二電晶體M2係耦接於第一電源線21及第一節點A之間，且第二電晶體M2的閘極連接於第一電晶體M1的閘極。壓降單元13a11可設置於電流放大單元13a13與第一電源線21之間及/或電流放大單元13a13與第二電源線23之間。

[0010] 假設正常操作下(未發生ESD事件)，第一節點A的位準為0(low)。當發生ESD事件而產生的ESD電壓大到可以導通壓降單元13a11的二極體時，便致能第二電晶體M2，如此ESD電流流至第一節點A，使第一節點A的位準轉為1(high)。

[0011] 時間控制單元13a15係耦接於第一節點A及第二電源線23之間，包括一電阻R及一電容C，其中電阻R係耦接於第一節點A與第二電源線23之間，且電容C與電阻R並聯。一開始，時間控制單元13a15的電容C會因為ESD電流流至第一節點A而被充電，以使第一節點A的位準轉為1。隨後，基於RC電路固有的延遲時間常數，電阻R能逐漸地將第一節點A上的ESD電流導出至第二電源線23，以自動地將第一節點A的位準重置成0。

[0012] 使用者可根據第一節點A的位準，得知是否發生ESD事件。抑或，在本實施例中，緩衝單元13a17耦接於第一節點A，用來處理第一節點A的位準，使其具有較大的驅動能力。經緩衝單元13a17處理後的結果，即為數位碼 $V_{OUT1}$ 。具體來說，緩衝單元13a17包含一反相器，用以反相第一節點A的位準，並將反相後的結果作為數位碼 $V_{OUT1}$ 。在其他實施例中，緩衝單元13a17可包含多個反相器，亦可被省略。

[0013] 只具有一個暫態偵測電路13a1的暫態數位轉換器13a(1位元暫態數位轉換器)之輸出數位碼 $V_{OUT1}$ ，僅可指示或警示是否發生ESD事件。在一些情況下，暫態數位轉換器13a中可設置多個暫態偵測電路來判斷根據ESD事件所產生的ESD脈衝的振幅大小。請參考第四圖，係為本發明一實施例之3位元暫態數位轉換器之電路圖。如第四圖所示，暫態數位轉換器13a具有三個暫態偵測電路13a1-13a3，分別具有不同的ESD能力。暫態數位轉換器13a所輸出的數位碼訊號會對應不同電壓位準的暫態突波。具體來說，暫態偵測電路13a1-13a3中的壓降單元13a11-13a31分別具有兩個、三個、四個二極體，可承受不同振幅的ESD脈衝。例如，當ESD脈衝的振幅為3.5V時，只有導通壓降單元13a11，故數位碼 $V_{OUT1}$ 的位準變成0，而數位碼 $V_{OUT2}$ 、 $V_{OUT3}$ 的位準仍為1，如第五A圖所示，暫態數位轉換器13a輸出的數位碼為「110」。時間控制單元13a15的電阻R便根據延遲時間常數逐漸地將第一節點A上的ESD電流導出，以自動地將第一節點A的位準

重置成0，如此便回復到正常操作電壓。

[0014] 同樣地，若產生更大的ESD脈衝，如4.5V，其大到可以導通壓降單元13a21的三個二極體，則數位碼 $V_{OUT1}$ 、 $V_{OUT2}$ 的位準變成0，而數位碼 $V_{OUT3}$ 的位準仍為1，如第五B圖所示，暫態數位轉換器13a輸出的數位碼為「100」。時間控制單元13a15、13a25的電阻R分別便根據延遲時間常數逐漸地將第一節點A上的ESD電流導出，以自動地將第一節點A的位準重置成0，如此便回復到正常操作電壓。若產生更大的ESD脈衝，如5.5V，其大到可以導通壓降單元13a31的四個二極體，則數位碼 $V_{OUT1}$ 、 $V_{OUT2}$ 、 $V_{OUT3}$ 的位準全部變成0，如第五B圖所示，暫態數位轉換器13a輸出的數位碼為「000」。時間控制單元13a15、13a25、13a35隨後分別將第一節點A上的ESD電流導出，以回復到正常操作電壓。由於暫態數位轉換器13a中的壓降單元13a11-13a31包含的二極體之數量與所偵測到的ESD脈衝之大小成正比，故所輸出之數位碼可用來判斷ESD事件產生的ESD脈衝之大小。

[0015] 處理單元15接收所產生之數位碼 $V_{OUT1}-V_{OUT3}$ 並據以執行一特定工作。具體來說，利用結合韌體的系統設計，當高位元數位碼 $V_{OUT3}$ 的位準變成0，則表示ESD事件所產生的ESD脈衝大於一預設值，處理單元15便對發生此ESD事件之內部電路執行全部自動重新回復操作(total system auto-recovery)。相對地，當只有低位元數位碼 $V_{OUT1}$ 的位準變成0，則表示ESD事件所產生的ESD脈衝小於此預設值，處理單元15便對發生此ESD事件之內部電

路執行部份自動重新回復操作(partial system auto-recovery)。因此，利用結合暫態數位轉換器以及韌體的系統規劃之設計方式，能提升電子產品對系統層級靜電放電之暫態干擾的防護能力。

[0016] 根據上述實施例，本發明所提出的暫態數位轉換器及電子產品，係將暫態電壓轉換成數位碼，以便於偵測是否產生ESD事件。因此當ESD事件發生時，無須外部濾波元件便能發出防護/警告訊號。更進一步地，本發明利用多組不同轉換程度的暫態偵測電路，基於輸出之數位碼來判斷ESD事件產生的ESD脈衝之大小。本發明又利用RC電路釋放ESD電流，以能自動地重置到正常操作電壓。如此可省略傳統的重置硬體/韌體，進而節省成本。

[0017] 以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

#### 【圖式簡單說明】

[0018] 第一圖係為本發明一實施例之電子產品之示意圖。  
第二圖係為本發明一實施例之暫態數位轉換器之示意圖。  
第三圖係為本發明一實施例之暫態偵測電路之電路圖。  
第四圖係為本發明一實施例之3位元暫態數位轉換器之電路圖。  
第五A-五C圖係為本發明一實施例之數位碼之示意圖。

#### 【主要元件符號說明】

[0019]

1	電子產品
11a-11n	內部電路
13a-13n	暫態數位轉換器
15	處理器
$V_{OUT}$ 、 $V_{OUT1}$ - $V_{OUTN}$	數位碼
13a1-13an	暫態偵測電路
13a11-13an1	壓降單元
13a13-13an3	電流放大單元
13a15-13an5	時間控制單元
13a17-13an7	緩衝單元
21	第一電源線
23	第二電源線
M1	第一電晶體
M2	第二電晶體
R	電阻
C	電容
A	第一節點

## 七、申請專利範圍：

1. 一種自動重置之暫態數位轉換器，包含：
  - 至少一暫態偵測電路，耦接於一第一電源線以及一第二電源線之間，該暫態偵測電路包含：
    - 至少一壓降單元(voltage drop unit)，其當一ESD事件發生時被導通，以讓一ESD電流通過；
    - 一電流放大單元，耦接於該壓降單元及一第一節點之間，被該ESD電流通過來設定該第一節點的位準；及
    - 一時間控制單元，耦接於該第一節點及該第二電源線之間，用來逐漸地導出該ESD電流；
  - 其中，該暫態偵測電路之每一者根據該第一節點的位準來產生一數位碼。
2. 如申請專利範圍第1項所述之自動重置之暫態數位轉換器，其中該時間控制單元包含：
  - 一電阻，耦接於該第一節點與該第二電源線之間，用來逐漸地將該ESD電流通導出至該第二電源線，以自動地重置該第一節點的位準；及
  - 一電容，與該電阻並聯。
3. 如申請專利範圍第2項所述之自動重置之暫態數位轉換器，其中該電流放大單元包含：
  - 一第一電晶體，耦接於該壓降單元及該第二電源線之間；及
  - 一第二電晶體，耦接於該第一電源線及該第一節點之間，且該第二電晶體的閘極連接於該第一電晶體的閘極；其中，當該壓降單元被導通便致能該第二電晶體，以讓該

ESD電流流至該第一節點。

- 4 . 如申請專利範圍第3項所述之自動重置之暫態數位轉換器，其中該壓降單元包含至少一二極體。
- 5 . 如申請專利範圍第4項所述之自動重置之暫態數位轉換器，更包含：  
一緩衝單元，耦接於該第一節點，用來處理該第一節點的位準以輸出該數位碼。
- 6 . 如申請專利範圍第5項所述之自動重置之暫態數位轉換器，其中該緩衝單元包含至少一反相器，用以反相該第一節點的位準，並將反相後的結果作為該數位碼。
- 7 . 如申請專利範圍第5項所述之自動重置之暫態數位轉換器，其中該暫態偵測電路的數量大於1，且其產生的該些數位碼係用來判斷該ESD事件產生的一ESD脈衝之大小。
- 8 . 如申請專利範圍第7項所述之自動重置之暫態數位轉換器，其中該些壓降單元包含的該些二極體之數量與所偵測到的該ESD脈衝之大小成正比。
- 9 . 一種電子產品，包含：  
至少一暫態數位轉換器，包含：  
至少一暫態偵測電路，耦接於一第一電源線以及一第二電源線之間，該暫態偵測電路包含：  
至少一壓降單元(voltage drop unit)，其當一ESD事件發生時被導通，以讓一ESD電流通過；  
一電流放大單元，耦接於該壓降單元及一第一節點之間，被該ESD電流通來設定該第一節點的位準；及  
一時間控制單元，耦接於該第一節點及該第二電源線之間，用來逐漸地導出該ESD電流；

其中，該暫態偵測電路之每一者根據該第一節點的位準來產生一數位碼。

- 10 . 如申請專利範圍第9項所述之電子產品，更包含：  
至少一內部電路，每一者分別與該暫態數位轉換器之每一者耦接；及  
一處理單元，耦接於該暫態數位轉換器，接收所產生之該數位碼來判斷該內部電路是否發生該ESD事件，並據以執行一特定工作。
- 11 . 如申請專利範圍第10項所述之電子產品，其中該特定工作包含對發生該ESD事件之該內部電路執行部份或全部回復操作。
- 12 . 如申請專利範圍第10項所述之電子產品，其中該電流放大單元包含：  
一第一電晶體，耦接於該壓降單元及該第二電源線之間；  
及  
一第二電晶體，耦接於該第一電源線及該第一節點之間，且該第二電晶體的閘極連接於該第一電晶體的閘極；  
其中，當該壓降單元被導通便致能該第二電晶體，以讓該ESD電流流至該第一節點。
- 13 . 如申請專利範圍第12項所述之電子產品，其中該壓降單元包含至少一二極體。
- 14 . 如申請專利範圍第13項所述之電子產品，其中該暫態偵測電路更包含：  
一緩衝單元，耦接於該第一節點，用來處理該第一節點的位準以輸出該數位碼。
- 15 . 如申請專利範圍第14項所述之電子產品，其中該緩衝單元

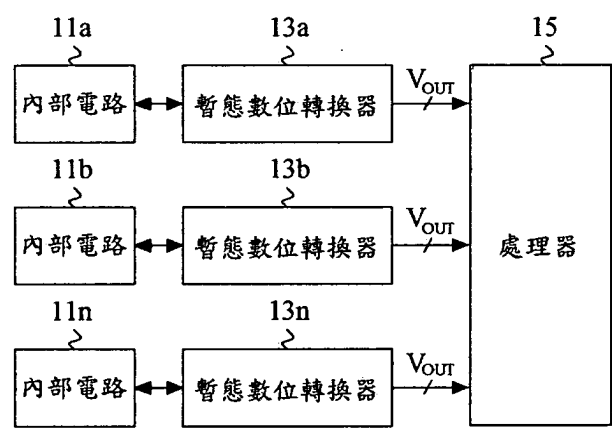


包含至少一反相器，用以反相該第一節點的位準，並將反相後的結果作為該數位碼。

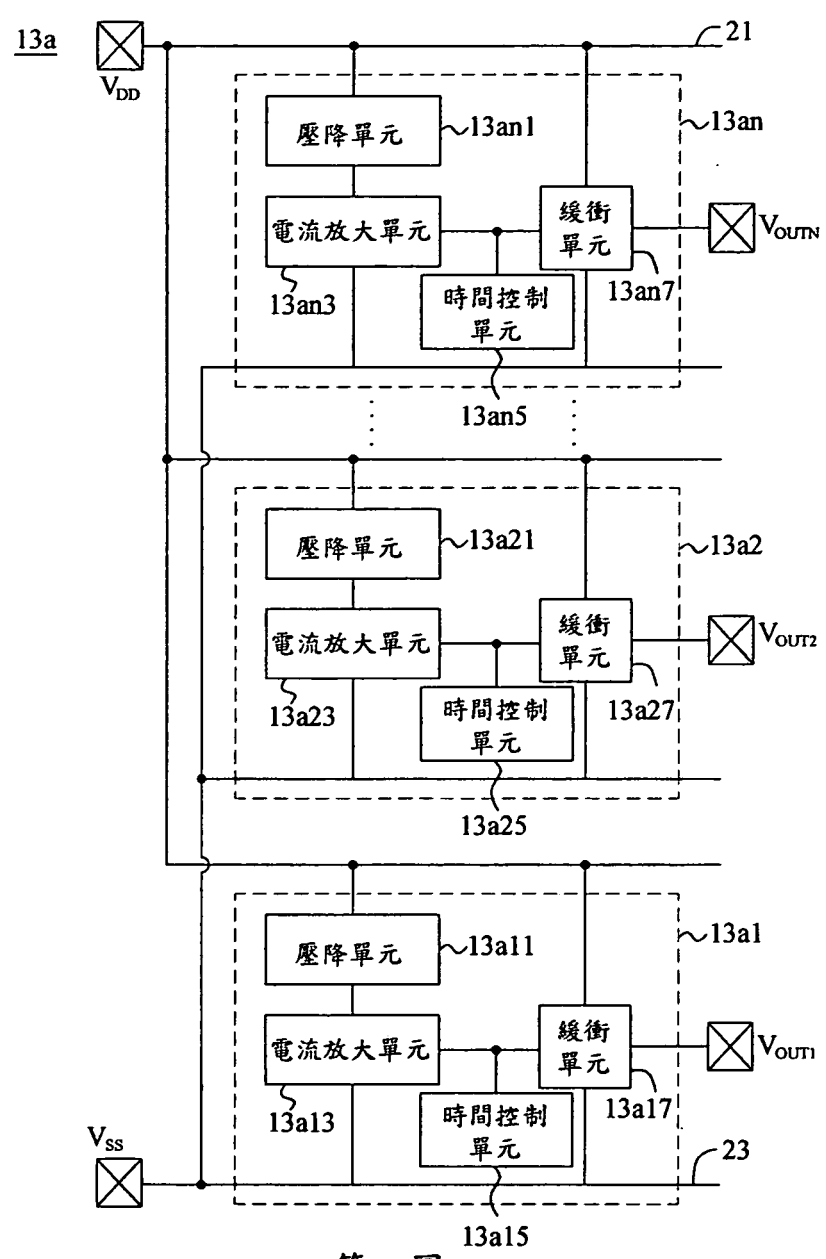
- 16 . 如申請專利範圍第14項所述之電子產品，其中該暫態偵測電路的數量大於1，且其產生的該些數位碼係用來判斷該ESD事件產生的一ESD脈衝之大小。
- 17 . 如申請專利範圍第16項所述之電子產品，其中該些壓降單元包含的該些二極體之數量與所偵測到的該ESD脈衝之大小成正比。
- 18 . 如申請專利範圍第10項所述之電子產品，其中該內部電路係為一單晶片(single chip)、一時序控制器(timing controller)或一驅動電路(driving circuit)。

八、圖式：

1

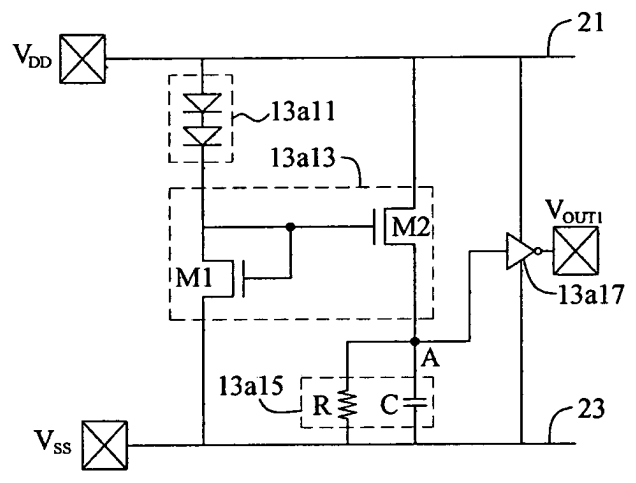


第一圖

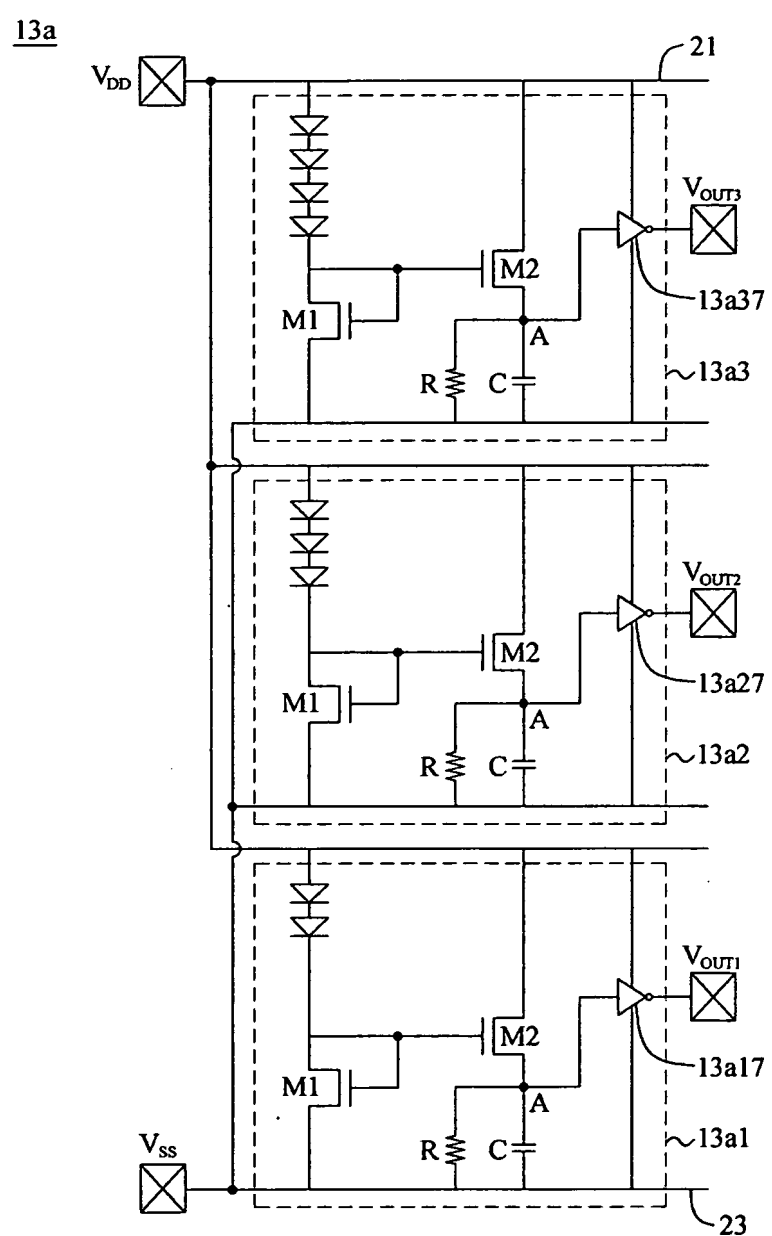


第二圖

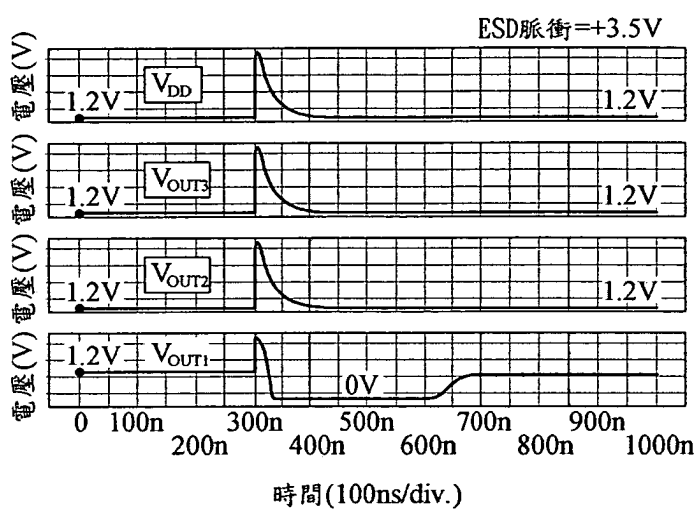
13a1



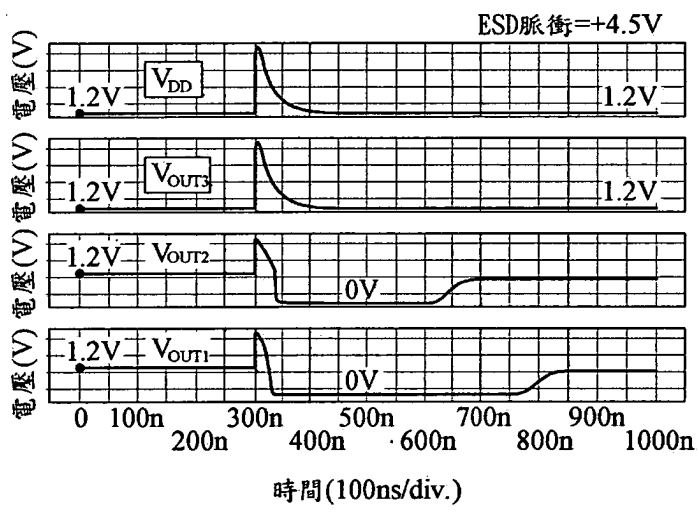
第三圖



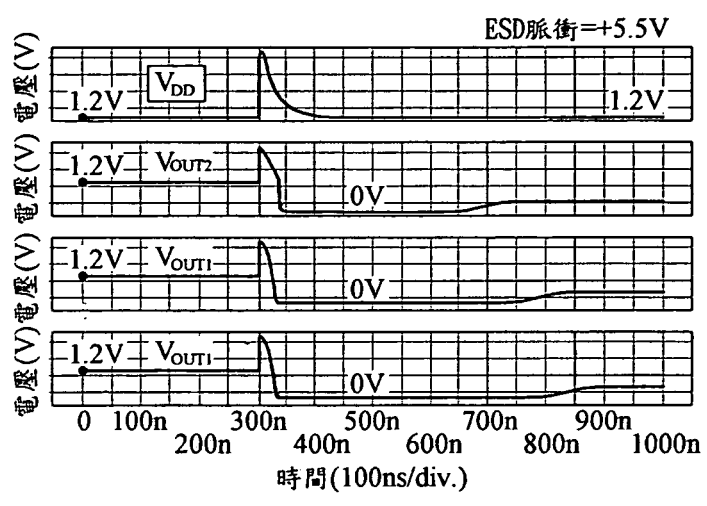
第四圖



第五A圖



第五B圖



第五C圖