

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96133872

※申請日期：96.9.11

※IPC 分類：<sup>H01L 21/8246</sup>(2006.01)  
<sup>H01L 27/112</sup>(2006.01)

## 一、發明名稱：(中文/英文)

具有奈米線通道之非揮發性記憶體元件及其製造方法

## 二、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 吳重雨

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

## 三、發明人：(共3人)

姓 名：(中文/英文)

林鴻志

蘇俊榮

徐行徽

國 籍：(中文/英文)

中華民國 TW (皆同)

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

### 五、中文發明摘要：

一種具有奈米線通道之非揮發性記憶體元件及其製造方法，乃利用側向蝕刻方式，使側閘極側壁內縮來形成奈米線模型，從而將奈米線通道製作於側閘極側壁的介電層上，完成具有奈米線通道及透過雙閘極控制之非揮發性記憶體元件，此非揮發性記憶體元件係可達到提升資料寫入和抹除效率，並具有低電壓操作的能力，而且，本發明可在成本低和簡易步驟之製程下，完成重複性高及可量產化之奈米線元件製作。

### 六、英文發明摘要：

**七、指定代表圖：**

(一)本案指定代表圖為：第(1H)圖。

(二)本代表圖之元件符號簡單說明：

100 矽晶圓

110 絕緣層

120 側閘極

130 硬遮罩

150 介電層 I

190 奈米線通道

200 介電層 II

210 上閘極

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種非揮發性記憶體元件及其製造方法，特別是指一種具有奈米線通道之非揮發性記憶體元件及其製造方法。

### 【先前技術】

一般非揮發性記憶體元件為增進對通道控制能力，以提供高寫入/抹除效率，其可藉由多閘極(multiple-gate)結構和超薄通道來達成，故鰭狀電晶體 (FinFETs)和奈米線電晶體 (Nanowire FETs)為常用之選擇。但一般產業界之超薄通道元件之製作，常需使用電子束微影(ebeam)和絕緣層上覆矽(SOI)晶圓材料，所以成本花費和技術門檻皆高。另外，一般學術界單位製作奈米線主要以由小而大(bottom-up)之方式，雖可在成本不高之前提下完成，不過其有重複性、可靠性和量產性之問題，並且在製造電晶體元件時，電極與奈米線相互之間的對位困難，因此對於實際應用上著實有極待改善之處。

舉例而言，如前案中華民國專利第 I246541 號，其揭露一種低成本及可大量製作的矽奈米線之方法，係將矽基板以敏化液與活化液進行催化處理，使反應金屬原子吸附在該矽基板表面，再將處理後之矽基板浸泡於無電鍍酸性鍍液中進行無電鍍沈積，以於矽基板上電鍍沉積出一層含有催化金屬微粒之金屬層，再將此一矽基板置入高溫爐管中，於高溫下催化金屬微粒與矽基板表面之矽原子在高溫下於金屬/矽基板界面處熔融形成液態的矽化物合金，而後透過固態-液態-固態(solid-liquid-solid; SLS)化學合成製程以藉由溫度梯度之變化，促使矽-矽鍵因觸媒效應重新組合排列而

堆疊成矽奈米線。此專利雖能大量製備矽奈米線，但未來在製作電晶體元件時仍會遭遇對準之問題，並且有殘留催化金屬污染疑慮。

又，由 P. Xuan 等人於西元 2003 年所發表之文獻「FinFET SONOS Flash Memory for Embedded Applications」，乃在全空乏式(FD)-SOI 晶圓上，以熱氧化和蝕刻方式將矽膜厚度由 100 奈米 (nm) 削薄至 40 nm，再以電子束微影 (E-beam) 定義出鰭狀通道，此後依序成長熱氧化矽、沉積氧化氮和氧化矽薄膜，形成氧化矽/氧化氮/氧化矽(ONO) 閘極介電層堆疊結構，再沉積 N 型多晶矽薄膜並以電子束微影定義出閘極，進而完成 FinFET SONOS 記憶體元件。這些製程步驟需要高先進之技術以及昂貴的 SOI 晶圓和電子束微影設備。

另外，X. Duan 等人於西元 2002 年發表「Nonvolatile Memory and programmable Logic from Molecule-Gated Nanowires」，此篇文獻為利用奈米金屬晶種當作媒介，來形成奈米線之製作，之後將奈米線灑在覆有絕緣層之矽晶圓上，再使用電子束蒸鍍 (E-beam evaporation) 電極金屬，並以電子束微影定義出電極位置，以與奈米線相連完成奈米線通道之電晶體。然而，此方式所製作元件之再現性不高，並且有奈米線中會有殘留金屬晶種之疑慮，以及奈米線在晶圓上位置之準確定位之問題。

### 【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種具有奈米線通道之非揮發性記憶體元件及其製造方法，係藉由現有半導體製程和設備相容之技術，利用側向性蝕刻方式刻畫出奈米線模型，可藉由蝕刻條件調控奈米線尺寸至 20 nm 以下，並在成本低和簡易步驟之製程下，完成重複性高且

可量產化之奈米線元件製作，藉以解決現今奈米線電子元件製作不易或需高成本和高技術門檻之問題。

本發明的另一目的在於提供一種具有奈米線通道之非揮發性記憶體元件及其製造方法，可以簡易步驟和低成本之設備，完成雙閘極控制與奈米線通道，能提升資料寫入和抹除效率，並具有低電壓操作的能力。

因此，為達上述目的，本發明所提供之具有奈米線通道之非揮發性記憶體元件，其製作步驟包含有：先提供一覆有絕緣層之基板，再依序形成第一導體層與介電層，並定義出第一結構，然後，將第一結構中第一導體層兩側內縮，並使內縮空間控制於 100nm 以下，以構築出奈米線之模型及形成第一閘極，再依序形成第一閘介電層與半導體層，而後進行源極與汲極之離子植入，並藉由微影及蝕刻製作奈米線通道於第一閘極側壁之第一閘介電層上，陸續再形成第二閘介電層與第二導體層，最後將第二閘極定義出來，即完成雙閘極結構之非揮發性記憶體元件。

為使對本發明的目的、特徵及其功能有進一步的了解，茲配合圖式詳細說明如下：

### 【實施方式】

請依序參閱第 1A 圖~第 1H 圖，係繪示本發明實施例所提供之具有雙閘極奈米線通道之非揮發性記憶體元件的流程剖面圖，其主要製作步驟詳細說明如下：

首先，如第 1A 圖所示，提供一覆有絕緣層 110 之矽晶圓 100 作為基板。

如第 1B 圖所示，依序沉積多晶矽和介電層薄膜，並以微影與蝕刻步驟定義出側閘極 (side-gate)120 和硬遮罩 (hard mask)130 結構。

然後，將側閘極 120 兩側內縮，並使此內縮空間控制於 100 nm 以下，以構築奈米線之模型，方式有下列兩種：

(a) 如第 1C 圖所示，以熱氧化多晶矽側閘極 120 至一適當厚度，以消耗側閘極兩側之多晶矽，而後將此多晶矽氧化層 140 移除，便可如第 1D 圖所示，使內縮空間控制到 100 nm 以下；或者

(b) 如第 1D 圖所示，以選擇性濕式蝕刻或等向性電漿蝕刻方式，直接使多晶矽側閘極 120 之兩側內縮，其可調配蝕刻條件和時間使其內縮空間規範至 100 nm 以下。

接著，如第 1E 圖所示，依序沉積介電層 I (dielectric I) 150 當作側閘極介電層以及多晶矽層（或非晶矽層）160，使介電層 I 150 在上述內縮空間內具有均勻的第一厚度，以及使多晶矽層 160 厚度可完全無孔隙地填滿該上述內縮空間內。

如第 1F 圖所示，進行源極與汲極之離子佈植，將 P 型或 N 型的雜質元素摻入。之後，藉由微影和非等向性乾式蝕刻步驟定義出源極 170 與汲極 180 區域，在蝕刻過程中，上述內縮空間內的多晶矽層 160 可被完整保留，而形成奈米線通道 190 在側閘極 120 側壁之介電層 I 150 上。

然後，退火活化上述之摻入雜質元素；

如第 1G 圖所示，當奈米線通道 190 形成後，沉積介電層 II (dielectric II) 200（圖中係省略源極 170 與汲極 180）。

如第 1H 圖所示，再沉積並定義出上閘極 (top-gate) 210，而完成一具有雙閘極結構及奈米線通道之非揮發性記憶體元件。



本實施例中，介電層 I 150 與介電層 II 200 至少其中之一為電荷儲存層。電荷儲存層可為氧化矽/電荷陷入層/氧化矽(O/X/O)之堆疊結構，或為氧化矽/氮化矽/氧化矽/電荷陷入層/氧化矽(O/N/O/X/O)之堆疊結構，且電荷陷入層(X)為氮矽化合物 ( $\text{SiN}_x$ )、二氧化鈦 ( $\text{HfO}_2$ )、矽酸鈦氧化合物 ( $\text{HfSiO}_x$ ) 或氧化鋁 ( $\text{Al}_2\text{O}_3$ ) 其中之一。或者，電荷儲存層為內含有奈米微粒之介電層，且奈米微粒為矽奈米微晶粒、鍺奈米微晶粒、金屬奈米微晶粒或二氧化鈦 ( $\text{HfO}_2$ ) 奈米微晶粒其中之一。

此非揮發性記憶體元件之操作模式有以下兩種：

(a)以側閘極為控制閘極，利用上閘極輔助閘極，幫助電荷穿隧至電荷陷入層（介電層 I），增進資料寫入/抹除效率；或者

(b)以上閘極為控制閘極，利用側閘極輔助閘極，幫助電荷穿隧至電荷陷入層（介電層 II），增進資料寫入/抹除效率。

綜上所述，根據本發明所提供之具有奈米線通道之非揮發性記憶體元件的製造方法，所需晶圓材料及曝光設備為一般矽晶圓和 G-line 步進機，且元件完成方式為一般製造薄膜電晶體 (TFT) 程序即可，因此具有低成本和技術簡單之優勢。

再者，本發明之製造方法具有絕佳之定位與再現性，不但可大量地製作奈米線，以及可精準地排列奈米線通道於電晶體元件中，亦無金屬污染之顧慮。

另外，本發明之奈米線材質初步構想雖為多晶態，但可經由既有之低溫再結晶技術將此奈米線形成高品質之單晶奈米線，以提升操作時通道之

可靠性。

本發明之奈米線記憶體元件結構係具有多重變化性，藉由不同之閘極與閘極介電層架構，可完成多種可行之奈米線非揮發性記憶體元件，並可於低電壓操作環境下運作，以改善記憶體元件可靠度問題。

雖然目前非揮發性記憶體技術以浮置閘極(Floating gate)技術為主流，然其結構之限制並不利於微縮與未來之發展，預期將會被 SONOS 或類似的技術所取代。本發明之技術則具有過程簡單、生產成本低廉、與雙閘操作用以改良特性的優點，且使用的方式可利用三維堆疊的方法以增加儲存容量，故具有很大的應用潛力。

雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

### 【圖式簡單說明】

第 1A 圖~第 1H 圖為本發明實施例所提供之具有雙閘極奈米線通道之非揮發性記憶體元件的製造流程之示意圖，其中第 1C 圖係繪示以熱氧化方式消耗側閘極兩側的氧化層之示意圖。

### 【主要元件符號說明】

100 矽晶圓

110 絕緣層

120 側閘極

130 硬遮罩

140 氧化層

200913162

150 介電層 I

160 多晶矽層

170 源極

180 汲極

190 奈米線通道

200 介電層 II

210 上閘極

## 十、申請專利範圍：

1. 一種具有奈米線通道之非揮發性記憶體元件，其包含：

一基板，表面具有一絕緣層；

一第一結構，包含一第一閘極與一介電層，該第一閘極位於該絕緣層上，並兩側內縮於該介電層下方形成一 100 奈米 (nm) 以下之內縮空間；

一第一閘介電層，形成於該絕緣層、該第一閘極與該介電層表面；

一半導體層，包含一源極與一汲極，形成於該第一閘介電層上，以及一奈米線通道，形成於該第一閘極側壁之該第一閘介電層上的內縮空間內；

一第二閘介電層，形成於該第一閘介電層、該奈米線通道、該源極與該汲極表面；及

一第二閘極，形成於該第二閘介電層上，且至少覆蓋著該奈米線通道。

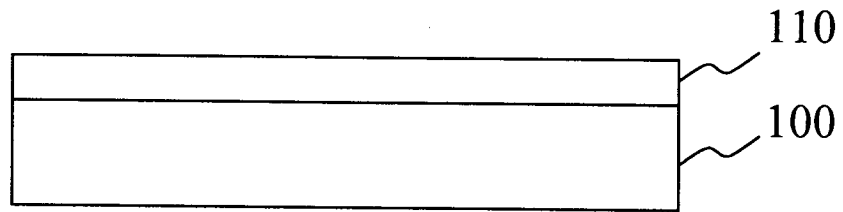
2. 如申請專利範圍第 1 項所述之具有奈米線通道之非揮發性記憶體元件，其中該第一閘介電層與第二閘介電層中至少其中之一為一電荷儲存層。

3. 如申請專利範圍第 2 項所述之具有奈米線通道之非揮發性記憶體元件，其中該電荷儲存層為氧化矽/電荷陷入層/氧化矽(O/X/O)之堆疊結構，或為氧化矽/氮化矽/氧化矽/電荷陷入層/氧化矽(O/N/O/X/O)之堆疊結構。

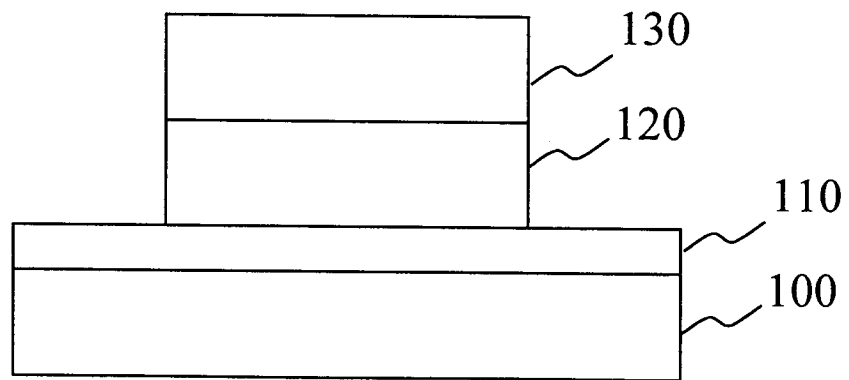
4. 如申請專利範圍第 3 項所述之具有奈米線通道之非揮發性記憶體元件，其中該電荷陷入層(X)為氮矽化合物 ( $\text{SiN}_x$ )、二氧化鈦 ( $\text{HfO}_2$ )、矽酸鈦氧化合物 ( $\text{HfSiO}_x$ ) 或氧化鋁 ( $\text{Al}_2\text{O}_3$ )。

5. 如申請專利範圍第 2 項所述之具有奈米線通道之非揮發性記憶體元件，其中該電荷儲存層為內含有奈米微粒之介電層。
6. 如申請專利範圍第 5 項所述之具有奈米線通道之非揮發性記憶體元件，其中該奈米微粒為矽奈米微晶粒、鍺奈米微晶粒、金屬奈米微晶粒或二氧化鈦 ( $\text{HfO}_2$ ) 奈米微晶粒。
7. 一種具有奈米線通道之非揮發性記憶體元件的製造方法，其步驟包含：
  - 提供一基板，該基板表面具有一絕緣層；
  - 依序形成一第一導體層與一介電層於該絕緣層上，以微影與蝕刻方式定義出一第一結構；
  - 將該第一結構中該第一導體層兩側內縮，使該內縮空間控制於 100 奈米 (nm) 以下，以形成一第一閘極；
  - 形成一第一閘介電層於該絕緣層、該第一閘極與該介電層表面；
  - 形成一半導體層於該第一閘介電層上，並充填於該內縮空間內；
  - 對於該半導體層進行離子植入，以微影與蝕刻方式定義出源極與汲極並形成一奈米線通道於該第一閘極側壁之該第一閘介電層上；
  - 形成一第二閘介電層於該第一閘介電層、該奈米線通道、該源極與該汲極表面；及
  - 形成一第二導體層，以微影與蝕刻方式定義出一第二閘極。
8. 如申請專利範圍第 7 項所述之具有奈米線通道之非揮發性記憶體元件的製造方法，其中該第一閘介電層與第二閘介電層中至少其中之一為一電荷儲存層。

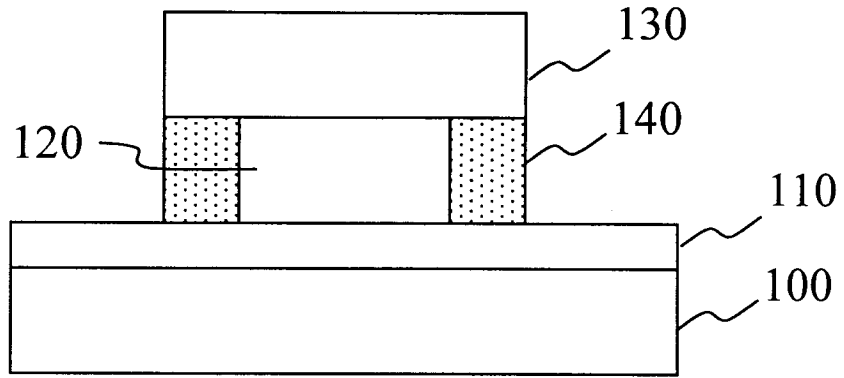
9. 如申請專利範圍第 8 項所述之具有奈米線通道之非揮發性記憶體元件的製造方法，其中該電荷儲存層為氧化矽/電荷陷入層/氧化矽(O/X/O)之堆疊結構，或為氧化矽/氮化矽/氧化矽/電荷陷入層/氧化矽(O/N/O/X/O)之堆疊結構。
10. 如申請專利範圍第 9 項所述之具有奈米線通道之非揮發性記憶體元件的製造方法，其中該電荷陷入層(X)為氮矽化合物 ( $\text{SiN}_x$ )、二氧化鈦 ( $\text{HfO}_2$ )、矽酸鈦氧化合物 ( $\text{HfSiO}_x$ ) 或氧化鋁 ( $\text{Al}_2\text{O}_3$ )。
11. 如申請專利範圍第 8 項所述之具有奈米線通道之非揮發性記憶體元件的製造方法，其中該電荷儲存層為內含有奈米微粒之介電層。
12. 如申請專利範圍第 11 項所述之具有奈米線通道之非揮發性記憶體元件的製造方法，其中該奈米微粒為矽奈米微晶粒、鍺奈米微晶粒、金屬奈米微晶粒或二氧化鈦 ( $\text{HfO}_2$ ) 奈米微晶粒。
13. 如申請專利範圍第 7 項所述之具有奈米線通道之非揮發性記憶體元件的製造方法，其中將該第一導體層兩側內縮之步驟，係利用選擇性蝕刻方式、等向性電漿蝕刻方式，或利用熱氧化該第一導體層兩側然後將該第一導體層之氧化物移除之方式來達成。



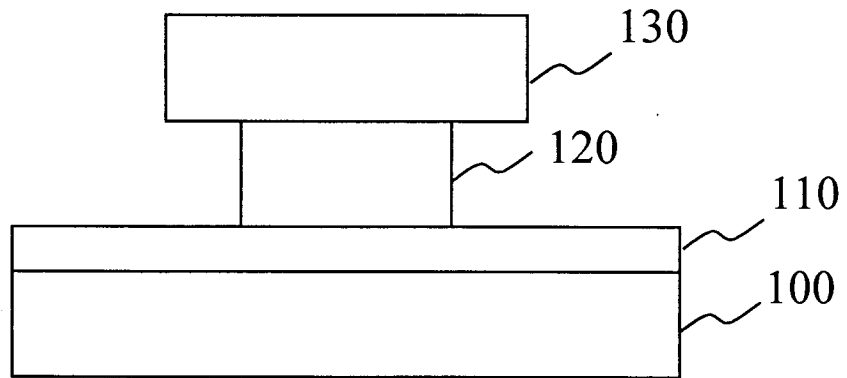
第1A圖



第1B圖

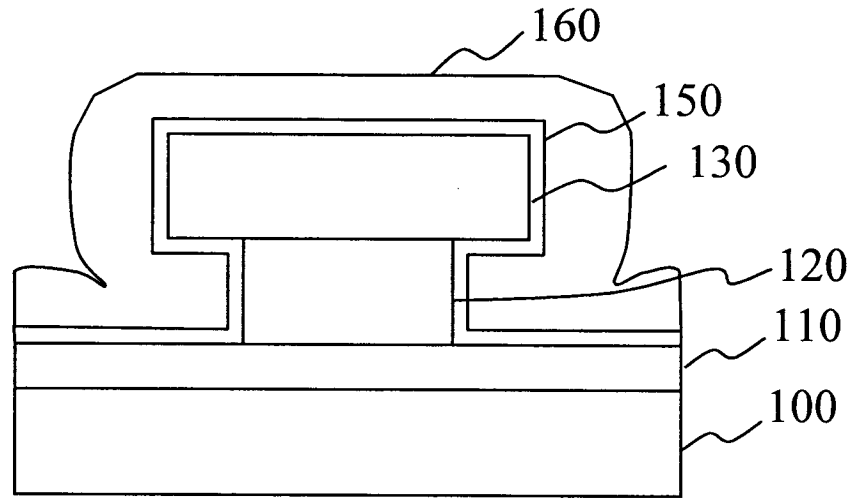


第1C圖

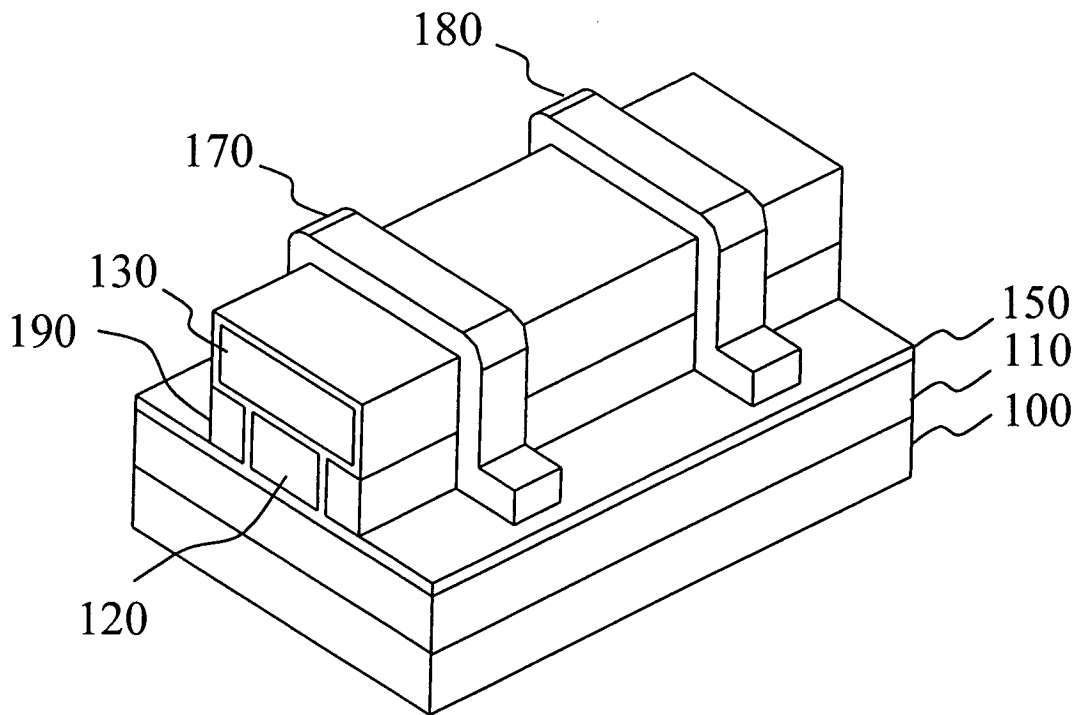


第1D圖

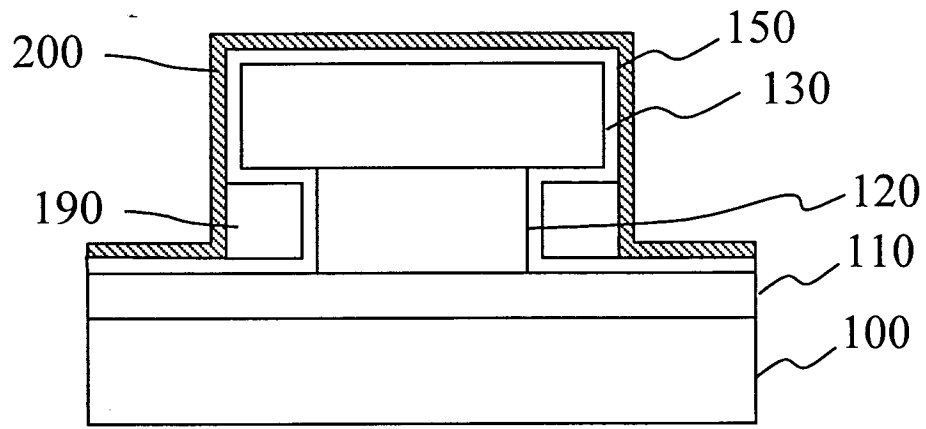




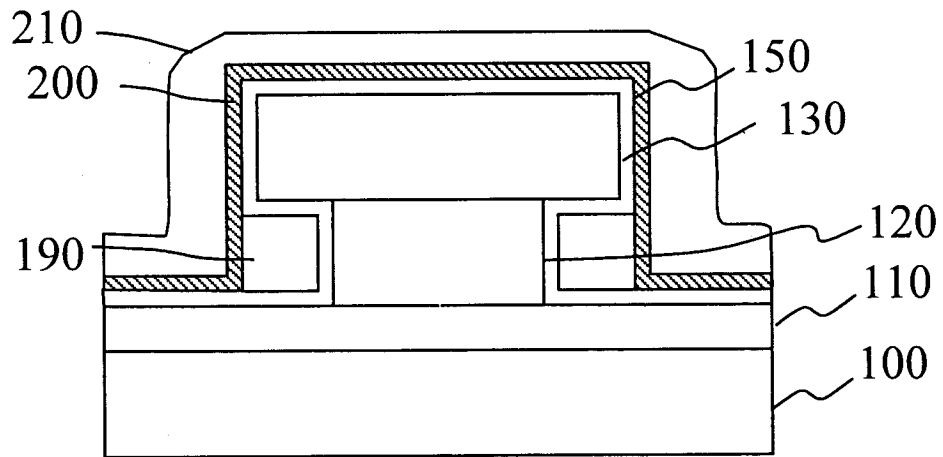
第1E圖



第1F圖



第1G圖



第1H圖