



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I431624 B

(45) 公告日：中華民國 103 (2014) 年 03 月 21 日

(21) 申請案號：099127792

(22) 申請日：中華民國 99 (2010) 年 08 月 19 日

(51) Int. Cl. : G11C11/419 (2006.01)

(71) 申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORPORATION  
(TW)

新竹市東區新竹科學工業園區力行三路 5 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW)；楊皓義 YANG, HAO I (TW)；林宜緯 LIN, YI WEI (TW)；黃威 HWANG, WEI (TW)；石維強 SHIH, WEI CHIANG (TW)；陳家政 CHEN, CHIA CHENG (TW)

(74) 代理人：祁明輝；葉明源

(56) 參考文獻：

TW 200713326

TW 200725631

TW 200929249

US 2007/0253239A1

US 2008/0013394A1

US 2008/0019206A1

US 2009/0103379A1

審查人員：蔡夙勇

申請專利範圍項數：10 項 圖式數：16 共 0 頁

(54) 名稱

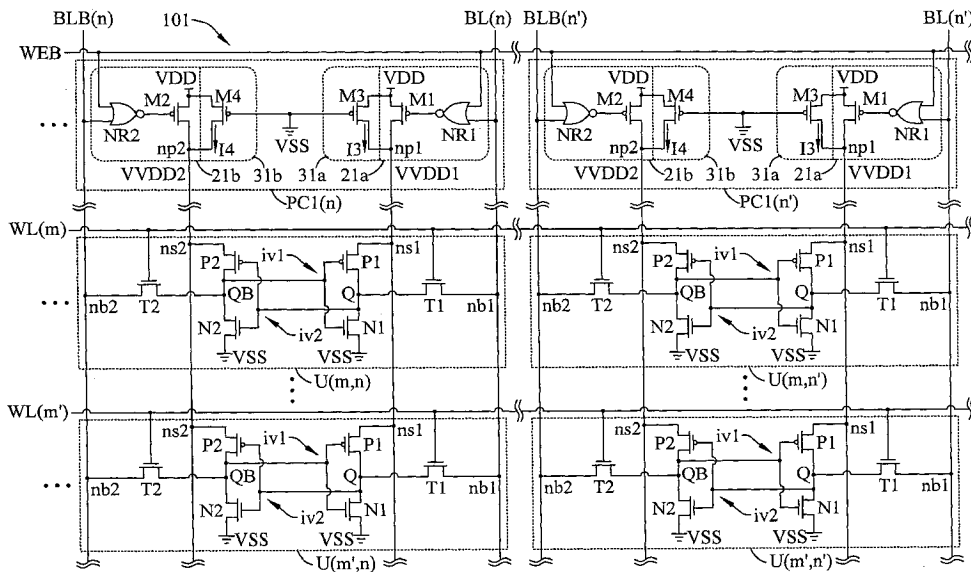
依據資料動態供電之隨機存取記憶體

DATA-AWARE DYNAMIC SUPPLY RANDOM ACCESS MEMORY

(57) 摘要

本發明提供一種隨機存取記憶體，具有複數個記憶單元。在一實施例中，排列於同一直行的記憶單元耦接同一對位元線，並對應於同一電源電路。每一記憶單元中設有兩個反相器，電源電路則設有兩電力開關。針對同一直行的各個記憶單元，兩電力開關可依據位元線的電壓，也就是寫入操作時位元線之欲寫入資料，分別為各記憶單元中兩反相器進行獨立的供電控制。

A random access memory is provided. The memory has a plurality of memory cells. In an embodiment, memory cells aligned in a column couple to a same pair of bit lines and associate to a same power supply circuit. Each memory cell has two inverters; the power supply circuit has two power switches. For memory cells in the same column, the two power switches respectively perform independent supply voltage controls for the two inverters in each memory cell according to voltages of the bit lines and the voltages are representing Data-in during Write operation.



第1圖

- 101 . . . 隨機存取記憶體
- $U(m,n)-U$
- $(m',n')$  . . . 記憶單元
- 21a-21b . . . 電力開關
- 31a-31b . . . 電力保持器
- PC1(n)、PC1(n')
- . . . 電源電路
- BL(n)、BLB(n)、BL(n')、BLB(n') . . . 位元線
- WL(m)、WL(m')
- . . . 字元線
- WEB . . . 寫入控制訊號
- VDD、VSS . . . 工作電壓
- VVDD1、VVDD2 . . . 電壓
- M1-M4、N1-N2、P1-P2、T1-T2 . . . 電晶體
- NR1-NR2 . . . 反或閘
- iv1-iv2 . . . 反相器
- I3-I4 . . . 電流
- nb1-nb2、ns1-ns2、np1-np2、Q、QB . . . 節點

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 09127792

※申請日： 99. 8. 19

※IPC 分類： G11C 11/419 (2006.01)

一、發明名稱：(中文/英文)

依據資料動態供電之隨機存取記憶體

DATA-AWARE DYNAMIC SUPPLY RANDOM ACCESS  
MEMORY

二、中文發明摘要：

本發明提供一種隨機存取記憶體，具有複數個記憶單元。在一實施例中，排列於同一直行的記憶單元耦接同一對位元線，並對應於同一電源電路。每一記憶單元中設有兩個反相器，電源電路則設有兩電力開關。針對同一直行的各個記憶單元，兩電力開關可依據位元線的電壓，也就是寫入操作時位元線之欲寫入資料，分別為各記憶單元中兩反相器進行獨立的供電控制。

三、英文發明摘要：

A random access memory is provided. The memory has a plurality of memory cells. In an embodiment, memory cells aligned in a column couple to a same pair of bit lines and associate to a same power supply circuit. Each memory cell has two inverters; the power supply circuit has two power switches. For memory cells in the

same column, the two power switches respectively perform independent supply voltage controls for the two inverters in each memory cell according to voltages of the bit lines and the voltages are representing Data-in during Write operation.



## 四、指定代表圖：

- (一)本案指定代表圖為：第1圖。  
 (二)本代表圖之元件符號簡單說明：

101 隨機存取記憶體

U(m,n)-U(m',n') 記憶單元

21a-21b 電力開關

31a-31b 電力保持器

PC1(n)、PC1(n') 電源電路

BL(n)、BLB(n)、BL(n')、BLB(n') 位元線

WL(m)、WL(m') 字元線

WEB 寫入控制訊號

VDD、VSS 工作電壓

VVDD1、VVDD2 電壓

M1-M4、N1-N2、P1-P2、T1-T2 電晶體

NR1-NR2 反或閘

iv1-iv2 反相器

I3-I4 電流

nb1-nb2、ns1-ns2、np1-np2、Q、QB 節點

## 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

99年12月16日修正頁(本)  
對線

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種隨機存取記憶體，尤指一種以直行為基礎而對同一直行靜態記憶單元中的兩個反相器分別進行獨立供電控制以兼顧讀寫性能的隨機存取記憶體。

### 【先前技術】

隨機存取記憶體，譬如說是靜態隨機存取記憶體，是現代電子系統最重要的建構元件之一。縮減隨機存取記憶體的布局面積、降低隨機存取記憶體工作電壓以改善功耗散結構則是現代隨機存取記憶體的發展趨勢。

### 【發明內容】

隨機存取記憶體設有複數個循直行 (column)、橫列 (row) 排列為矩陣的記憶單元，各記憶單元儲存一位元資料以供存取。舉例來說，基本的六電晶體 (6 transistors, 6T) 靜態記憶單元中有兩個反相器與兩個閘道電晶體，各反相器分別由一對互補電晶體形成。其中，一反相器的輸出端耦接另一反相器的輸入端，形成閃鎖資料的閃鎖架構；而兩反相器的輸出端可視為一對資料節點，分別以差動形式記錄一位元的資料與其反相。在同一直行的各個記憶單元中，每一記憶單元的一對資料節點分別經由一閘道電晶體

而各自耦接同一對位元線中的其中之一。在同一橫列的記憶單元中，每一記憶單元的閘道電晶體則於閘極耦接同一字元線，使各閘道電晶體根據字元線的電壓控制對應資料節點與對應位元線間的導通。另外，也有五電晶體（5 transistors, 5T）的記憶單元與八電晶體（8 transistors, 8T）的記憶單元。五電晶體記憶單元中只設置一個閘道電晶體，同一直行的各個記憶單元僅經由單一位元線存取。八電晶體的記憶單元用以實現偶埠（dual-port）或雙埠（two-port）隨機存取記憶體，各記憶單元可由兩對位元線進行存取。八電晶體記憶單元中設有兩對閘道電晶體，每一對閘道電晶體依據同一對字元線的電壓而分別控制兩資料節點是否導通至一對對應的位元線。

隨機存取記憶體對記憶單元的存取運作可描述如下。當要讀取某一記憶單元的資料時，對應的位元線會先被預充電至邏輯 1 的高電壓。讀取啟始時，該記憶單元的一個資料節點會被對應的閘道電晶體導通至該位元線；若該資料節點儲存的是低電壓的邏輯 0，該位元線的電壓就會被記憶單元中的反相器拉低，以反映邏輯 0 的資料內容。當讀取尚未開始時，閘道電晶體未導通，該資料節點是由反相器中的  $n$  通道金氧半電晶體導通至低電壓以儲存邏輯 0。不過，當讀取啟始後，由於該資料節點會另行被閘道電晶體導通至高電壓的位元線，該資料節點的電壓會因此而升高。等效地說，當在讀取開始進行時，閘道電晶體與反相器中的  $n$  通道金氧半電晶體會以該資料節點作為分壓點而在邏輯 1 高電壓與邏輯 0 低電壓間進行分壓。若該資料

節點的電壓被拉昇過高，就會超過記憶單元閃鎖架構的跳脫電壓 (trip voltage) 而被記憶單元誤認為邏輯 1，並經由閃鎖電路的回饋機制錯誤地將該資料節點的資料由邏輯 0 翻轉為邏輯 1。為了防止在讀取資料時引發錯誤的資料翻轉，在實現記憶單元時通常會採用一個較弱 (通道較長或窄、導通程度較差，源極與汲極間導通電阻較大) 的閘道電晶體；如此一來，當在讀取進行時，反相器中的 n 通道金氧半電晶體相對具有較低的電阻，能使該資料節點的電壓比較接近邏輯 0 的低電壓，並與跳脫電壓保持較大的雜訊邊界 (margin)。

較弱的閘道電晶體有利於資料讀取，但對資料寫入卻會造成負面的影響。譬如說，當要將低電壓邏輯 0 經由一位元線寫入至某一記憶單元的一資料節點時，該資料節點會被閘道電晶體導通至該位元線，使該資料節點的電壓能達到邏輯 0 的低電壓。假設該資料節點原本由反相器中的 p 通道金氧半電晶體導通至高電壓而儲存邏輯 1，當要將邏輯 0 寫入至該資料節點時，導通的閘道電晶體與反相器中的 p 通道金氧半電晶體於該資料節點分壓。若閘道電晶體較弱，該資料節點的電壓就會較為接近邏輯 1 的高電壓，不易被拉低至邏輯 0 的低電壓。等效地說，在將邏輯 0 寫入邏輯 1 的資料節點時，閘道電晶體傾向將資料節點拉低至低電壓，反相器中的 p 通道金氧半電晶體則傾向將資料節點維持於高電壓，兩者會相互競爭。若為了資料讀取的考量而採用較弱的閘道電晶體，閘道電晶體在寫入時的競爭力就會減弱，不利於資料寫入。另一方面，當要將高電



壓邏輯 1 經由一位元線寫入至某一記憶單元的一資料節點時，該資料節點會被閘道電晶體導通至該位元線，使該資料節點的電壓能達到邏輯 1 的高電壓。假設該資料節點原本由反相器中的 n 通道金氧半電晶體導通至低電壓而儲存邏輯 0，當要將邏輯 1 寫入至該資料節點時，導通的閘道電晶體與反相器中的 n 通道金氧半電晶體於該資料節點分壓。若閘道電晶體較弱，該資料節點的電壓就會較為接近邏輯 0 的低電壓，不易被拉高至邏輯 1 的高電壓。等效地說，在將邏輯 1 寫入邏輯 0 的資料節點時，閘道電晶體傾向將資料節點拉高至高電壓，反相器中的 n 通道金氧半電晶體則傾向將資料節點維持於低電壓，兩者會相互競爭。若為了資料讀取的考量而採用較弱的閘道電晶體，閘道電晶體在寫入時的競爭力就會減弱，不利於資料寫入。

換句話說，資料讀取與資料寫入的需求是相互衝突的；對於小尺寸、低工作電壓的先進製程隨機存取記憶體/記憶單元來說，上述矛盾更為明顯。為了兼顧資料讀取與寫入，本發明提出一種以直行為基礎、依據位元線資料（電壓）而為同一直行各記憶單元中的兩反相器獨立供電的隨機存取記憶體。在本發明中，可先依資料讀取需求採用較弱的閘道電晶體。針對寫入需求，當要將邏輯 0 經由一位元線寫入至一個原本儲存邏輯 1 的資料節點時，假設該資料節點原本由一第一反相器中的 p 通道金氧半電晶體導通至高電壓，在進行寫入時，本發明可經由對反相器的供電控制而在第一反相器中減少其 p 通道金氧半電晶體的源極供電電壓（使其源極浮接），但在第二反相器中維持其 p

通道金氧半電晶體的源極供電電壓。在第一反相器中減少 p 通道金氧半電晶體的源極供電電壓會降低其源極電壓與導通程度，使閘道電晶體更易將原本儲存邏輯 1 的資料節點拉低至邏輯 0 的低電壓。同時，對第二反相器的 p 通道金氧半電晶體來說，由於其源極供電電壓維持不變，其導通程度不受影響，使其能將對應資料節點的電壓快速提昇至邏輯 1 的高電壓。在實現時，本發明可根據位元線上的電壓(亦即欲寫入資料)判斷應該對那一個反相器中的 p 通道金氧半電晶體減少源極供電電壓。

對稱地，延續上一段的討論，本發明亦可對第一反相器中的 n 通道金氧半電晶體增加其源極供電電壓(使其源極浮接)，同樣可減少其閘極與源極間電壓差，減少其導通程度，以俾將邏輯 1 經由一位元線寫入至一個原本儲存邏輯 0 的資料節點；同時，對第二反相器中的 n 通道金氧半電晶體，其源極供電電壓則維持不變，其導通程度不受影響，使其能快速地將其對應資料節點的電壓拉低至邏輯 0 的低電壓。

本發明的目的是提供一種隨機存取記憶體，其包含有複數個排列為一直行(column)的記憶單元及一對應的電源電路。各記憶單元設有一第一電力端、一第二電力端與一位元端，該複數個記憶單元的位元端均耦接至同一位元線。每一記憶單元中設有一第一反相器、一第二反相器與一閘道電晶體。第一反相器具有一電源端、一輸入端與一輸出端，分別耦接該第一電力端、一第二資料節點與一第一資料節點。第二反相器亦具有一電源端、一輸入端與一

輸出端，分別耦接該第二電力端、該第一資料節點與該第二資料節點。閘道電晶體一端耦接該位元端，另一端耦接該第二資料節點與該第一資料節點的其中之一。電源電路設有一供電端，耦接同一直行複數記憶單元的第一電力端；該電源電路包含有一電力開關，耦接該位元線與該供電端，以根據該位元線上的電壓決定是否要將該供電端導通至一工作電壓。

為了使 貴審查委員能更進一步瞭解本發明特徵及技術內容，請參閱以下有關本發明的詳細說明與附圖，然而所附圖式僅提供參考與說明，並非用來對本發明加以限制。

### 【實施方式】

請參考第 1 圖，其所示意的是本發明隨機存取記憶體的一實施例 101。隨機存取記憶體 101 可以是一靜態隨機存取記憶體，具有複數個記憶單元，在第 1 圖中以記憶單元  $U(m,n)$ 、 $U(m,n')$ 、 $U(m',n)$  與  $U(m',n')$  作為代表；各記憶單元可以為六電晶體的靜態記憶單元。這些記憶單元排列為陣列，舉例來說，記憶單元  $U(m,n)$  與  $U(m,n')$  排列於同一橫列，對應於同一字元線  $W(m)$ ；記憶單元  $U(m',n)$  與  $U(m',n')$  則排列於另一橫列，對應於字元線  $W(m')$ 。再者，記憶單元  $U(m,n)$  與  $U(m',n)$  排列於同一直行，對應於一對位元線  $BL(n)$  與  $BLB(n)$ ；記憶單元  $U(m,n')$  與  $U(m',n')$  則屬於同一直行，對應另一對位元線  $BL(n')$  與  $BLB(n')$ 。

在隨機存取記憶體 101 中，各記憶單元  $U(m,n)$  至  $U(m',n')$  的架構相同；以記憶單元  $U(m,n)$  為例，其具有兩相互匹配的電晶體  $N1$  與  $N2$  (可為  $n$  通道金氧半電晶體)、兩相互匹配的電晶體  $P1$  與  $P2$  (可為  $p$  通道金氧半電晶體) 與兩相互匹配的電晶體  $T1$  與  $T2$  (可為  $n$  通道金氧半電晶體)。電晶體  $P1$  與  $N1$  形成一反相器  $iv1$ ，輸入端耦接節點  $QB$ 、輸出端耦接節點  $Q$ 、電晶體  $P1$  的源極耦接節點  $ns1$ ，電晶體  $N1$  的源極耦接工作電壓  $VSS$  (如一地端電壓)。對稱地，電晶體  $P2$  與  $N2$  形成一反相器  $iv2$ ，輸入端耦接節點  $Q$ 、輸出端耦接節點  $QB$ 、電晶體  $P2$  的源極耦接節點  $ns2$ ，電晶體  $N2$  的源極耦接工作電壓  $VSS$ 。電晶體  $T1$  與  $T2$  作為閘道電晶體，兩者的閘極受控於字元線  $WL(m)$ ；電晶體  $T1$  耦接於節點  $nb1$  與  $Q$  之間，電晶體  $T2$  則耦接於節點  $nb2$  與  $QB$  之間。節點  $ns1$  與  $ns2$  可視為記憶單元  $U(m,n)$  的兩個電力端，節點  $Q$  與  $QB$  為兩資料節點，節點  $nb1$  與  $nb2$  則可視為兩位元端。

為了實現本發明的技術，隨機存取記憶體 101 中還設有複數個電源電路，各電源電路對應於一直行的記憶單元；在第 1 圖中，電源電路  $PC1(n)$  即對應於記憶單元  $U(m,n)$  與  $U(m',n)$  所屬的直行，電源電路  $PC1(n')$  則對應記憶單元  $U(m,n')$  與  $U(m',n')$  所屬的另一直行。各電源電路  $PC1(n)$  與  $PC1(n')$  的電路架構相同且匹配，以下即以電源電路  $PC1(n)$  為例來說明。

在第 1 圖的實施例中，本發明電源電路  $PC1(n)$  中設有兩電力開關  $21a$  與  $21b$ ，以及兩電力維持器  $31a$  與  $31b$ 。其

中，節點 np1 與 np2 可視為電源電路 PC1(n) 的供電端，節點 np1 耦接至各記憶單元 U(m,n) 與 U(m',n) 的節點 ns1，為記憶單元中的反相器 iv1 供應電壓 VVDD1。對稱地，節點 np2 耦接至各記憶單元 U(m,n) 與 U(m',n) 的節點 ns2，為記憶單元中的反相器 iv2 供應電壓 VVDD2。電力開關 21a 與 21b 中分別設有相互匹配的電晶體 M1 與 M2 (可為 p 通道金氧半電晶體) 以及兩相互匹配的反或閘 NR1 與 NR2。電晶體 M1 的源極耦接工作電壓 VDD，汲極耦接節點 np1，反或閘 NR1 則耦接於位元線 BL(n) 與電晶體 M1 之間；反或閘 NR1 針對位元線 BL(n) 的電壓與一寫入控制訊號 WEB 作反或邏輯運算，其輸出端耦接電晶體 M1 的閘極，使電晶體 M1 得以依據反或邏輯運算結果決定是否將點 np1 導通至工作電壓 VDD (其可為一個高於工作電壓 VSS 的電壓)。對稱地，反或閘 NR2 則針對位元線 BLB(n) 的電壓與寫入控制訊號 WEB 作反或邏輯運算，使電晶體 M2 可依據反或邏輯運算結果決定是否將點 np2 導通至工作電壓 VDD。電力維持器 31a 與 31b 設有兩相互匹配的電晶體 M3 與 M4 (可以是 p 型金氧半電晶體)，其閘極耦接工作電壓 VSS，源極耦接工作電壓 VDD，汲極分別耦接節點 np1 與 np2。在本發明的較佳實施例中，電晶體 M1 與 M2 會設計的比電晶體 M3 與 M4 更強；換句話說，與電晶體 M1 (M2) 相比，電晶體 M3 (M4) 的通道較長或較窄，驅動能力較差，源極與汲極間的導通電阻較大。

延續第 1 圖的實施例，請參考第 2 圖；其係以電源電路 PC1(n) 的相關訊號與狀態為例來示意本發明隨機存取記

憶體 101 的運作情形。隨機存取記憶體 101 可交替運作於讀取模式(第 2 圖中標示為「read」)、待機模式(「standby」)與寫入模式(「write」)。當隨機存取記憶體 101 運作於待機模式時，字元線  $WL(m)$  (與  $WL(m')$ ) 皆為邏輯 0，不存取任何記憶單元；位元線  $BL(n)$  與  $BLB(n)$  會被維持在邏輯 1 的高電壓(譬如說是工作電壓  $VDD$ )，寫入控制訊號  $WEB$  則被控制為邏輯 1。經由反或閘  $NR1$  與  $NR2$  的邏輯運算，電晶體  $M1$  與  $M2$  皆被導通(第 2 圖中標示為「on」)，將節點  $np1$  與  $np2$  分別導通至工作電壓  $VDD$ ，使電壓  $VVDD1$  與  $VVDD2$  皆等於工作電壓  $VDD$ 。在此情形下，各記憶單元  $U(m,n)$  與  $U(m',n)$  中的反相器  $iv1$  與  $iv2$  皆正常運作以閃鎖資料。

隨機存取記憶體 101 可運作於讀取模式以將記憶單元  $U(m,n)$  中的資料讀出。在此模式下，寫入控制訊號  $WEB$  仍為邏輯 1 而使電壓  $VVDD1$  與  $VVDD2$  皆等於工作電壓  $VDD$ ，位元線  $BL(n)$  與  $BLB(n)$  會先被預充電至邏輯 1 的高電壓，然後字元線  $WL(m)$  會以邏輯 1 來導通記憶單元  $U(m,n)$  中的電晶體  $T1$  與  $T2$ ，使位元線  $BL(n)$  與  $BLB(n)$  的電壓可追隨節點  $Q$  與  $QB$  的電壓，於是在第 2 圖中以記號「x」代表邏輯上的隨意(don't care)。舉例來說，假設記憶單元  $U(m,n)$  的節點  $Q$  與  $QB$  分別儲存邏輯 1 與邏輯 0；當讀取啟始而使電晶體  $T2$  開始導通時，導通的電晶體  $N2$  傾向將節點  $QB$  維持於工作電壓  $VSS$ ，電晶體  $T2$  則傾向將節點  $QB$  的電壓拉昇至節點  $nb2$  的邏輯 1 高電壓；電晶體  $T2$  的源極汲極間導通電阻和電晶體  $N2$  的源極汲極間導通電阻



會以節點 QB 為分壓點而分壓。在電路設計時，為防止節點 QB 的電壓被電晶體 T2 錯誤地拉高，電晶體 T2 (與 T1) 會被設計為較弱的電晶體。

隨機存取記憶體 101 亦可運作於寫入模式而將一位元的資料寫入至記憶單元  $U(m,n)$ 。以寫入邏輯 1 為例 (第 2 圖中標示為「write "1"」) 來說明；要在記憶單元  $U(m,n)$  中寫入邏輯 1，就是要使節點 Q 為邏輯 1 的高電壓，並使反相的節點 QB 為邏輯 0 低電壓。故在寫入啟始時，位元線  $BL(n)$  為邏輯 1，位元線  $BLB(n)$  為邏輯 0，字元線  $WL(m)$  為邏輯 1 以導通電晶體 T1 與 T2，而寫入控制訊號 WEB 則為邏輯 0。假設節點 Q 原本儲存的是低電壓的邏輯 0，節點 QB 會儲存反相的邏輯 1。當寫入啟始時，導通的電晶體 P2 會傾向將節點 QB 維持在邏輯 1，導通的電晶體 N1 會傾向將節點 Q 維持為邏輯 0，且這兩個電晶體 N1 與 P2 會經由門鎖架構而相互加強其維持電壓的傾向：當電晶體 P2 將節點 QB 維持於高電壓時，也確保電晶體 N1 的導通；對稱地，當電晶體 N1 將節點 Q 維持於低電壓時，也確保電晶體 P2 的導通。為達成寫入的目的而使節點 Q 與 QB 的電壓翻轉，電晶體 T1 應該拉高節點 Q 的電壓，電晶體 T2 則應該拉低節點 QB 的電壓。不過，與電晶體 N1 與 N2 相比，由於電晶體 T1 與 T2 較弱，較難有效地驅使節點 Q 與 QB 改變電壓。

不過，在本發明電源電路  $PC1(n)$  的運作下，當寫入啟始時，位元線  $BLB(n)$  的邏輯 0 與寫入控制訊號 WEB 的邏輯 0 會經由反或閘 NR2 而將電力開關 21b 中的電晶體 M2

關閉（第 2 圖中以「off」代表），只以電晶體 M4 調控維持節點 np2 的電壓 VVDD2。相對於電晶體 M2，由於電晶體 M4 是被設計成一個較弱的電晶體，故即使電晶體 M4 導通，節點 np2 的電壓 VVDD2 也不再維持於工作電壓 VDD 而會降低。如此一來，電晶體 P2 在節點 ns2 的源極電壓也變小，使電晶體 P2 的導通程度變弱，從而使電晶體 T2 較易將節點 QB 拉低至邏輯 0 的低電壓。再者，由於節點 QB 的電壓降低，電晶體 N1 也較難將節點 Q 的電壓維持於低電壓，使位元線 BL(n) 能更快速地將節點 Q 的電壓提昇。

另一方面，當寫入啟始時，位元線 BL(n) 的邏輯 1 與寫入控制訊號 WEB 的邏輯 0 會經由反或閘 NR1 而使電力開關 21a 中的電晶體 M1 維持導通，故電壓 VVDD1 維持在工作電壓 VDD 正常供電至反相器 iv1 中的電晶體 P1。也就是說，當節點 QB 的電壓開始下降，電晶體 P1 會正常地開始導通，以將節點 Q 的電壓拉高至工作電壓 VDD；經由閃鎖架構，加速節點 Q 的電壓上升也會使電晶體 N2 更快地導通，進一步助益將節點 QB 的電壓拉低至工作電壓 VSS。

換句話說，在本發明電源電路 PC1(n) 的運作下，若要在節點 QB 寫入邏輯 0，電晶體 P2 所對應的電力開關 21b 會關閉不導通，使節點 np2 近似浮接，降低電晶體 P2 的源極供電電壓（也就是電壓 VVDD2）；在反相節點 Q，電晶體 P1 的源極供電電壓（電壓 VVDD1）則不受影響，仍相當於工作電壓 VDD。以上皆能有效加快資料寫入的速度與效率，並改善靜態雜訊邊界（Static Noise Margin）。對稱





地，當要在記憶單元  $U(m,n)$  中寫入邏輯 0，也就是要在節點 QB 寫入邏輯 1 而在節點 Q 寫入邏輯 0 時，電晶體 P1 所對應的電力開關 21a 會關閉，節點 np1 會近似浮接而使電晶體 P1 的源極供電電壓  $V_{VDD1}$  小於工作電壓  $V_{DD}$ ；電晶體 P2 的源極供電電壓  $V_{VDD2}$  則不受影響。也就是說，本發明電力開關 21a 與 21b 是兩者獨立運作的，在同一直行的各記憶單元中分別控制反相器 iv1 與反相器 iv2 的源極供電電壓；依據位元線  $BL(n)/BLB(n)$  上的寫入資料（分別為邏輯 0/邏輯 1 或邏輯 1/邏輯 0），兩反相器 iv1 與 iv2 只有其中一個的源極供電電壓會降低，另一個的源極供電電壓則維持不變，以保留其驅動電壓的能力及閃鎖電路的回饋機制。

在一種習知技術中，當要進行資料寫入時，會統一對記憶單元中的兩個反相器一併降低供電電壓。譬如說，當要在節點 QB 寫入邏輯 0 時，一併使電晶體 P1 與 P2 的源極供電電壓降低。雖然這可以降低電晶體 P2 的導通程度以減少電晶體 P2 在節點 QB 維持電壓的能力，但也會傷害電晶體 P1 的導通能力，使電晶體 P1 不能正常地隨節點 OB 的電壓降低而增加導通程度，影響電晶體 P1 拉高，本發明會依據資料寫入的需求動態地調整，只在兩個反相器中降低其中一個的供電，以有效地增進本發明隨機存取記憶體 101 的寫入性能。另外，由於本發明只切換改變一個反相器的供電電壓，故本發明在切換供電電壓的功耗也會比較低，完成切換的速度也會比較快。

在本發明隨機存取記憶體 101 中，當電力開關 21a

(21b) 關閉時，節點 np1 (np2) 的電壓 VVDD1 (VVDD2) 會與同一直行各記憶單元的漏電流有關。譬如說，當要經由位元線 BLB(n) 而在記憶單元 U(m,n) 的節點 QB 寫入邏輯 0 時，電力開關 21b 中的電晶體 M2 關閉不導通，使節點 np2 呈現近似浮接的狀態。由於節點 np2 會以一電力繞線耦接至同一直行的各個記憶單元 U(m,n) 乃至於 U(m',n)，此電力繞線的等效電容會以電荷維持節點 np2 的電壓；在各記憶單元 U(m,n) 乃至於 U(m',n) 中的各電晶體 P2 則會由此電力繞線汲取漏電流 (不論各記憶單元中的電晶體 P2 是否導通)，使節點 np2 的電壓 VVDD2 因放電而降低。妥善地設計電晶體 M4 的參數，可使電晶體 M4 導通一適當的電流 I4 來補償同一直行各記憶單元的漏電流，使節點 np2 的電壓 VVDD2 可以穩定地維持於低於工作電壓 VDD 但不會過低的程度，以維護同一直行各記憶單元中所儲存的資料。對稱地，當電力開關 21a 中的電晶體 M1 停止導通時，電晶體 M3 也會提供電流 I3 來補償同一直行各記憶單元的漏電流。

請參考第 3 圖與第 4 圖；第 3 圖示意的是本發明隨機存取記憶體另一實施例 102，第 4 圖示意的則是隨機存取記憶體 102 運作於各種模式的情形。類似於隨機存取記憶體 101 (第 1 圖)，本發明隨機存取記憶體 102 亦為第 n 個直行的各記憶單元 (以 U(m,n) 與 U(m',n) 代表) 設置一對應的電源電路 PC2(n)。節點 np1 與 np2 為電源電路 PC2(n) 的兩個供電端，分別以電力繞線耦接至同一直行各記憶單元中的節點 ns1 與 ns2，以提供電壓 VVDD1 與 VVDD2 作

為電晶體 P1 與 P2 的源極供電電壓。電源電路 PC2(n) 中亦設有兩電力開關 22a 與 22b，以及兩電力維持器 32a 與 32b。電力維持器 32a 與 32b 可分別以電晶體 M3 與 M4(可為兩匹配的 p 通道金氧半電晶體) 實現，電晶體 M3 的閘極與源極分別耦接工作電壓 VSS 與 VDD，汲極則耦接節點 np1；對稱地，電晶體 M4 的汲極則耦接節點 np2。電力開關 32a 設有一電晶體 M1 與一反相器 IVa；反相器 IVa 將位元線 BL(n) 的資料(電壓) 反相以控制電晶體 M1 的閘極。電晶體 M1 則作為一電力電晶體(譬如說是一 p 通道金氧半電晶體)，其源極與汲極分別耦接工作電壓 VDD 與節點 np1。對稱地，電力開關 32b 設有一電晶體 M2(可以是一個和電晶體 M1 匹配的電晶體) 與一反相器 IVb，使電晶體 M2 可依據位元線 BLB(n) 的反相電壓決定是否在其源極汲極間將工作電壓 VDD 導通至節點 np2。

電源電路 PC2(n) 的工作原理類似於第 1 圖中的電源電路 PC1(n)，可依據位元線 BL(n) 與 BLB(n) 的資料電壓而為同一直行記憶單元的反相器 iv1 與 iv2 分別供應兩相互獨立的電壓 VVDD1 與 VVDD2，以作為電晶體 P1 與 P2 的源極供電電壓。不過，隨機存取記憶體 102 取消了第 1 圖中的寫入控制訊號 WEB，故電源電路 PC2(n) 的開關電路 22a 可以只依據位元線 BL(n) 來調控電壓 VVDD1，開關電路 22b 可以只依據位元線 BLB(n) 來調控電壓 VVDD2。如第 4 圖所示，當在進行資料寫入時，電源電路 PC2(n) 的運作情形可由電源電路 PC1(n) 的運作情形類推，故電源電路 PC2(n) 亦承襲電源電路 PC1(n) 的優點。譬如說，當要在資

料單元  $U(m,n)$  中寫入邏輯 1 的位元時，位元線  $BLB(n)$  會被拉低至邏輯 0 的低電壓，經由反相器  $IVb$  的運作，電晶體  $M2$  的導通程度降低乃至於完全關閉，使節點  $np2$  近似浮接；同一直行記憶單元  $U(m,n)$  乃至於其他未被存取的記憶單元  $U(m',n)$  會經由節點  $np2$  的電力繞線汲取漏電流而將電壓  $VVDD2$  拉低，電力維持器  $M4$  則提供電流  $I4$  以適當地補償同一直行記憶單元的漏電流，將電壓  $VVDD2$  維持於一個低於工作電壓  $VDD$  的適當電壓。此電壓  $VVDD2$  可在記憶單元  $U(m,n)$  中降低電晶體  $N1$  與  $P2$  的導通程度，改善對記憶單元  $U(m,n)$  的資料寫入，但不會影響其他記憶單元  $U(m',n)$  中的資料。電力開關 22a 中導通的電晶體  $M1$  則將電壓  $VVDD1$  維持於工作電壓  $VDD$ ，協助記憶單元  $U(m,n)$  中的電晶體  $P1$  與  $N2$  快速無誤地完成寫入。

另一方面，當隨機存取記憶體 102 要在記憶單元  $U(m,n)$  中讀取資料時，若記憶單元  $U(m,n)$  中儲存的位元是邏輯 1（在第 4 圖中標示為「read "1"」），節點  $Q$  與  $QB$  會分別儲存邏輯 1 與邏輯 0；在讀取進行時，位元線  $BLB(n)$  的電壓會被拉低，電力開關 22b 中的電晶體  $M2$  會對應地降低導通程度，放鬆對電壓  $VVDD2$  的控制；此時，同一直行記憶單元  $U(m,n)$  乃至於未被存取的記憶單元  $U(m',n)$  都會由節點  $np2$  的電力繞線汲取漏電流，使電壓  $VVDD2$  減少。不過，與寫入邏輯 1 的運作相比較，在讀取邏輯 1 時，位元線  $BLB(n)$  的電壓被拉低的程度較小，且速度較慢，故對同一直行的記憶單元的影響相對較小。換句話說，經由適當的電路設計，只要電力維持器 32b 的電晶體  $M4$  能在寫

入邏輯 1 時維持適當的電壓  $V_{VDD2}$ ，就能確保讀取邏輯 1 的運作無誤，不會影響同一直行各記憶單元中儲存的資料。對稱地，若電晶體 M3 能在寫入邏輯 0 時維持適當的電壓  $V_{VDD1}$ ，讀取邏輯 0 的運作也會正確無誤。此外，經由適當的電路設計，若讀取時所使用的感測放大器（未圖示）偵測邏輯 0 的標準高於反相器 IVa 與 IVb 將其輸出由邏輯 0 轉變為邏輯 1 的標準，亦可確保讀取運作的正確性。譬如說，在讀取邏輯 1 時，當位元線 BLB(n) 的位準下降至  $(V_{DD}-dV)$  時，其中  $dV$  為差異電壓，此時感測放大器已經可以將位元線 BLB(n) 上的資料辨識為邏輯 0，但反相器 IVb 仍將位元線 BLB(n) 認定為邏輯 1 而仍向電晶體 M2 輸出邏輯 0，電晶體 M2 就不會降低導通程度。

請參考第 5 圖與第 6 圖；第 5 圖示意的是本發明隨機存取記憶體另一實施例 103，第 6 圖示意的則是隨機存取記憶體 103 於各種模式下的運作情形。隨機存取記憶體 103 中設有電源電路 PC3(n) 以為第 n 個直行的各記憶單元（如記憶單元  $U(m,n)$  與  $U(m',n)$ ）分別提供電壓  $V_{VDD1}$  與  $V_{VDD2}$ 。類似於第 1 圖電源電路 PC1(n) 的電力開關 21a 與 21b，電源電路 PC3(n) 中亦設有電力開關 23a 與 23b，但省略了電力維持器。在寫入控制訊號 WEB 的控制下，電力開關 23a 與 23b 可在進行寫入時根據位元線 BL(n) 與 BLB(n) 的電壓分別為同一直行各記憶單元的反相器 iv1 與 iv2 供應兩獨立電壓  $V_{VDD1}$  與  $V_{VDD2}$ 。譬如說，當要在資料單元  $U(m,n)$  寫入資料 1 時，由於寫入控制訊號 WEB 與位元線 BLB(n) 均為邏輯 0，電力開關 23b 中的電晶體 M2 不導通，

使節點 np2 近似浮接，電壓 VVDD2 也就會降低，以改善寫入運作。在適當的電路設計下，只要節點 np2 能在電晶體 M2 不導通時以等效電容/寄生電容的電荷適當地抗衡同一直行各記憶單元的漏電流，就能確保寫入運作的正常無誤，也不會影響同一直行中未被存取的記憶單元。

請參考第 7 圖與第 8 圖；第 7 圖示意的是本發明隨機存取記憶體又一實施例 104，第 8 圖示意的則是隨機存取記憶體 104 運作於各種模式的情形。隨機存取記憶體 104 亦為第 n 個直行的記憶單元設置一對應的電源電路 PC4(n)。電源電路 PC4(n) 中設有電力開關 24a、24b 與電力維持器 34a 與 34b。電力開關 24a 與 24b 分別以電晶體 NM1 與 NM2 實現；電晶體 NM1 與 NM2 可以是兩個相互匹配的 n 通道金氧半電晶體。電晶體 NM1 的汲極、閘極與源極分別耦接工作電壓 VDD、位元線 BL(n) 與節點 np1；對稱地，電晶體 NM2 的汲極、閘極與源極分別耦接工作電壓 VDD、位元線 BLB(n) 與節點 np2。電力維持器 34a 與 34b 則分別由電晶體 NM3 與 NM4 實現；這兩個電晶體可以是相互匹配的 n 通道金氧半電晶體，兩電晶體各自呈二極體連接，汲極與閘極共同耦接至工作電壓 VDD，源極則分別耦接節點 np1 與 np2。

根據位元線 BL(n) 的資料電壓，電力開關 24a 可決定是否將工作電壓 VDD 導通至節點 np1；譬如說，如第 8 圖所示，當隨機存取記憶體 104 要在記憶單元 U(m,n) 中寫入邏輯 0 而使位元線 BL(n) 為邏輯 0 時，電力開關 24a 中的電晶體 NM1 不導通，使節點 np1 近似浮接，而節點 np1

為各記憶單元提供的源極供電電壓  $VVDD1$  就會降低，以增進資料寫入的效能。不論讀取或寫入，電力維持器 34a 中的電晶體 NM3 會在電晶體 NM1 不導通或導通程度較低時提供補償電流  $I3$  以適當地維持電壓  $VVDD1$ ，使電壓  $VVDD1$  低於工作電壓  $VDD$ ，但不至於過低，以確保同一直行中，除了正要被寫入資料的記憶單元之外的各記憶單元中所儲存的資料不會受影響。對稱地，電力開關 24b 與電力維持器 34b 可依據位元線  $BLB(n)$  的資料調控節點  $np2$  的電壓  $VVDD2$ 。

請參考第 9 圖與第 10 圖；第 9 圖示意的是本發明隨機存取記憶體又一實施例 105，第 10 圖示意的則是隨機存取記憶體 105 運作於各種模式的情形。在前述各實施例中，本發明隨機存取記憶體 101 至 104 的電源電路是為同一直行各記憶單元中的電晶體 P1 與 P2 提供源極供電電壓  $VVDD1$  與  $VVDD2$ ，並根據字元線的資料電壓動態地分別調整電壓  $VVDD1$  與  $VVDD2$ 。在第 9 圖與第 10 圖的實施例中，本發明隨機存取記憶體 105 不僅以電源電路  $PC5(n)$  來為第  $n$  個直行的各記憶單元（如記憶單元  $U(m,n)$  與  $U(m',n)$ ）提供電壓  $VVDD1$  與  $VVDD2$ ，還另以一增設的電源電路  $PC5N(n)$  來為同一直行各記憶單元中的電晶體 N1 與 N2 分別提供電壓  $VVSS1$  與  $VVSS2$ 。

在隨機存取記憶體 105 中，電源電路  $PC5(n)$  的電路架構與配置類似第 1 圖的電源電路  $PC1(n)$ 。在記憶單元  $U(m,n)$ （與  $U(m',n)$ ）中，反相器  $iv1$  與  $iv2$  的電晶體 P1 與 P2 分別由節點  $ns1$  與  $ns2$  耦接電源電路  $PC5(n)$  的節點  $np1$  與

np2，而電源電路 PC5(n)在節點 np1 與 np2 提供的電壓 VVDD1 與 VVDD2 就成為電晶體 P1 與 P2 的源極供電電壓。電源電路 PC5(n)設有電力開關 25a、25b 與電力維持器 35a、35b。電力開關 25a 依據寫入控制訊號 WEB 與位元線 BL(n)的電壓決定是否將節點 np1 導通至工作電壓 VDD；對稱地，電力開關 25b 依據寫入控制訊號 WEB 與位元線 BLB(n)的電壓決定是否將節點 np2 導通至工作電壓 VDD。當電力開關 25a 使節點 np1 近似浮接時，電力維持器 25a 會協助使電壓 VVDD1 低於電壓 VDD 但不至於過低；同理，電力維持器 25b 會在節點 np2 近似浮接時協助維持適當的電壓 VVDD2。

另一方面，電源電路 PC5N(n)的兩個節點 nn1 與 nn2 可視為兩個供電端，分別供應電壓 VVSS1 與 VVSS2；在記憶單元 U(m,n)(乃至於 U(m',n))的兩個反相器 iv1 與 iv2 中，電晶體 N1 與 N2 的源極即分別由節點 ns3 與 ns4 耦接節點 nn1 與 nn2，以電壓 VVSS1 與 VVSS2 作為電晶體 N1 與 N2 的源極供電電壓。電源電路 PC5N(n)中設有電力開關 25c、25d 與電力維持器 35c、35d。電力開關 25c 中設有電晶體 M5 與一反及閘 ND1；對稱地，電力開關 25d 中則設置電晶體 M6 與反及閘 ND2。電晶體 M5 與 M6 可以是兩匹配的 n 通道金氧半電晶體，源極耦接至工作電壓 VSS。反及閘 ND1 將位元線 BL(n)的資料電壓與另一寫入控制訊號 WE 作反及邏輯運算，並據此控制電晶體 M5 的閘極。根據反及閘 ND1 的輸出，電晶體 M5 可決定是否在其汲極與源極間將節點 nn1 導通至工作電壓 VSS。對稱地，反及



開 ND2 針對位元線 BLB(n)與寫入控制訊號 WE 作反及運算，使電晶體 M6 能據以控制節點 nn2 與工作電壓 VSS 間的導通。電力維持器 35c 與 35d 分別以電晶體 M7 與 M8 實現，這兩個電晶體可以是相互匹配的 n 通道金氧半電晶體，閘極與源極分別耦接工作電壓 VDD 與 VSS，汲極則分別耦接節點 nn1 與 nn2。當電晶體 M5 關閉不導通時，節點 nn1 近似浮接，同一直行各記憶單元注入節點 nn1 的漏電流會使電壓 VVSS1 高於工作電壓 VSS，而電晶體 M7 則會汲取適當的電流 I7，以使電壓 VVSS1 高於工作電壓 VSS，但不會過高。對稱地，當電力開關 25d 中的電晶體 M6 不導通時，電力維持器 35d 中的電晶體 M8 會導通電流 I8 以協助維持適當的電壓 VVSS2。

電源電路 PC5(n)與 PC5N(n)協同運作的情形可說明如下。寫入控制訊號 WEB 與 WE 互為反相訊號，當隨機存取記憶體 105 運作於讀取或待機模式時，寫入控制訊號 WE 會失能為邏輯 0，寫入控制訊號 WEB 則為邏輯 1。在電源電路 PC5(n)中，邏輯 1 的寫入控制訊號 WEB 會使電晶體 M1 與 M2 導通，使電壓 VVDD1 與 VVDD2 均維持於工作電壓 VDD，正常供電給同一直行各記憶單元中的電晶體 P1 與 P2。同理，邏輯 0 寫入控制訊號 WE 會使電源電路 PC5N(n)中的電晶體 M5 與 M6 導通，使電壓 VVSS1 與 VVSS2 均維持於工作電壓 VSS，正常地為同一直行各記憶單元中的電晶體 N1 與 N2 提供源極供電電壓。

當隨機存取記憶體 105 要進行寫入時，寫入控制訊號 WE 致能為邏輯 1，寫入控制訊號 WEB 則為反相的邏輯 0，

促使電源電路 PC5(n)與 PC5N(n)根據位元線 BL(n)與 BLB(n)來個別調控電壓 VVDD1、VVDD2、VVSS1 與 VVSS2。譬如說，當要在記憶單元 U(m,n)中寫入邏輯 1 時，位元線 BLB(n)為邏輯 0，電源電路 PC5(n)中的電晶體 M2 停止導通，使節點 np2 近似浮接，降低電壓 VVDD2，位元線 BL(n)的邏輯 1 則使電晶體 M1 維持導通，將電壓 VVDD1 維持在正常的工作電壓 VDD。另一方面，邏輯 1 的位元線 BL(n)與邏輯 1 寫入控制訊號 WE 經由反及閘 ND1 關閉電力開關 25c 中的電晶體 M5，節點 nn1 近似浮接，使電壓 VVSS1 向上漂移而超過工作電壓 VSS；電晶體 M7 則使電壓 VVSS1 不至於過高，讓同一直行中未被存取的其他記憶單元（如記憶單元 U(m',n)）仍能正確儲存資料。邏輯 0 位元線 BLB(n)則使電力開關 25d 中的電晶體 M6 正常導通，將電壓 VVSS2 維持在正常的工作電壓 VSS。

假設記憶單元 U(m,n)原本儲存邏輯 0（節點 Q 為邏輯 0，節點 QB 為邏輯 1），當隨機存取記憶體 105 要在記憶單元 U(m,n)中寫入邏輯 1 時，就像前段所述，電壓 VVDD2 會降低，並在記憶單元 U(m,n)中降低電晶體 P2 的導通程度，也使節點 QB 的電壓經由閘道電晶體 T2 放電而降低，讓節點 QB 能更快地由邏輯 1 翻轉為邏輯 0。此外，電壓 VVSS1 則升高，降低電晶體 N1 的導通程度，也使節點 Q 的電壓升高，讓節點 Q 能更迅速地經由電晶體 P1 充電而由邏輯 0 翻轉為邏輯 1。在此同時，電壓 VVDD1 會正常地維持於工作電壓 VDD，協助電晶體 P1 正常導通而將節點 Q 提高至邏輯 1 的高電壓，同理，電壓 VVSS2 會正常地維

持於工作電壓  $V_{SS}$ ，使電晶體  $N1$  能正常導通而將節點  $QB$  拉低至邏輯 0 的低電壓。也就是說，經由本發明電源電路  $PC5(n)$  與  $PC5N(n)$  對電壓  $V_{VDD1}$ 、 $V_{VDD2}$ 、 $V_{VSS1}$  與  $V_{VSS2}$  的個別調控，本發明隨機存取記憶體 105 能有效提昇資料寫入的效能。

在隨機存取記憶體 105 中，電源電路  $PC5(n)$  與  $PC5N(n)$  可分別視為頭 (header) 電源電路與腳 (footer) 電源電路。第 9 圖中的電源電路  $PC5N(n)$  僅為本發明的一種實施例；其他種類的實施例可由第 3 圖、第 5 圖與第 7 圖的電源電路  $PC2(n)$ 、 $PC3(n)$  與  $PC4(n)$  類推。此外，第 3 圖、第 5 圖與第 7 圖中的隨機存取記憶體亦可比照隨機存取記憶體 105 的架構，以類似於電源電路  $PC5N(n)$  的電路來為同一直行各記憶單元中的電晶體  $N1$  與  $N2$  分別調控源極供電電壓。

請參考第 11 圖與第 12 圖；第 11 圖示意的是本發明隨機存取記憶體應用於五電晶體靜態記憶單元的一種實施例 106，第 12 圖示意的是隨機存取記憶體 106 運作的情形。本發明隨機存取記憶體 106 可以有複數個分列於複數個直行的記憶單元，第 11 圖中以第  $n$  個直行中的記憶單元  $U_f(m,n)$  與  $U_f(m',n)$  作為代表。類似於前述的六電晶體靜態記憶單元  $U(m,n)$ ，記憶單元  $U_f(m,n)$  中以電晶體  $P1$  與  $N1$ 、電晶體  $P2$  與  $N2$  分別形成兩反相器  $iv1$  與  $iv2$ ，並以節點  $Q$  與  $QB$  作為資料節點。不過，在隨機存取記憶體 106 中，同一直行各記憶單元  $U_f(m,n)$  與  $U_f(m',n)$  只經由單一條位元線  $BL(n)$  存取資料；故記憶單元  $U_f(m,n)$  (與  $U_f(m',n)$ )

也只有一個閘道電晶體 T1，其閘極耦接字元線 WL(m)，源極汲極耦接於節點 nb1 與 Q 之間，以根據字元線 WL(m) 的電壓決定是否將節點 Q 導通至位元線 BL(n)。

對五電晶體的記憶單元來說，由於節點 QB 上沒有反相位元線提供電壓控制，故在寫入運作中，需經由位元線 BL(n)寫入邏輯 1(使節點 Q 為邏輯 1，節點 QB 為邏輯 0)，是較為困難的。為了協助邏輯 1 的寫入，本發明隨機存取記憶體 106 會為第 n 個直行的各記憶單元設置電源電路 PC6(n)與 PC6N(n)。電源電路 PC6(n)中設有一電力開關 26 及一電力維持器 36，以在節點 np2 提供一電壓 VVDD2；節點 np2 會耦接至各記憶單元 Uf(m,n)與 Uf(m',n)的節點 ns2，使電壓 VVDD2 可為同一直行各記憶單元中的電晶體 P2 提供源極供電電壓。在電力開關 26 中，電晶體 M2 (譬如說是一 p 通道金氧半電晶體) 作為一電力電晶體，源極與汲極分別耦接工作電壓 VDD 與節點 np2。反相器 IVc 與反或閘 NR2 則形成一邏輯電路，使電晶體 M2 得以根據寫入控制訊號 WEB 與位元線 BL(n)的資料電壓決定是否將節點 np2 導通至工作電壓 VDD。電力維持器 36 可用一電晶體 M4 (如一 p 通道金氧半電晶體) 實現，其源極、閘極與汲極分別耦接工作電壓 VDD、工作電壓 VSS 與節點 np2。相較於電晶體 M2，電晶體 M4 可以是一個較弱的電晶體；當電晶體 M2 不導通時，節點 np2 會近似浮接使電壓 VVDD2 偏離工作電壓 VDD，而電晶體 M4 就會提供電流 I4 補償同一直行記憶單元由節點 np2 汲取的漏電流，使電壓 VVDD2 低於工作電壓 VDD，但不會過低，以維護同

一直行各記憶單元中的資料。

基於類似的技術精神，電源電路 PC6N(n)中設有電力開關 26c 與電力維持器 36c，以調控節點 nn1 的電壓 VVSS1。節點 nn1 會耦接至同一直行各記憶單元中的節點 ns3，使電壓 VVSS1 可為同一直行各記憶單元的電晶體 N1 提供源極供電電壓。電力開關 26c 中設有一電晶體 M5 (如  $n$  通道金氧半電晶體)，並以反及閘 ND1 與反相器 IVd 形成一邏輯電路。電晶體 M5 的汲極與源極分別耦接節點 nn1 與工作電壓 VSS，反及閘 ND1 將寫入控制訊號 WEB 的反相訊號和位元線 BL(n)的資料電壓作反及邏輯運算，電晶體 M5 即根據反及邏輯運算的結果控制節點 nn1 與工作電壓 VSS 間的導通。電力維持器 36c 可由一電晶體 M7 (如  $n$  通道金氧半電晶體) 實現，其汲極、閘極與源極分別耦接節點 nn1、工作電壓 VDD 與 VSS。相較於電晶體 M5，電晶體 M7 可以是一較弱的電晶體。當電晶體 M5 停止導通，節點 nn1 會近似浮接，使電壓 VVSS1 偏離工作電壓 VSS，而電晶體 M7 則可導通電流 I7 以汲取同一直行各記憶單元充至節點 nn1 的漏電流，使電壓 VVSS1 高於工作電壓 VSS，但不會過高，不影響同一直行記憶單元中的資料。

本發明隨機存取記憶體 106 的運作可簡介如下。當在讀取或待機模式時，寫入控制訊號 WEB 為邏輯 1 以代表不進行寫入。邏輯 1 寫入控制訊號 WEB 會使電晶體 M2 與 M5 導通，不論位元線 BL(n)為邏輯 0 或 1。因此，電源電路 PC6(n)與 PC6N(n)將電壓 VVDD2 與 VVSS1 分別維持

於工作電壓 VDD 與 VSS，使同一直行各記憶單元能獲得正常供電。

當要進行寫入時，寫入控制訊號 WEB 會改變為邏輯 0，而電源電路 PC6(n)與 PC6N(n)就會根據位元線 BL(n)的電壓分別調控電壓 VVDD2 與 VVSS1。當位元線 BL(n)為邏輯 0 而要在記憶單元 Uf(m,n)中寫入邏輯 0 時，電晶體 M2 與 M5 還是會正常導通，電壓 VVDD2 與 VVSS1 會正常地維持於工作電壓 VDD 與 VSS。相對地，當位元線 BL(n)為邏輯 1 以在記憶單元 Uf(m,n)中寫入邏輯 1 時，電晶體 M2 與 M5 都會停止導通；因此，節點 np2 與 nn1 皆近似浮接，使電壓 VVDD2 降低、電壓 VVSS1 升高。在記憶單元 Uf(m,n)中，降低的電壓 VVDD2 會弱化電晶體 P2 的導通程度，並降低節點 QB 的電壓，使節點 QB 更容易經由電晶體 N2 放電而轉為邏輯 0；升高的電壓 VVSS1 則弱化電晶體 N1 的導通程度，並提高節點 Q 的電壓，使節點 Q 更容易經由電晶體 P1 充電而轉為邏輯 1 以完成邏輯 1 的寫入。

延續第 11 圖的實施例，請參考第 13 圖與第 14 圖。第 13 圖示意的是本發明隨機存取記憶體的另一實施例 107，第 14 圖則示意隨機存取記憶體 107 的運作情形。類似於第 11 圖中的隨機存取記憶體 106，隨機存取記憶體 107 亦採用五電晶體的靜態記憶單元，並為第 n 直行設置一對應的電源電路 PC7(n)與 PC7N(n)。不過，隨機存取記憶體 106 的電源電路 PC6(n)與 PC6N(n)主要用以改善邏輯 1 的寫入，故電源電路 PC6(n)中僅設置一組電力開關與電力維持

器。為完整地使邏輯 0 與邏輯 1 的寫入均獲得改善，隨機存取記憶體 107 的電源電路 PC7(n)設有兩組電力開關與電力維持器。如第 13 圖所示，電源電路 PC7(n)中設有電力開關 27a、27b 與電力維持器 37a、37b。電力開關 27b 與電力維持器 37b 的基本架構與功能與第 11 圖的電力開關 26、電力維持器 36 相同。電力開關 27a、電力維持器 37a 則在節點 np1 調控電壓 VVDD1；此電壓 VVDD1 會在同一直行記憶單元的節點 ns1 為電晶體 P1 提供源極供電電壓。

在電力開關 27a 中設有一電晶體 M1 與一反或閘 NR1，電晶體 M1 與電晶體 M2 匹配；反或閘 NR1 則對寫入控制訊號 WEB 與位元線 BL(n)上的資料作反或邏輯運算，使電晶體 M1 可依據反或邏輯運算的結果決定是否將節點 np1 導通至工作電壓 VDD。電力維持器 37a 中的電晶體 M3 與電力維持器 37b 的電晶體 M4 相互匹配；當電晶體 M1 不導通時，電晶體 M3 提供電流 I3 以維持適當的電壓 VVDD1。

隨機存取記憶體 107 進行寫入運作的情形可描述如下。當要在記憶單元  $U_f(m,n)$  中寫入邏輯 1 時，邏輯 0 寫入控制訊號 WEB 與邏輯 1 位元線 BL(n)使電晶體 M1 導通，電晶體 M2 與 M5 則不導通。因此，電壓 VVDD2 降低、電壓 VVSS1 升高，電壓 VVDD1 則正常地維持為工作電壓 VDD。因此，在記憶單元  $U_f(m,n)$  中，電晶體 P2、N1 的導通程度減弱，而電晶體 P1 的導通能力則不受影響，能正常地將節點 Q 導通至邏輯 1。

相對地，當在記憶單元  $U_f(m,n)$  中寫入邏輯 0 時，位元

線 BL(n)的邏輯 0 使電晶體 M2 與 M5 導通，電晶體 M1 則關閉使節點 np1 近似浮接，電壓 VVDD1 下降，以在記憶單元 Uf(m,n)中弱化電晶體 P1 的導通程度，加速經由閘道電晶體 T1 放電降低節點 Q 的電壓，使邏輯 0 的寫入能進行地更為順利。如此，隨機存取記憶體 107 就能較為全面地改善邏輯 1 的寫入與邏輯 0 的寫入。

請參考第 15 圖與第 16 圖；第 15 圖為本發明隨機存取記憶體應用於雙埠八電晶體靜態記憶單元的一種實施例 108，第 16 圖示意隨機存取記憶體 108 的運作情形。隨機存取記憶體 108 中設有複數個排列於複數直行的記憶單元，第 15 圖中以第 n 個直行的記憶單元 Ue(m,n)與 Ue(m',n)作為代表。以記憶單元 Ue(m,n)為例，其係為雙埠靜態記憶單元，其中，電晶體 P1 與 N1 形成反相器 iv1、電晶體 P2 與 N2 形成另一反相器 iv2，此兩反相器 iv1 與 iv2 形成閃鎖架構，以在節點 Q 與 QB 儲存一位元的資料。記憶單元 Ue(m,n)的節點 nb1 與 nb2 可視為同一埠的兩差動位元端，分別耦接位元線 BL1(n)與反相的位元線 BLB1(n)；電晶體 T1 與 T2 這對閘道電晶體根據字元線 WL1(m)的電壓分別控制節點 Q 與 QB 是否能導通至位元線 BL1(n)與 BLB1(n)。同理，節點 nb3 與 nb4 為另一埠的兩差動位元端，分別耦接位元線 BL2(n)與 BLB2(n)，閘道電晶體 T3 與 T4 依據另一字元線 WL2(m)分別控制位元線 BL2(n)與 BLB2(n)對節點 Q 與 QB 的存取。利用八電晶體的記憶單元，隨機存取記憶體 108 可實現出一偶埠 (dual port) 的靜態隨機存取記憶體。



為增進八電晶體靜態記憶單元的寫入效能、改進寫入運作的特性，隨機存取記憶體 108 中會為各直行記憶單元設置對應的電源電路，第 15 圖中的電源電路 PC8(n)即對應於第 n 個直行的各記憶單元  $Ue(m,n)$ 與  $Ue(m',n)$ 。電源電路 PC8(n)中設有電力開關 28a、28b 與電力維持器 38a、38b，以調控節點 np1 與 np2 的電壓 VVDD1 與 VVDD2。節點 np1 與 np2 分別耦接至同一直行各記憶單元中的節點 ns1 與 ns2，使電壓 VVDD1 與 VVDD2 可分別作為電晶體 P1 與 P2 的源極供電電壓。電力開關 28a 中設有電晶體 M1 與反及閘 ND1；電晶體 M1（如一 p 通道金氧半電晶體）的源極與汲極分別耦接工作電壓 VDD 與節點 np1，反及閘 ND1 將位元線 BL1(n)與 BL2(n)的資料電壓作反及邏輯運算，電晶體 M1 則根據反及邏輯運算結果控制節點 np1 與工作電壓 VDD 間的導通。電力維持器 38a 可由電晶體 M3（如一 p 通道金氧半電晶體）實現；相較於電晶體 M1，電晶體 M3 是一個導通能力較弱的電晶體。當電晶體 M1 停止導通，節點 np1 近似浮接而使電壓 VVDD1 下降偏離工作電壓 VDD；電晶體 M3 導通的電流 I3 則可協助維持適當的電壓 VVDD1。對稱地，電力開關 28b 中設有電晶體 M2（可和電晶體 M1 匹配）與反及閘 ND2，以根據位元線 BLB1(n)與 BLB2(n)的反及邏輯運算結果控制節點 np2 與工作電壓 VDD 間的導通。電力維持器 38b 中的電晶體 M4 則可和電晶體 M3 匹配；當電晶體 M2 關閉而使節點 np2 近似浮接時，電晶體 M4 導通的電流 I4 可協助維持適當的電壓 VVDD2。

隨機存取記憶體 108 的運作情形可簡述如下。當隨機存取記憶體 108 運作於待機模式時，各位元線  $BL1(n)$ 、 $BL2(n)$ 、 $BLB1(n)$ 與  $BLB2(n)$ 皆為邏輯 1，電晶體  $M1$  與  $M2$  導通，使電壓  $VVDD1$  與  $VVDD2$  正常維持於工作電壓  $VDD$ 。於任何一對位元線  $BL1(n)/BLB1(n)$  或  $BL2(n)/BLB2(n)$ 進行寫入時，電源電路  $PC8(n)$ 的運作情形類似於第 3 圖中的電源電路  $PC2(n)$ 。

在進行寫入時，假設隨機存取記憶體 108 要經由位元線  $BL1(n)/BLB1(n)$ 這個埠來將邏輯 1 寫入至記憶單元  $Ue(m,n)$ ，故字元線  $WL1(m)$ 會導通電晶體  $T1$  與  $T2$ ，位元線  $BL1(n)$ 為邏輯 1，位元線  $BLB1(n)$ 為邏輯 0。邏輯 0 的位元線  $BLB1(n)$ 會關閉電晶體  $M2$ ，使節點  $np2$  近似浮接並降低電壓  $VVDD2$ ；在記憶單元  $Ue(m,n)$ 中，電晶體  $P2$  的導通程度會因此降低，節點  $QB$  的電壓也會下降，使節點  $QB$  更容易經由閘道電晶體  $T2$  放電而翻轉為邏輯 0。此外，邏輯 1 位元線  $BL1(n)$ 使電晶體  $M1$  導通，將電壓  $VVDD$  正常維持於工作電壓  $VDD$ ，使記憶單元  $Ue(m,n)$ 中的電晶體  $P1$  能順利地將節點  $Q$  導通至邏輯 1 的高電壓。

隨機存取記憶體 108 可運作於讀取模式以將記憶單元  $Ue(m,n)$ 中的資料讀出。在此模式下，位元線  $BL1(n)$ 、 $BLB1(n)$ 、 $BL2(n)$ 與  $BLB2(n)$ 會先被預充電至邏輯 1 的高電壓，然後字元線  $WL1(m)$ 與  $WL2(m)$ 會以邏輯 1 來導通記憶單元  $Ue(m,n)$ 中的電晶體  $T1$ 、 $T2$ 、 $T3$  與  $T2$ ，使位元線  $BL1(n)$  與  $BL2(n)$ 的電壓可追隨節點  $Q$  的電壓，而位元線  $BL1B(n)$  與  $BL2B(n)$ 的電壓可追隨節點  $QB$  的電壓。故第 16 圖中以

記號「x」代表邏輯上的隨意(don't care)。

隨機存取記憶體 108 僅為本發明應用於雙埠（多埠）記憶單元的一種實施例；電源電路 PC8(n)的其他種類實施例可由第 1 圖、第 5 圖與第 7 圖類推而得。此外，隨機存取記憶體 108 也可依據第 9 圖揭露的原理設置另一個腳電源電路，以為各記憶單元中的電晶體 N1 與 N2 提供電壓 VVSS1 與 VVSS2。

總結來說，如前面討論過的，現代隨機存取記憶體面臨讀取與寫入間的需求矛盾。若針對讀取需求進行優化（像是在記憶單元中採用較弱的閘道電晶體），寫入運作的效能與特性就會相對劣化。為兼顧寫入運作，本發明隨機存取記憶體係以各直行為基礎，依據位元線的資料來對同一直行各記憶單元中形成閃鎖架構的兩反相器分別進行供電的調控，可弱化記憶單元抵抗資料寫入（資料翻轉）的傾向，並維持/強化記憶單元接受/驅動資料寫入（資料翻轉）的傾向，以增進資料寫入的效能，改善寫入運作的特性（像是訊號雜訊邊界），也使本發明隨機存取記憶體能兼顧讀取與寫入的速度、效能與特性。

在某些習知技術中，會在寫入某一記憶單元時為對應字元線提供額外高電壓（高於邏輯 1 的電壓）以增加閘道電晶體的導通程度，但這會導致較為嚴重的半選擇干擾（half-select disturb）問題與穩定度（stability）疑慮；也就是說，對同一橫列、耦接同一字元線的其他記憶單元來說，其閘道電晶體的導通程度也會增加，容易使其所儲存的資料被錯誤地翻轉。相較之下，本發明在存取某一橫列

的記憶單元時不需額外提高字元線電壓，不會引發半選擇干擾問題。在另外的習知技術中，則會在進行寫入時統一對各記憶單元的兩反相器提供較弱的供電電壓；此種習知技術雖能弱化記憶單元抵抗資料寫入的傾向，但閃鎖電路的回饋機制也連帶被弱化，無法全面地改善資料寫入運作。而且，由於此習知技術要同時為記憶單元的兩反相器一併切換供電電壓，功耗較高，速度也較慢，完成切換的時間較長。相較之下，本發明係針對各記憶單元中的每一反相器各自進行供電電壓調控，故可更全面地增進寫入效能；而且本發明只需為一個反相器切換供電電壓，功耗可減為一半，切換速度也能加快。

某些習知技術會在記憶單元中增加額外的電晶體來為閃鎖架構的兩反相器進行供電電壓調控。不過，這將使記憶單元的布局面積增加，不利於布局集積度的提昇。另外，由於同一直行的每個記憶單元中都需設置額外的電晶體，故會大幅增加位元線的長度與負載，使位元線的響應速度降低，對資料讀取與寫入都有不利的影響。相較於此種習知技術，本發明不需改變記憶單元的基本架構，不會在記憶單元中增設額外的電晶體，同一直行記憶單元共用同一電源電路，故對位元線負載、運作效能、布局面積及總閘數（gate count）的影響都很小。此外，由於本發明係依據位元線資料的時序進行供電電壓調控，故不需額外的時序控制，亦可抵抗製程、溫度及/或電壓漂移所引發的各種電路特性變異。

綜上所述，雖然本發明已以較佳實施例揭露如上，然

其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

第 1 圖與第 2 圖分別示意本發明隨機存取記憶體的一種實施例與其運作情形。

第 3 圖與第 4 圖分別示意本發明隨機存取記憶體另一實施例與其運作情形。

第 5 圖與第 6 圖分別示意本發明隨機存取記憶體又一實施例與其運作情形。

第 7 圖與第 8 圖分別示意本發明隨機存取記憶體再一實施例與其運作情形。

第 9 圖與第 10 圖分別示意本發明隨機存取記憶體另一實施例與其運作情形。

第 11 圖與第 12 圖分別示意本發明隨機存取記憶體又一實施例與其運作情形。

第 13 圖與第 14 圖分別示意本發明隨機存取記憶體再一實施例與其運作情形。

第 15 圖與第 16 圖分別示意本發明隨機存取記憶體另一實施例與其運作情形。

### 【主要元件符號說明】

101-108	隨機存取記憶體	
U(m,n)-U(m',n')、Uf(m,n)-Uf(m',n)、Ue(m,n)-Ue(m',n)	記 憶 單 元	
21a-25a、21b-25b、25c-25d、26、26c、27a-27c、28a-28b	電 力 開 關	
31a-35a、31b-35b、35c-35d、36、36c、37a-37c、38a-38b	電 力 保 持 器	
PC1(n)-PC8(n)、PC1(n')、PC5N(n)-PC7N(n)	電 源 電 路	
BL(n)、BLB(n)、BL(n')、BLB(n')、BL1(n)-BL2(n)、 BLB1(n)-BLB2(n)	位 元 線	
WL(m)、WL(m')、WL1(m)-WL2(m)、WL1(m')-WL2(m')	字 元 線	
WEB、WE	寫 入 控 制 訊 號	
VDD、VSS	工 作 電 壓	
VVDD1、VVDD2、VVSS1、VVSS2	電 壓	
M1-M8、N1-N2、P1-P2、T1-T4、NM1-NM4	電 晶 體	
NR1-NR2	反 或 閘	
ND1-ND2	反 及 閘	
iv1-iv2、IVa-IVd	反 相 器	
I3-I4、I7-I8	電 流	
nb1-nb4、ns1-ns4、np1-np2、Q、QB、nn1-nn2	節 點	



## 七、申請專利範圍：

### 1. 一種隨機存取記憶體，其包含有：

複數個排列為一直行(column)的記憶單元，各記憶單元設有一第一電力端、一第二電力端與一位元端，該複數個記憶單元的位元端均耦接至同一位元線，而每一記憶單元包含有：

一第一反相器，具有一電源端、一輸入端與一輸出端，分別耦接該第一電力端、一第二資料節點與一第一資料節點；

一第二反相器，具有一電源端、一輸入端與一輸出端，分別耦接該第二電力端、該第一資料節點與該第二資料節點；以及

一閘道電晶體，一端耦接該位元端，另一端耦接該第二資料節點與該第一資料節點的其中之一；以及一電源電路，設有一供電端，耦接該複數個記憶單元的第一電力端；該電源電路包含有：

一電力開關，耦接該位元線與該供電端，以根據該位元線上的電壓決定是否要將該供電端導通至一工作電壓。

### 2. 如申請專利範圍第 1 項的隨機存取記憶體，其中該電源電路另包含有：

一電力維持器，耦接該供電端；當該電力開關未將該供電端導通至該工作電壓時，該電力維持器於該供電端提供一電流。

3. 如申請專利範圍第 1 項的隨機存取記憶體，其中該電力開關包含有：

一電力電晶體，具有一閘極與兩連接端，分別耦接該位元線、該工作電壓與該供電端。

4. 如申請專利範圍第 3 項的隨機存取記憶體，其中該電力開關另包含有：

一邏輯電路，耦接於該閘極與該位元線之間；該邏輯電路將該位元線的電壓與一寫入控制訊號進行邏輯運算，而該電力電晶體係根據該邏輯電路的運算結果決定是否將該供電端導通至該工作電壓。

5. 如申請專利範圍第 1 項的隨機存取記憶體，其中，每一記憶單元中的閘道電晶體係耦接於該第一資料節點與該位元端之間，而每一記憶單元另設有一第二位元端，並另包含有一第二閘道電晶體，耦接於該第二資料節點與該第二位元端之間；該複數個記憶單元的第二位元端均耦接至一第二位元線；該電源電路另設有一第二供電端，耦接該複數個記憶單元的第二電力端，而該電源電路另包含有：

一第二電力開關，耦接該第二位元線與該第二供電端，以根據該第二位元線上的電壓決定是否要將該第二供電端導通至該工作電壓。

6. 如申請專利範圍第 1 項的隨機存取記憶體，其中，該複數個記憶單元中的每一記憶單元另設有一第三電力端與一第四電力端；每一記憶單元中的第一反相器另設有一第二電源端，耦接該第三電力端；每一記憶單元中的第二反相器另設有一第二電源端，耦接該第四電力端；而該隨機存



取記憶體另包含有：

一第二電源電路，設有一供電端，耦接該複數個記憶單元的第四電力端；

而該第二電源電路包含有：

一第二電力開關，耦接該位元線與該第二電源電路的供電端，以根據該位元線上的電壓決定是否要將該第二電源電路的供電端導通至一第二工作電壓；其中該第二工作電壓與該工作電壓相異。

7. 如申請專利範圍第6項的隨機存取記憶體，其中該第二電源電路另包含有：

一第二電力維持器，耦接至該第二電源電路的供電端；當該第二電力開關未將第二電源電路的供電端導通至該第二工作電壓時，該第二電力維持器於該第二電源電路的供電端提供一電流。

8. 如申請專利範圍第1項的隨機存取記憶體，其中，每一記憶單元中的閘道電晶體係耦接於該第一資料節點與該位元端之間，而每一記憶單元另設有一第二位元端、一第三電力端與一第四電力端，並另包含有一第二閘道電晶體，耦接於該第二資料節點與該第二位元端之間；而每一記憶單元中的第一反相器另設有一第二電源端，耦接該第三電力端；每一記憶單元中的第二反相器另設有一第二電源端，耦接該第四電力端；該複數個記憶單元的第二位元端均耦接至一第二位元線；而該隨機存取記憶體另包含有：

一第二電源電路，設有一供電端，耦接該複數個記憶單元的第四電力端；

而該第二電源電路包含有：

一第二電力開關，耦接該第二位元線與該第二電源電路的供電端，以根據該第二位元線上的電壓決定是否要將該第二電源電路的供電端導通至一第二工作電壓；其中該第二工作電壓與該工作電壓相異。

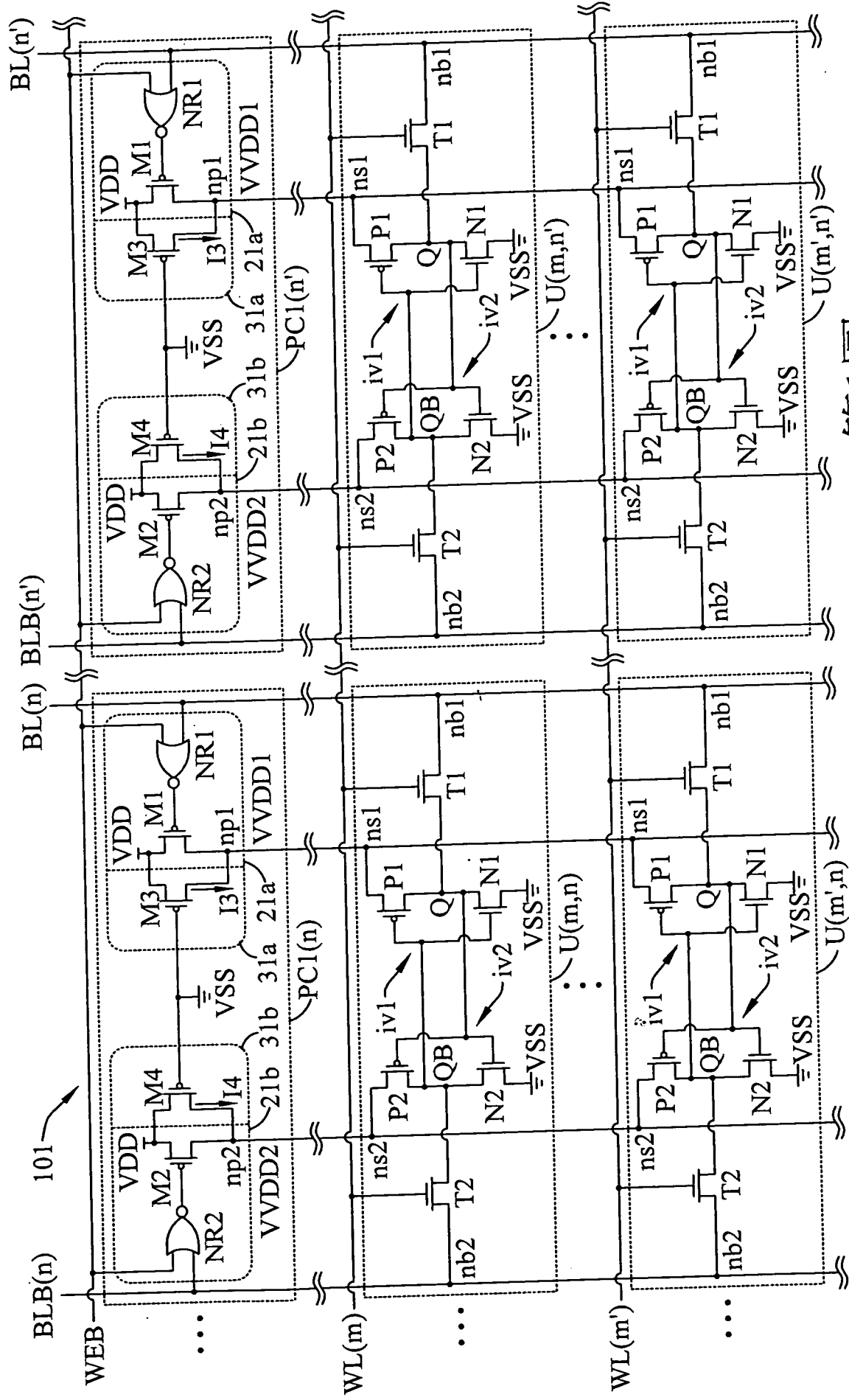
9. 如申請專利範圍第 1 項的隨機存取記憶體，其中，每一記憶單元中的閘道電晶體係耦接於該第一資料節點與該位元端之間，而每一記憶單元另設有一第二位元端與一第二閘道電晶體，該第二閘道電晶體耦接於該第一資料節點與該第二位元端之間；該複數個記憶單元的第二位元端均耦接至一第二位元線，而該電源電路中的電力開關係依據該位元線的電壓與該第二位元線的電壓決定是否將該工作電壓導通至該供電端。

10. 如申請專利範圍第 9 項的隨機存取記憶體，其中，該電力開關中包含有：

一電力電晶體，具有一閘極與兩連接端，該兩連接端分別耦接該工作電壓與該供電端；

一邏輯電路，耦接於該電力電晶體的閘極、該位元線與該第二位元線之間；該邏輯電路將該位元線的電壓與該第二位元線的電壓進行邏輯運算，而該電力電晶體係根據該邏輯電路的運算結果決定是否將該供電端導通至該工作電壓。

八、圖式：

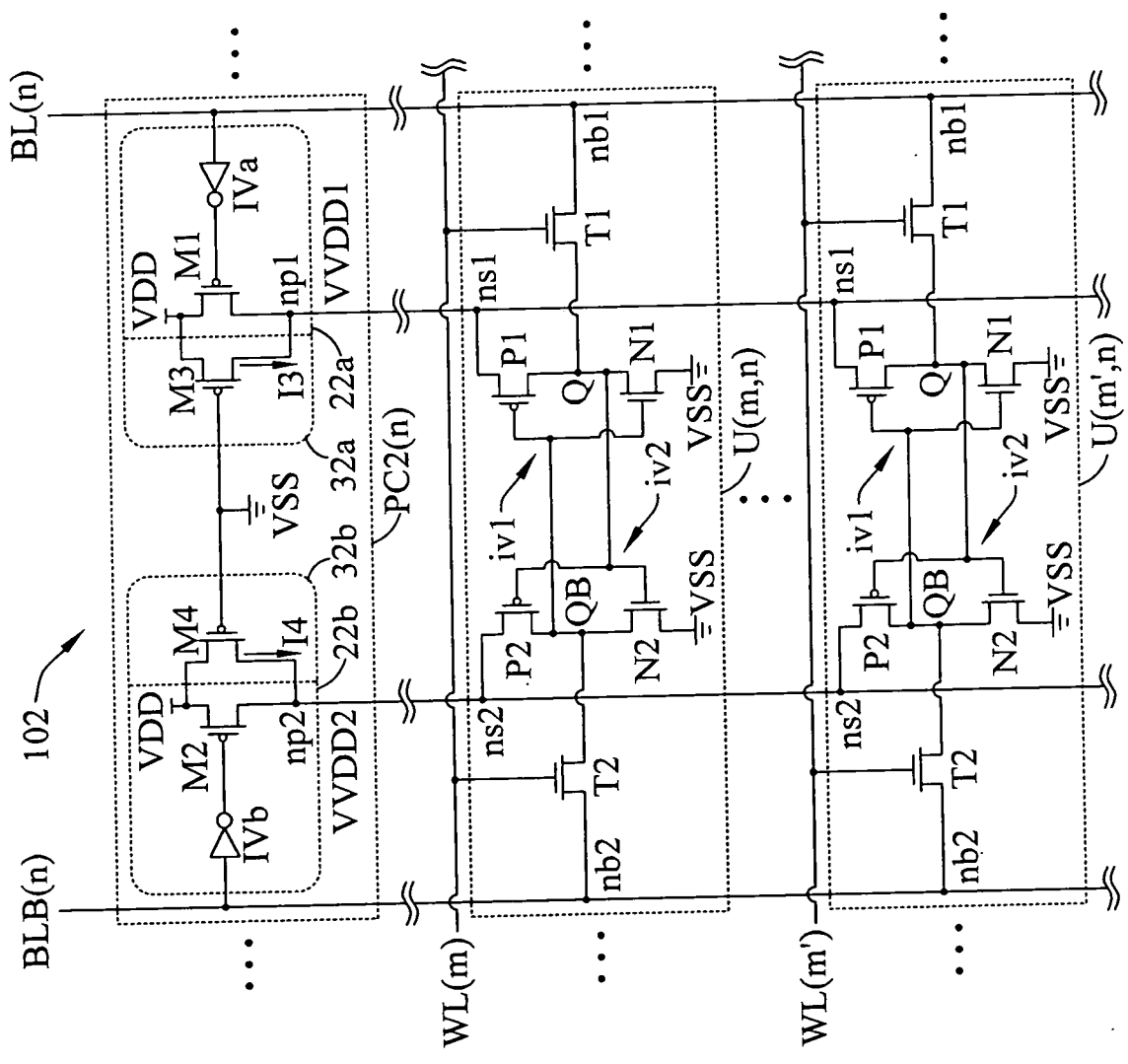


第1圖

	standby	read	write "1"	write "0"
WEB	1	1	0	0
BL(n)	1	x	1	0
BLB(n)	1	x	0	1
WL(m)	0	1	1	1
WL(m')	0	0	0	0
VVDD1	VDD	VDD	VDD	<VDD
VVDD2	VDD	VDD	<VDD	VDD
M1	on	on	on	off
M2	on	on	off	on

第2圖

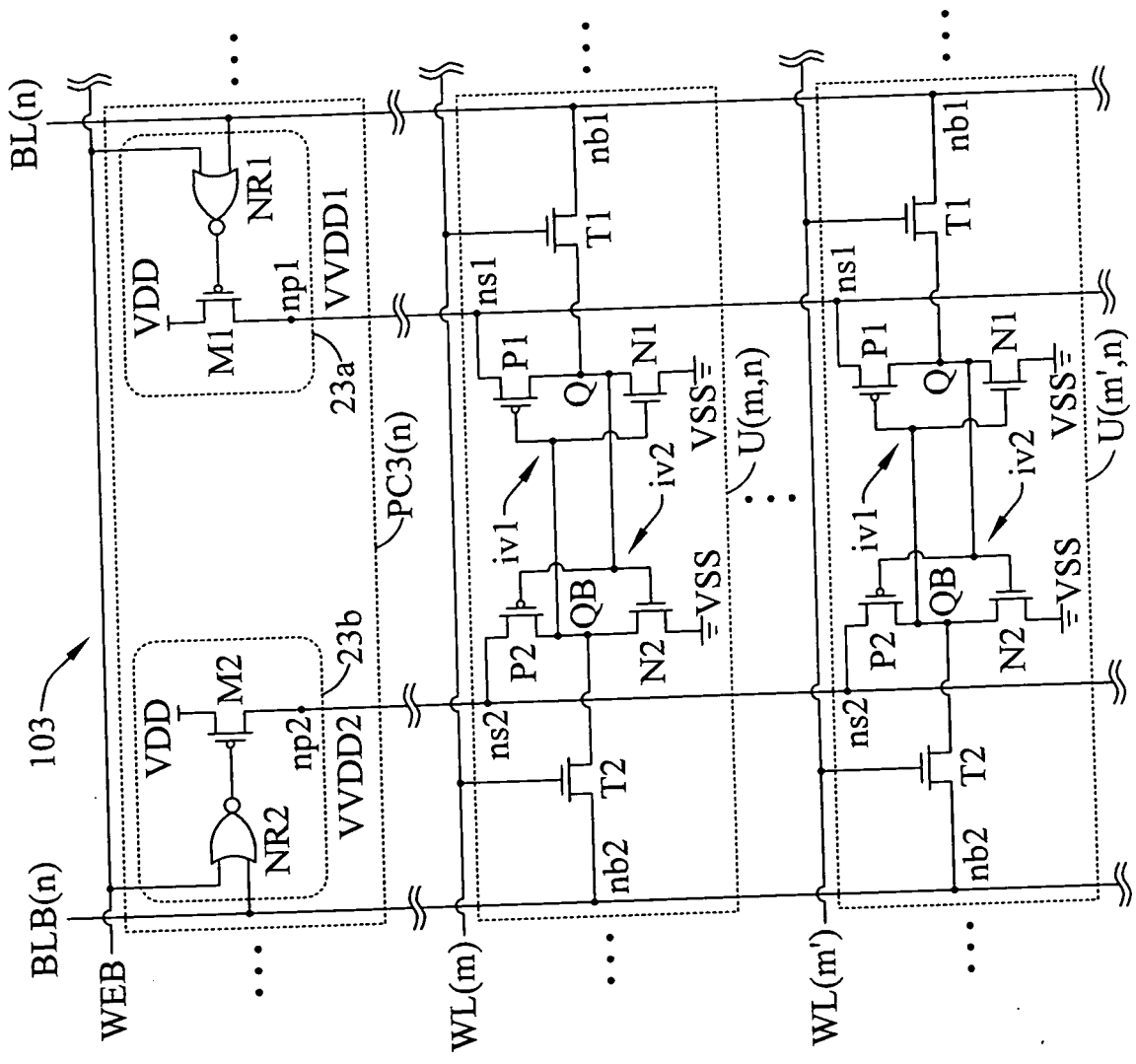




第3圖

	standby	read "1"	read "0"	write "1"	write "0"
BL(n)	1	x	x	1	0
BLB(n)	1	x	x	0	1
WL(m)	0	1	1	1	1
VVDD1	VDD	VDD	<VDD	VDD	<VDD
VVDD2	VDD	<VDD	VDD	<VDD	VDD

第4圖



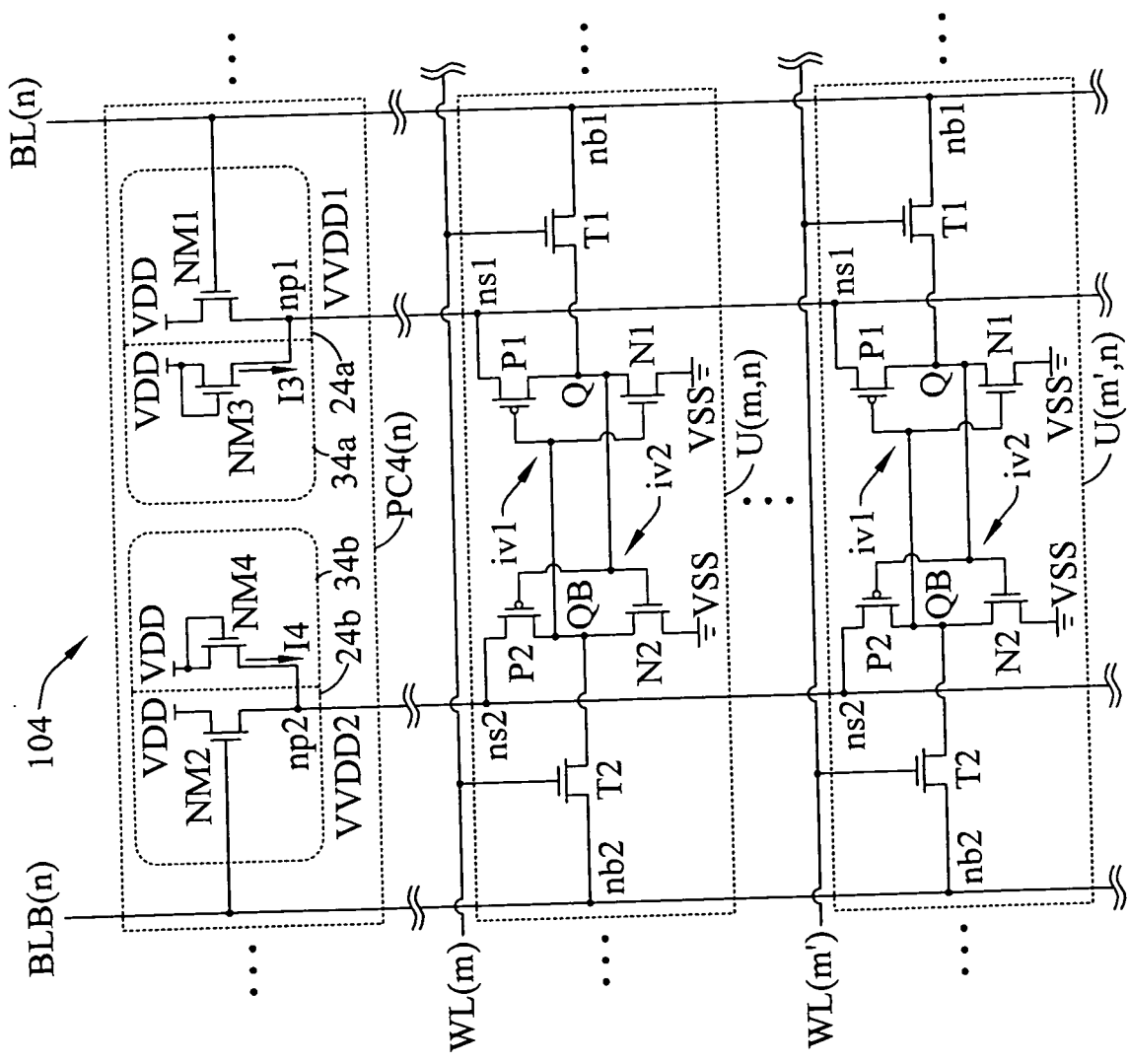
第5圖

	standby	read	write "1"	write "0"
WEB	1	1	0	0
BL(n)	1	x	1	0
BLB(n)	1	x	0	1
WL(m)	0	1	1	1
VVDD1	VDD	VDD	VDD	<VDD
VVDD2	VDD	VDD	<VDD	VDD

第6圖





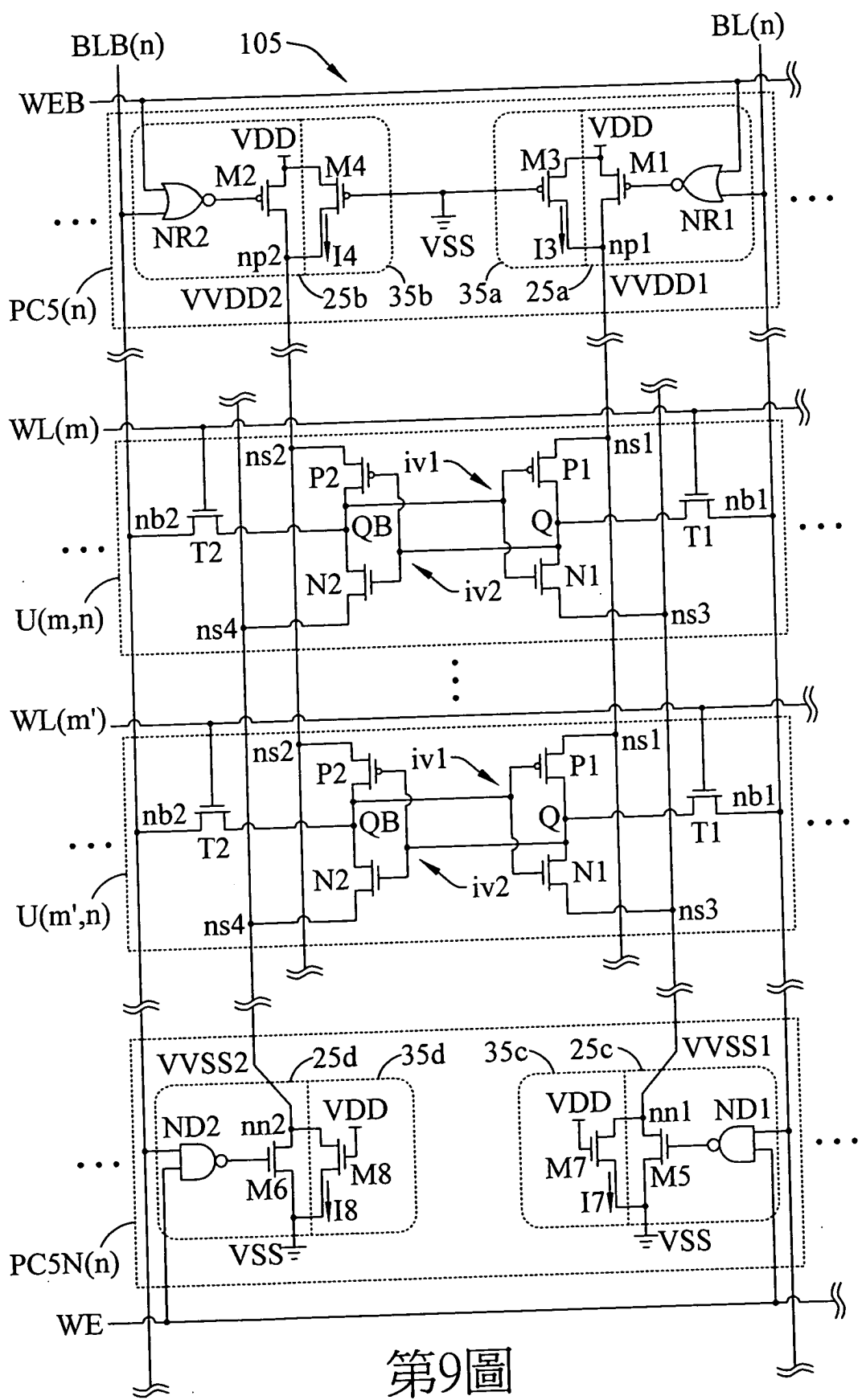


第7圖

	standby	read "1"	read "0"	write "1"	write "0"
BL(n)	1	x	x	1	0
BLB(n)	1	x	x	0	1
WL(m)	0	1	1	1	1
VVDD1	VDD	VDD	<VDD	VDD	<VDD
VVDD2	VDD	<VDD	VDD	<VDD	VDD

第8圖

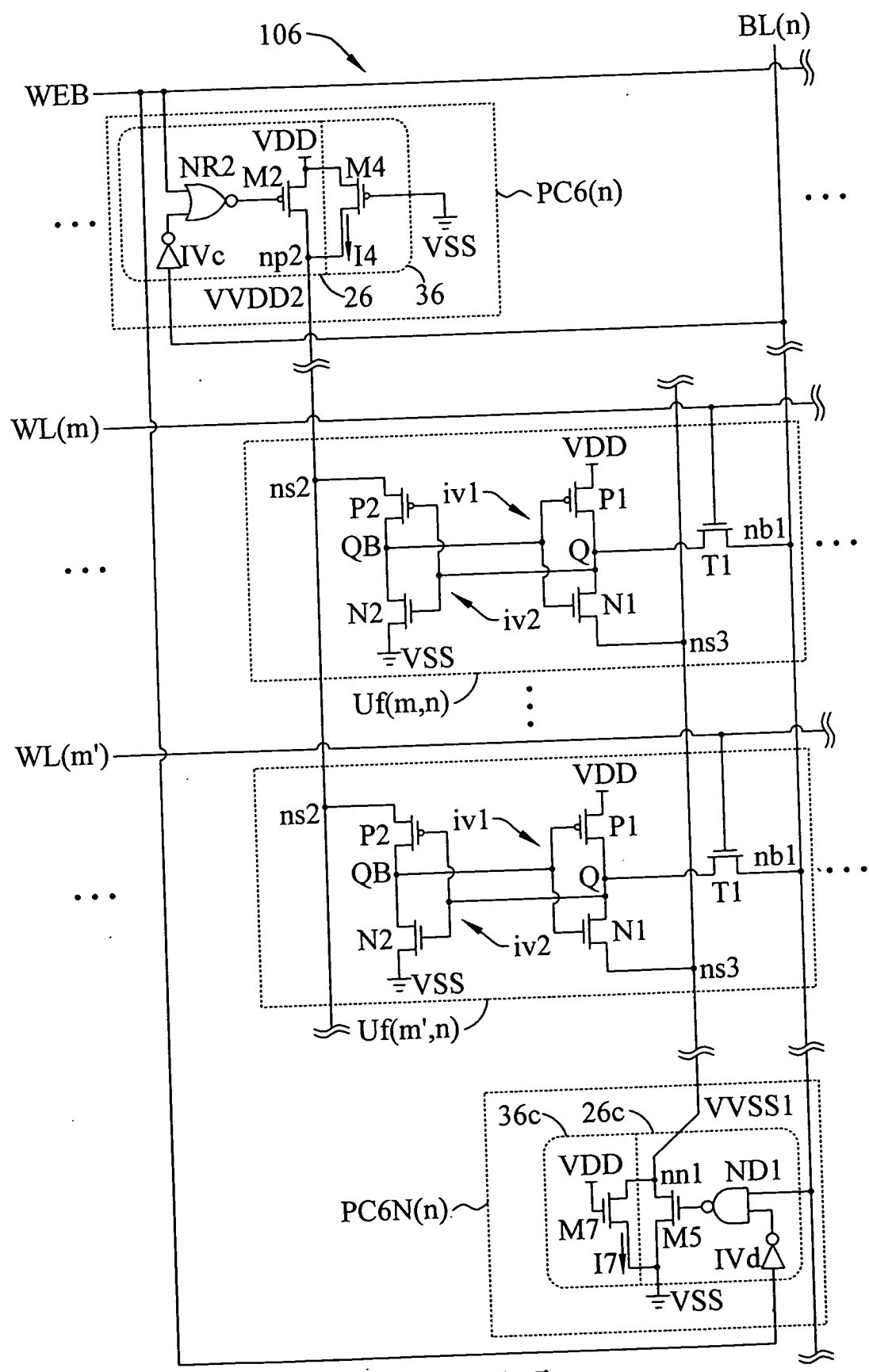




第9圖

	standby	read	write "1"	write "0"
WE	0	0	1	1
WEB	1	1	0	0
BL(n)	1	x	1	0
BLB(n)	1	x	0	1
WL(m)	0	1	1	1
VVDD1	VDD	VDD	VDD	<VDD
VVDD2	VDD	VDD	<VDD	VDD
VVSS1	VSS	VSS	>VSS	VSS
VVSS2	VSS	VSS	VSS	>VSS

第10圖

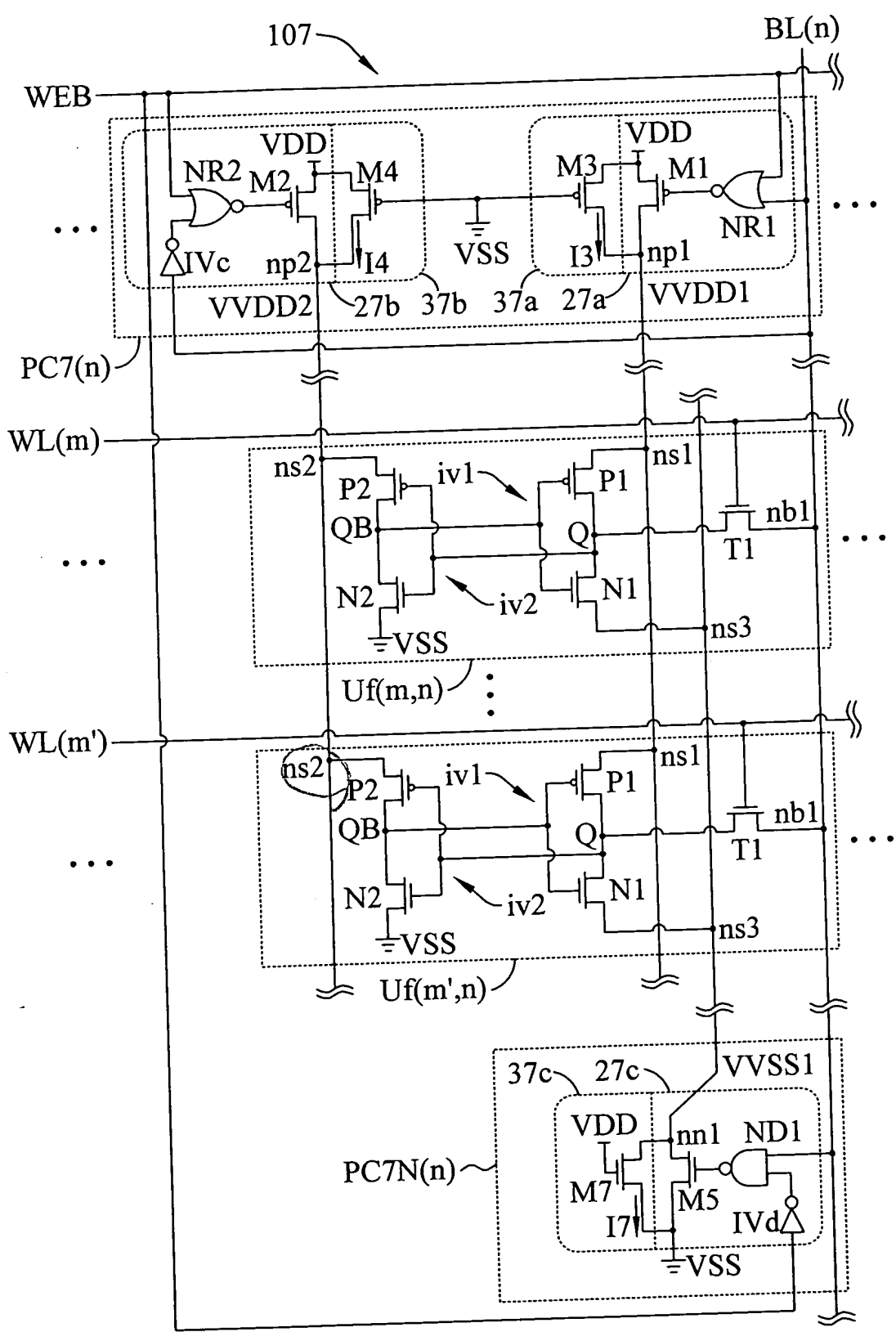


第11圖

	standby	read	write "1"	write "0"
WEB	1	1	0	0
BL(n)	1	x	1	0
WL(m)	0	1	1	1
VVDD2	VDD	VDD	<VDD	VDD
VVSS1	VSS	VSS	>VSS	VSS

第12圖



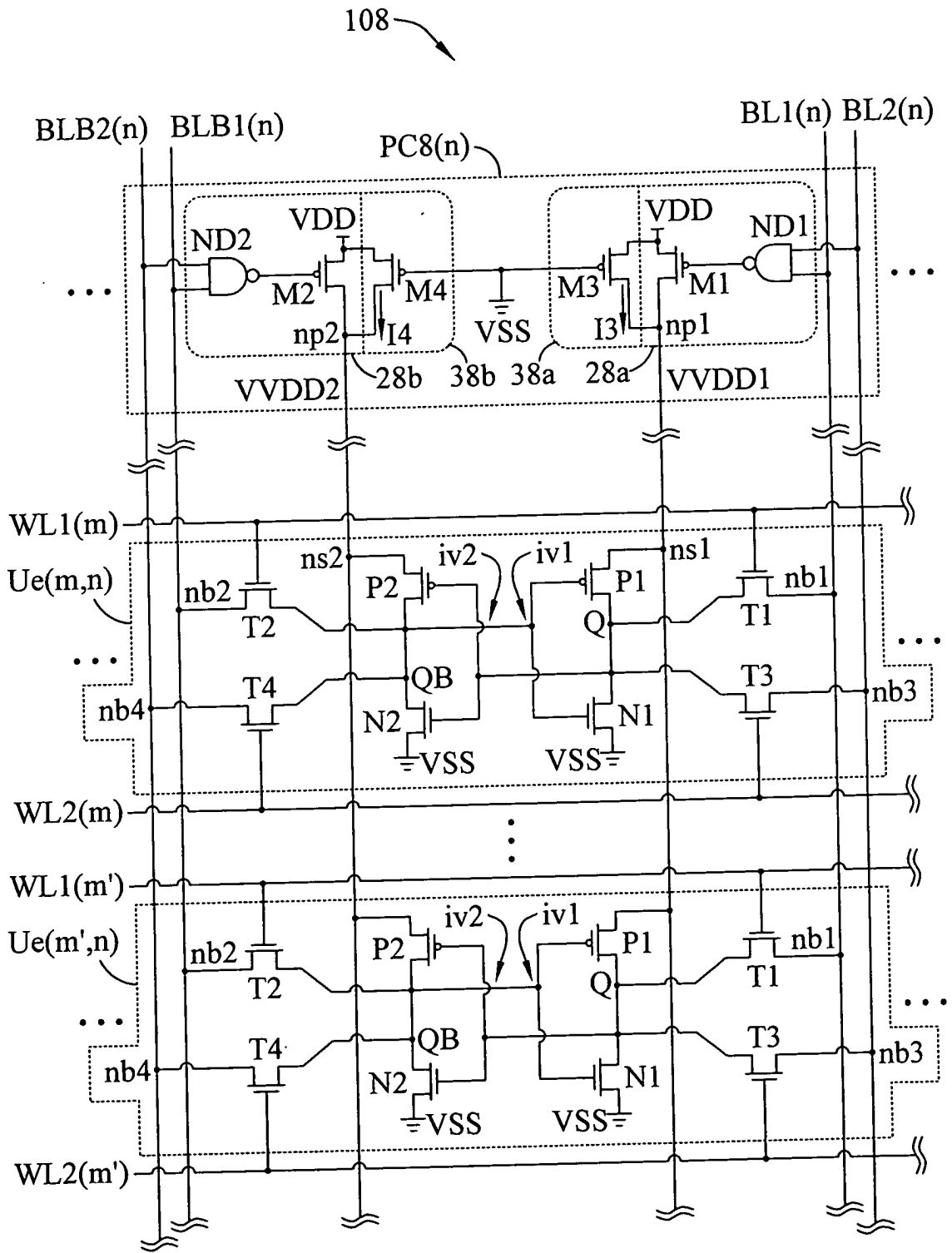


第13圖

	standby	read	write "1"	write "0"
WEB	1	1	0	0
BL(n)	1	x	1	0
WL(m)	0	1	1	1
VVDD1	VDD	VDD	VDD	<VDD
VVDD2	VDD	VDD	<VDD	VDD
VVSS1	VSS	VSS	>VSS	VSS

第14圖





第15圖

	standby	read	write "1"	write "0"
BL1(n)	1	x	1	0
BLB1(n)	1	x	0	1
WL1(m)	0	1	1	1
BL2(n)	1	x	1	0
BLB2(n)	1	x	0	1
WL2(m)	0	1	1	1
VVDD1	VDD	VDD	VDD	<VDD
VVDD2	VDD	VDD	<VDD	VDD

第16圖