



(21)申請案號：100118678

(22)申請日：中華民國 100 (2011) 年 05 月 27 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L27/092 (2006.01)

H01L21/8228(2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：劉柏村 LIU, PO TSUN (TW)；鄒一德 CHOU, YI TEH (TW)；鄧立峯 TENG, LI FENG (TW)；傅洽翔 FUH, CHUR SHYANG (TW)；謝漢萍 SHIEH, HAN PING (TW)

(74)代理人：林坤成；劉紀盛；謝金原

(56)參考文獻：

TW 550789

US 2009/0134389A1

審查人員：黃鼎富

申請專利範圍項數：8 項 圖式數：5 共 19 頁

(54)名稱

一種高輸出增益電晶體元件

HIGH-GAIN COMPLEMENTARY INVERTER WITH AMBIPOLAR THIN FILM TRANSISTORS AND FABRICATION THEREOF

(57)摘要

一種高輸出增益電晶體元件，係包含有一閘極層、一二氧化矽層、一第一主動層、一第一源極、一第一汲極、一第二主動層、一第二源極以及一第二汲極，以降低製作成本及製程複雜度。

A high gain complementary inverter with ambipolar thin film transistors and fabrication thereof, comprising: a gate layer, a silica layer, a first active layer, a first source, a first drain, a second active layer, a second source and a second drain for fabrication cost and complexity reduction.

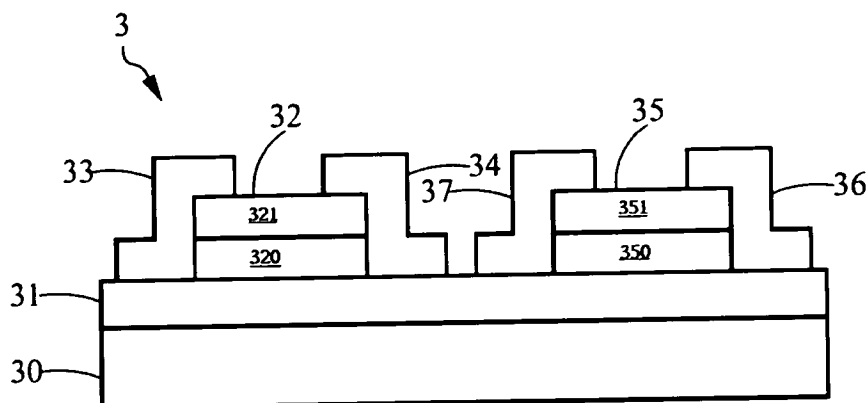


圖 三 A

3 . . . 高輸出增益之
雙極性薄膜電晶體型
互補反向器裝置接

30 . . . 閘極

31 . . . 二氧化矽層

32 . . . 第一主動層

320 . . . 第一 n 型半
導體薄膜

321 . . . 第一 p 型半
導體薄膜

33 . . . 第一源極

34 . . . 第一汲極

35 . . . 第二主動層

350 . . . 第二 n 型半
導體薄膜

351 . . . 第二 p 型半
導體薄膜

36 . . . 第二源極

37 . . . 第二汲極

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100118618

※申請日：100.5.27

※IPC 分類：

H01L 29/786 (2006.01)

H01L 27/092 (2006.01)

H01L 21/8228 (2006.01)

一、發明名稱：(中文/英文)

一種高輸出增益電晶體元件

High-gain complementary inverter with ambipolar thin film transistors and fabrication thereof

二、中文發明摘要：

一種高輸出增益電晶體元件，係包含有一閘極層、一二氧化矽層、一第一主動層、一第一源極、一第一汲極、一第二主動層、一第二源極以及一第二汲極，以降低製作成本及製程複雜度。

三、英文發明摘要：

A high gain complementary inverter with ambipolar thin film transistors and fabrication thereof, comprising: a gate layer, a silica layer, a first active layer, a first source, a first drain, a second active layer, a second source and a second drain for fabrication cost and complexity reduction.

四、指定代表圖：

(一)本案指定代表圖為：第(三A)圖。

(二)本代表圖之元件符號簡單說明：

3-高輸出增益之雙極性薄膜電晶體型互補反向器裝置接

30-閘極

31-二氧化矽層

32-第一主動層

320-第一 n 型半導體薄膜

321-第一 p 型半導體薄膜

33-第一源極

34-第一汲極

35-第二主動層

350-第二 n 型半導體薄膜

351-第二 p 型半導體薄膜

36-第二源極

37-第二汲極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

一種雙極性薄膜電晶體型互補反向器裝置，特別是一種使用雙極性薄膜電晶體製作而成之反向器裝置，係用於半導體與光電產業，例如：平面顯示器。

【先前技術】

隨著平面顯示器技術的蓬勃發展，薄膜電晶體(Thin Film Transistor, TFT)元件的應用獲得極大的重視。使用薄膜型元件取代外接式積體電路組，以完成製作各種功能型電路於顯示面板上的系統整合面板(System on Panel, SoP)技術被廣泛地發展來達成產品輕、薄、低成本與高製造良率的目標。

在整合型系統面板技術中，許多的功能電路都需要由薄膜電晶體元件組成的單元電路構成，例如：相位反轉器(或稱反向器)、邏輯閘與記憶體電路等。相位反轉器是許多電子電路系統中的關鍵電路單元。目前常見到的薄膜型相位反轉器的電路單元是由一顆 p 型通道與另一顆 n 型通道的薄膜電晶體所組成。當高的訊號(1)由輸入端輸入時，n 型通道半導體電晶體便會開通，使其輸出得到低的訊號(0)，反之，低的訊號(0)輸入，則 p 型通道半導體電晶體會開通，而輸出得到高的訊號(1)。就反相器電路的功能而言，若是 n 型或 p 型單一通道的薄膜電晶體元件其載子傳輸效率低落，則會導致整體反向器的輸出增益下降；或是 p 型或 n 型單一元件的特性較差，例如起始電壓較大，亦

將會導致反相器電路的操作電壓過大等。因此，由單一 p 型通道薄膜電晶體與 n 型通道薄膜電晶體所組成的傳統反向器電路，就必須透過不同的製程與不同元件尺寸的設計來達成較優化的電路特性表現。但是，此舉將增加電路製程的繁雜性與製作成本。此外，傳統上製作於玻璃基板或顯示面板上的薄膜型半導體元件所使用的主動層材料大多為無機類的非晶矽(amorphous Si)或複晶矽(polycrystalline Si)材質。由於非晶矽薄膜的載子移動率低、操作電壓大、電特性不穩定，而複晶矽薄膜的製作成本高、製程複雜、元件均勻性較差以及製程複雜、不易大面積化生產，使得系統面板整合技術的進展受到極大的挑戰。

【發明內容】

習知技術中，製作於玻璃基板或顯示面板上的薄膜型半導體元件所使用的主動層材料大多為無機類的非晶矽或複晶矽材質，但非晶矽薄膜的載子移動率低、操作電壓大、電特性不穩定，而複晶矽薄膜的製作成本高、製程複雜、元件均勻性較差。為了解決前述問題，在一實施例中，本發明提出一種雙極性薄膜電晶體，係包含：

一閘極層，其材料可為金屬或矽（本實施例採用低電阻係數的矽），除此之外亦可以為金屬導體，如鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)或相關合金；

一二氧化矽層，係形成於該閘極層上；

一主動層，係形成於該二氧化矽層上，其係由一 n 型半導體薄膜及一 p 型半導體薄膜堆疊而成；

一源極，係形成於該閘極層上，與該主動層之一側邊相接；

一汲極，係形成於該閘極層上，與該主動層之另一側邊相接，並與該源極相對。

在另一實施例中，本發明提出一種高輸出增益電晶體元件，其包含有：

一閘極層，其材料可為金屬或矽（本實施例採用低電阻係數的矽），除此之外亦可以為金屬導體，如鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)或相關合金其材料；

一二氧化矽層，係形成於該閘極層上；

一第一主動層，係形成於該二氧化矽層上，其係由一第一 n 型半導體薄膜及一第一 p 型半導體薄膜堆疊而成；

一第一源極，係形成於該閘極層上，與該第一主動層之一側邊相接；

一第一汲極，係形成於該閘極層上，與該第一主動層之另一側邊相接，並與該第一源極相對；

一第二主動層，係形成於該二氧化矽層上，其係由一第二 n 型半導體薄膜及一第二 p 型半導體薄膜堆疊而成；

一第二源極，係形成於該閘極層上，與該第二主動層之一側邊相接；

一第二汲極，係形成於該閘極層上，與該第二主動層之另一側邊相接，並與該第二源極相對。

【實施方式】

以下將參照隨附之圖式來描述本發明為達成目的所使用的技術手段與功效，而以下圖式所列舉之實施例僅為輔助說明，以利 貴審查委員瞭解，但本案之技術手段並不限於所列舉圖式。

再請參閱圖一所示，係為一種雙極性薄膜電晶體 1，係包含：

一閘極層 10，其材料係為低電阻矽數的矽(Si)，除此之外亦可以為金屬導體，如鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)或相關合金；

一二氧化矽層 11，係形成於該閘極層 10 上；

一主動層 12，係形成於該二氧化矽層 11 上，其係由一 n 型半導體薄膜 120 及一 p 型半導體薄膜 121 堆疊而成，該主動層 12 由於同時具有 n 型與 p 型薄膜，因此，可利用電子或電洞兩種載子進行傳輸，其中，該 n 型半導體薄膜 120 材料係為非晶態氧化物半導體，例如：非晶態銦鎵鋅氧化物(a-IGZO)、非晶態銦鋅氧化物(a-IZO)、非晶態鋁鋅錫氧化物(a-AZTO)、非晶態鈣銦鋅氧化物(a-HIZO)、非晶態鈣銦鋅氧化物(a-SIZO)、非晶態錫鋅氧化物(a-ZTO)、非晶態鋯錫鋅氧化物(a-ZrZTO)等；該 p 型半導體薄膜 121 材料係為五環素(pentacene)或 P3HT(3-己基噻吩的聚合物)；

一源極 13，係形成於該閘極層 10 上，與該主動層 12 之一側邊相接；

一汲極 14，係形成於該閘極層 10 上，與該主動層 12 之另一側邊相接，並與該源極 13 相對。

再請參閱圖二 A 所示，藉由熱退火(post thermal annealing)技術處理該 n 型半導體薄膜 120，改變其非晶態銦銻鋅氧化物之電子濃度，圖二 A 所示即為分別經三種不同熱退火溫度處理後之特性曲線。熱退火製程可以進一步改善操作電壓及載子移動率，由圖二 A 中可發現，隨熱退火溫度之上升，可明顯降低 n 型半導體薄膜 120 元件行為之操作電壓，亦即可藉由改變熱退火溫度之方式，以改變 n 型半導體薄膜 120 之載子濃度，進一步達成控制操作電壓之目的，其中，溫度範圍可為攝氏 150 度到 650 度之間，而本實施例中係為攝氏 250 度到 400 度。

再請參閱圖二 B、圖二 C 及圖二 D 所示，由圖二 B 及圖二 C 可證明本發明所提出之雙極性薄膜電晶體具備雙載子導通之能力。

再請參閱圖三 A 所示，一種高輸出增益電晶體元件 3，係包含有：

一閘極層 30，其材料係為矽(Si)，除此之外亦可以為金屬導體，如鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)或相關合金；

一二氧化矽層 31，係形成於該閘極層 10 上；

一第一主動層 32，係形成於該二氧化矽層 31 上，其係由一第一 n 型半導體薄膜 320 及一第一 p 型半導體薄膜 321 堆疊而成，該第一主動層 32 由於同時具有 n 型與 p 型薄膜，因此，可利用電子或電洞兩種載子進行傳輸，其中，該第一 n 型半導體薄膜 320 材料係為非晶態氧化物半導體，例如：非晶態銦銻鋅氧化物(a-IGZO)、非晶態銦鋅氧化物(a-IZO)、非晶態鋁鋅錫氧化物(a-AZTO)、非晶態鈣銦

鋅氧化物(a-HIZO)、非晶態鈿錮鋅氧化物(a-SIZO)、非晶態錫鋅氧化物(a-ZTO)、非晶態鋳錫鋅氧化物(a-ZrZTO)等；該第一 p 型半導體薄膜 321 材料係為五環素(pentacene)或 P3HT(3-己基噻吩的聚合物)；

一第一源極 33，係形成於該閘極層 30 上，與該第一主動層 32 之一側邊相接；

一第一汲極 34，係形成於該閘極層 30 上，與該第一主動層 32 之另一側邊相接，並與該第一源極 33 相對；

一第二主動層 35，係形成於該二氧化矽層 31 上，其係由一第二 n 型半導體薄膜 350 及一第二 p 型半導體薄膜 351 堆疊而成，該第二主動層 35 由於同時具有 n 型與 p 型薄膜，因此，可利用電子或電洞兩種載子進行傳輸，其中，該第二 n 型半導體薄膜 350 材料係為非晶態氧化物半導體，例如：非晶態銦鎵鋅氧化物(a-IGZO)、非晶態銦鋅氧化物(a-IZO)、非晶態鋁鋅錫氧化物(a-AZTO)、非晶態鈐銦鋅氧化物(a-HIZO)、非晶態鈿錮鋅氧化物(a-SIZO)、非晶態錫鋅氧化物(a-ZTO)、非晶態鋳錫鋅氧化物(a-ZrZTO)等；該第二 p 型半導體薄膜 351 材料係為五環素(pentacene)或 P3HT(3-己基噻吩的聚合物)；

一第二源極 36，係形成於該閘極層 30 上，與該第二主動層 35 之一側邊相接；

一第二汲極 37，係形成於該閘極層 30 上，與該第二主動層 35 之另一側邊相接，並與該第二源極 36 相對。

再請參閱圖三 B 所示，係為一種高輸出增益電晶體元件接線示意圖，其中，該第一源極 33 接 V_{DD} ，該第二汲極

37 接地，該閘極 30 為訊號 V_{in} 之輸入端，而該第一汲極 33 及該第二源極 36 短路並為訊號 V_{out} 之輸出端，其等效電路如圖三 C 所示。

惟以上所述者，僅為本發明之實施例而已，當不能以之限定本發明所實施之範圍。即大凡依本發明權利要求所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。

【圖式簡單說明】

圖一係為一種雙極性薄膜電晶體示意圖

圖二 A 係為雙極性薄膜電晶體分別經三種不同熱退火溫度處理後之特性曲線圖

圖二 B 係為雙極性薄膜電晶體操作於 n 通道之輸出特性曲線

圖二 C 係為雙極性薄膜電晶體操作於 p 通道之輸出特性曲線

圖三 A 係為一種高輸出增益電晶體元件示意圖

圖三 B 係為一種高輸出增益電晶體元件接線示意圖

圖三 C 係為一種高輸出增益電晶體元件接線等效電路圖

圖四係為一種高輸出增益電晶體元件雙極性薄膜電晶體操作於第一及第三象限之操作電壓及增益表

圖五 A 係為一種高輸出增益電晶體元件操作於第一象限(閘極電壓 >0)之輸出增益圖

圖五 B 係為一種高輸出增益電晶體元件操作於第一象限(閘極電壓 <0)之輸出增

【主要元件符號說明】

1-雙極性薄膜電晶體

10-閘極

11-二氧化矽層

12-主動層

120-n 型半導體薄膜

121-p 型半導體薄膜

13-源極

14-汲極

3-高輸出增益之雙極性薄膜電晶體型互補反向器裝置接

30-閘極

31-二氧化矽層

32-第一主動層

320-第一 n 型半導體薄膜

321-第一 p 型半導體薄膜

33-第一源極

34-第一汲極

35-第二主動層

350-第二 n 型半導體薄膜

351-第二 p 型半導體薄膜

36-第二源極

37-第二汲極

七、申請專利範圍：

1. 一種雙極性薄膜電晶體，係包含：

一閘極層，其材料係為低電阻係數的矽或金屬導體；

一二氧化矽層，係形成於該閘極層上；

一主動層，係形成於該二氧化矽層上，其係由一 n 型半導體薄膜及一 p 型半導體薄膜堆疊而成；

一源極，係形成於該閘極層上，與該主動層之一側邊相接；

一汲極，係形成於該閘極層上，與該主動層之另一側邊相接，並與該源極相對；

其中，該 n 型半導體薄膜之材料係為非晶態鋁鋅錫氧化物(a-AZTO)或非晶態鉛銻鋅氧化物(a-HIZO)或非晶態鈞銻鋅氧化物(a-SIZO)或非晶態錫鋅氧化物(a-ZTO)或非晶態鋳錫鋅氧化物(a-ZrZTO)；

其中，可藉由改變熱退火溫度，以改變該 n 型半導體薄膜之載子濃度，進一步控制操作電壓，其中，溫度之範圍為攝氏 150 度到 650 度之間。

2. 如申請專利範圍第 1 項所述之一種雙極性薄膜電晶體，其中，該閘極層可以為鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)或相關合金；

3. 如申請專利範圍第 1 項所述之一種雙極性薄膜電晶體，其中，該 n 型半導體薄膜之材料係為非晶態氧化物半導體。

4. 如申請專利範圍第 1 項或第 2 項或第 3 項所述之一種雙

極性薄膜電晶體，其中，該 p 型半導體薄膜之材料係為五環素(pentacene)或 P3HT(3-己基噻吩的聚合物)。

5. 一種高輸出增益電晶體元件，其包含有：

一閘極層，其材料係為低電阻係數的矽或金屬導體；

一二氧化矽層，係形成於該閘極層上；

一第一主動層，係形成於該二氧化矽層上，其係由一第一 n 型半導體薄膜及一第一 p 型半導體薄膜堆疊而成；

一第一源極，係形成於該閘極層上，該第一主動層之一側邊；

一第一汲極，係形成於該閘極層上，該第一主動層之另一側邊，並與該第一源極相對；

一第二主動層，係形成於該二氧化矽層上，其係由一第二 n 型半導體薄膜及一第二 p 型半導體薄膜堆疊而成；

一第二源極，係形成於該閘極層上，該第二主動層之一側邊；

一第二汲極，係形成於該閘極層上，該第二主動層之另一側邊，並與該第二源極相對；

其中，該第一 n 型半導體薄膜、以及第二 n 型半導體薄膜之材料係為非晶態鋁鋅錫氧化物(a-AZTO)或非晶態鈐銻鋅氧化物(a-HIZO)或非晶態鈐銻鋅氧化物(a-SIZO)或非晶態錫鋅氧化物(a-ZTO)或非晶態鋇錫鋅氧化物(a-ZrZTO)；

其中，可藉由改變熱退火溫度，以改變該第一 n 型半導體薄膜、以及第二 n 型半導體薄膜之載子濃度，進一步

控制操作電壓，其中，溫度之範圍為攝氏 150 度到 650 度之間。

6. 如申請專利範圍第 5 項所述之一種雙極性薄膜電晶體，其中，該閘極層可以為鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)或相關合金。
7. 如申請專利範圍第 5 項所述之一種高輸出增益電晶體元件，其中，該第一 n 型半導體薄膜及該第二 n 型半導體薄膜之材料係為非晶態氧化物半導體。
8. 如申請專利範圍第 5 項或第 6 項或第 7 項所述之一種高輸出增益電晶體元件，其中，該第一 p 型半導體薄膜及該第二 p 型半導體薄膜之材料係為五環素(pentacene)或 P3HT(3-己基噻吩的聚合物)。

八、圖式：

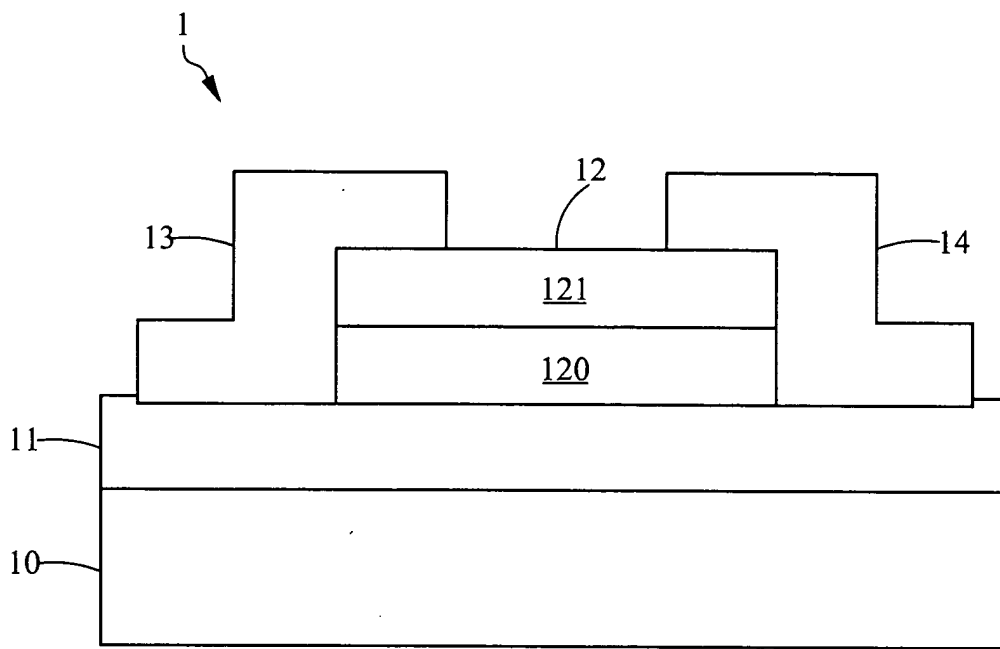


圖 一

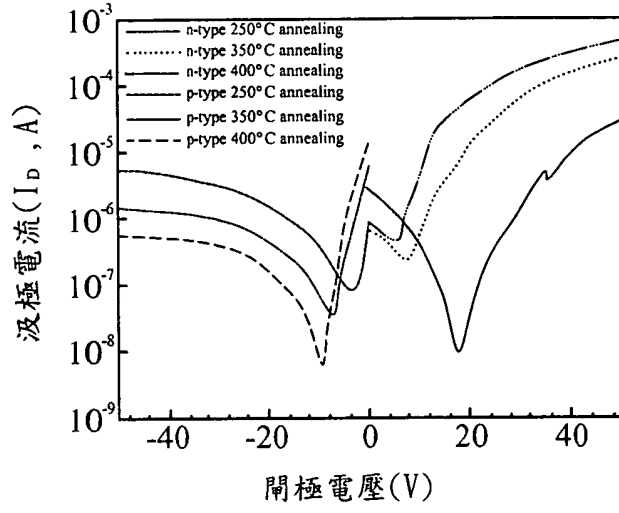


圖 二 A

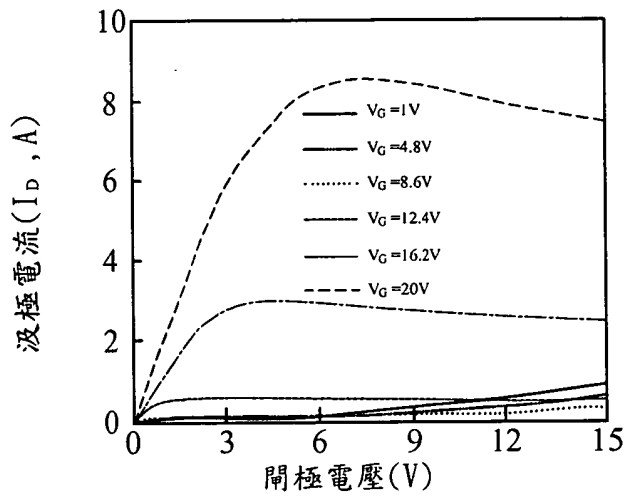


圖 二 B

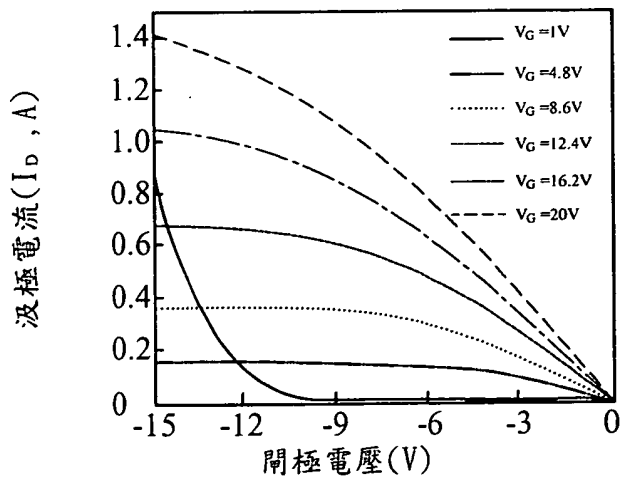


圖 二 C

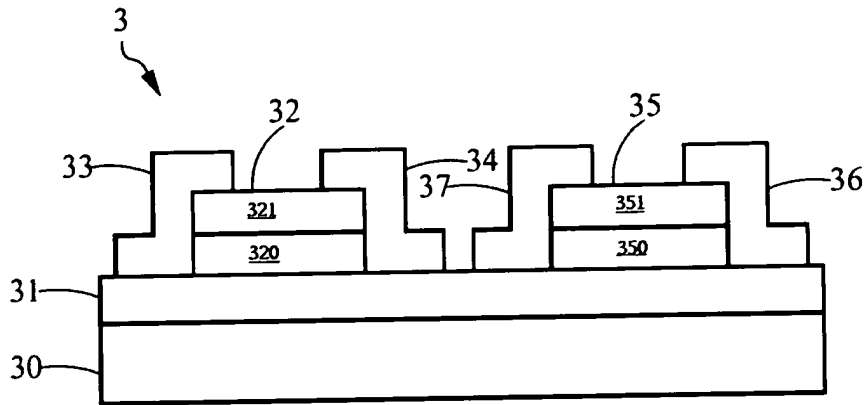


圖 三 A

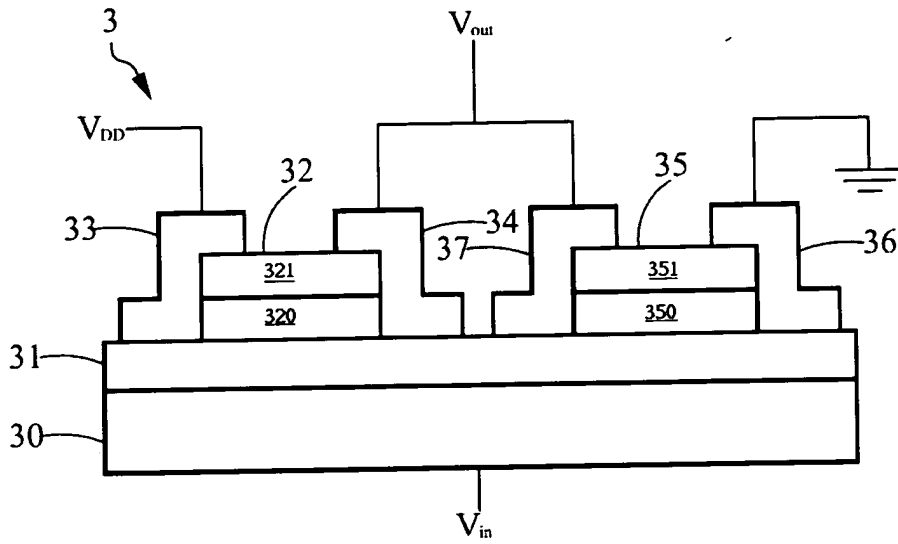


圖 三 B

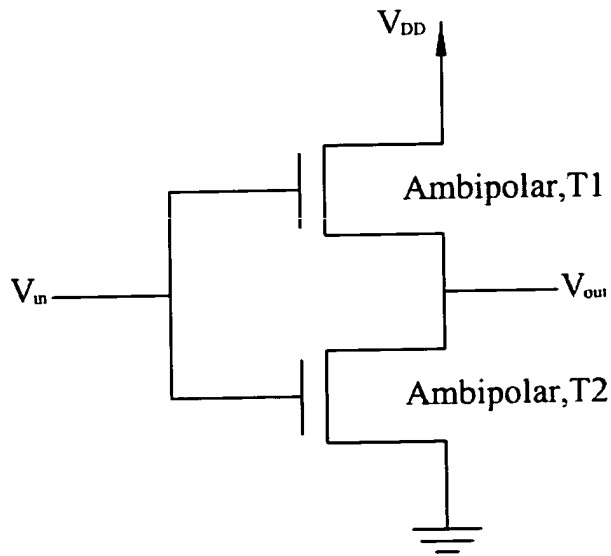


圖 三 C

	250°C	350°C	400°C
第一象限增益	62	58	65
第一象限操作電壓(V)	35.5	13.5	9
第三象限增益	55.74	73.1	55.5
第一象限操作電壓(V)	-6.5	-29	-39

圖 四

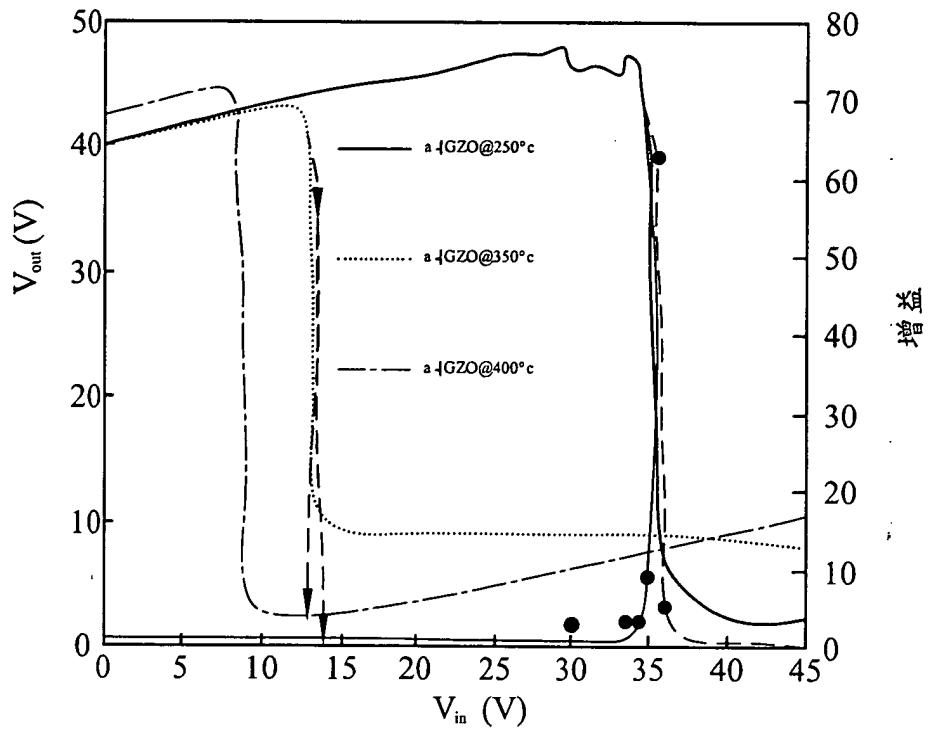


圖 五 A

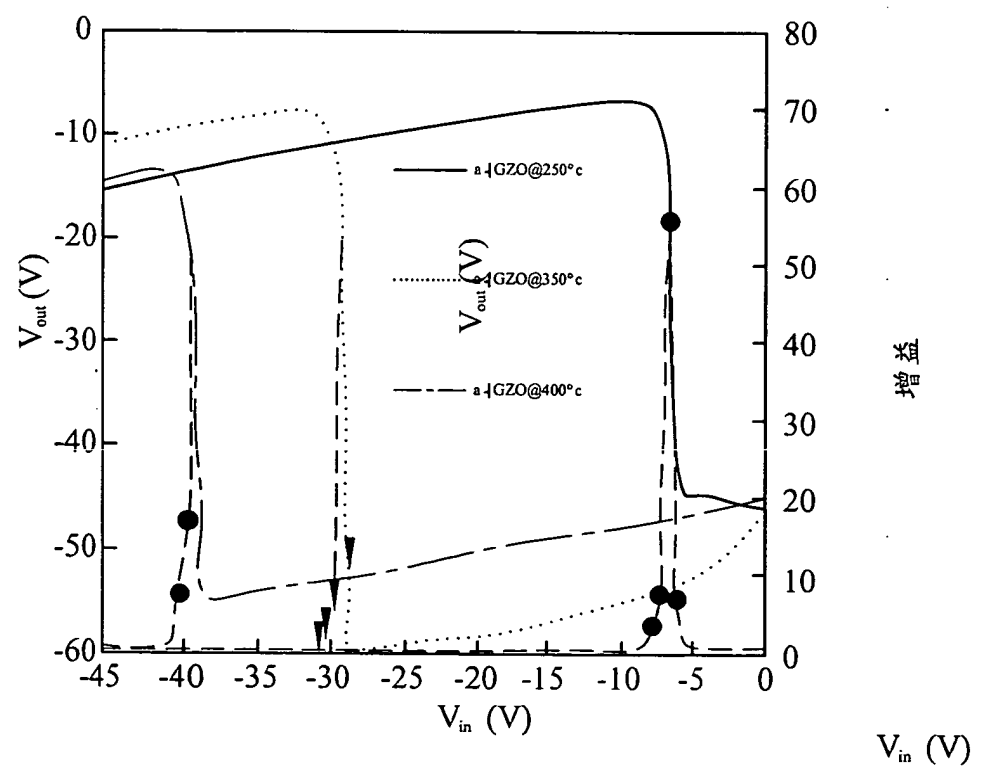


圖 五 B