

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96120733

※ 申請日期：96.6.8

※IPC 分類：

H03H 9/19

(2006.01)

一、發明名稱：(中文/英文)

採用低電壓元件之混合電壓石英振盪電路/ MIXED-VOLTAGE CRYSTAL
OSCILLATOR CIRCUIT WITH LOW-VOLTAGE DEVICES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/ National Chiao Tung University

代表人：(中文/英文) 吳重雨/ WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

300 新竹市大學路 1001 號/

No.1001, Dasyue Rd., Hsinchu City 300, Taiwan (R.O.C.)

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 柯明道/ KER, MING-DOU

2. 廖宏泰/ LIAO, HUNG-TAI

國 籍：(中文/英文)

1. 中華民國/TW

2. 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭露一種採用低電壓元件之混合電壓石英振盪電路。該混合電壓石英振盪電路包含一輸入接點、一輸出接點、一反相器、一 N 型電晶體及一 P 型電晶體。該輸入接點係用以接收一外部時脈信號。該反相器具有一輸入端和一輸出端。該 N 型電晶體之閘極係電連接至一參考電壓源，其汲極和源極則分別連接至該輸入接點及該反相器之輸入端。該 P 型電晶體之閘極係電連接至該反相器之輸出端，其汲極和源極則分別連接至該反相器之輸入端及該參考電壓源。該外部時脈信號之一高邏輯準位可高於該參考電壓源所提供之一參考電壓。

六、英文發明摘要：

The invention discloses a mixed-voltage crystal oscillator circuit realized with low-voltage devices. The mixed-voltage crystal oscillator circuit includes an input pad, an output pad, an inverter, an N-type transistor, and a P-type transistor. The input pad is used for receiving an external clock signal. The inverter has an input terminal and an output terminal. The gate of the N-type transistor is connected to a reference voltage source. The drain and source of the N-type transistor are respectively connected to the input pad and the input terminal of the inverter. The gate of the P-type transistor is connected to the output terminal of the inverter. The drain and source of the P-type transistor are respectively connected to the input of the inverter and the reference voltage source. The high logic level of the external clock signal is capable of being higher than the reference voltage provided by the reference voltage source.

七、指定代表圖：

(一)本案指定代表圖為：第(五)圖。

(二)本代表圖之元件符號簡單說明：

XI：輸入接點

XO：輸出接點

XC：信號接點

10：混合電壓石英振盪電路

11、12：NAND 邏輯閘

TRAN1~TRAN4：傳輸閘

MN1~MN7：N 型電晶體

MP2~MP7：P 型電晶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種混合電壓石英振盪電路，並且特別地，係關於一種以低電壓元件設計之混合電壓石英振盪電路。

【先前技術】

隨著近年來積體電路技術不斷地進步，CMOS 電晶體元件之尺寸逐漸縮小至奈米等級，而 CMOS 電晶體元件之電源供應電壓亦隨之降低。較低的電源供應電壓可以有效降低電晶體元件的消耗功率。然而，某些較早期之電子元件仍採用較高的供應電壓。當這些較低電源供應電壓之電晶體元件與其他具有較高工作電壓之電子元件連結時，就必須利用一混合電壓電路作為高低電壓元件間之界面電路。目前混合電壓電路所遭遇之最大問題在於混合電壓電路會造成電晶體元件之閘極氧化層可靠度變差。

石英振盪器是目前精確度和穩定度最高的振盪器，被廣泛應用於數位積體電路所組成的電子系統中。傳統的石英振盪電路係在一輸出接點(output pad)與一輸入接點(input pad)之間連接一石英晶體以振盪產生穩定的時脈訊號。在某些應用中，該時脈訊號係直接由外部時脈來源所提供，並透過輸入接點傳送至晶片。由於可能會造成閘極氧化層可靠度(gate-oxide reliability)變差及熱載子劣化(hot-carrier degradation)之問題，因此傳統上供應電壓為 VDD 之 CMOS 電晶體元件的石英振盪電路並不適合接收電壓準位超過 VDD 之外部時脈訊號。

請參照圖一，圖一係繪示傳統之 Pierce 型石英振盪電路的電路圖。如圖一所示，該電路包含一反相放大器及一頻率選擇性回饋路徑。該反相放大器通常係製作在晶片中，並係用以提供一電壓增益及 180 度之相位位移。該頻率選擇性回饋路徑則是在晶片

之外。該石英晶體結合電容 C1 及 C2 以形成一回饋網絡。該回饋網絡可用以穩定頻率並提供該回饋路徑 180 度之相位位移。一回饋電阻 Rf 係用來提供該反相放大器一偏壓。該偏壓約為電源供應電壓之一半，藉此令該反相放大器被操作於高增益線性區中。在穩定狀態中，該電路具有總共約 360 度之相位位移，以滿足維持振盪的條件。另一個起振及維持振盪的條件則為令該電路之封閉迴路增益大於或等於一。

請參照圖二，圖二係繪示石英晶體之等效電路。R 係代表該石英晶體之一等效串聯電阻。L 係代表該石英晶體之一動態電感 (motional inductance)。Cs 係代表該石英晶體之一電容。Cp 則為電極導致之一寄生分流電容。在平行共振模式下，該石英晶體對該電路而言具有電感的性質。在共振頻率下，該石英晶體之作用則接近於一低電阻。

請參照圖三，圖三係繪示該石英晶體之電抗-頻率圖。當該石英晶體被操作於串聯共振模式下，該石英晶體之性質接近一純電阻。該石英晶體之串聯共振頻率係以方程式 1 表示：

$$f_s = \frac{1}{2\pi\sqrt{LC_s}} \quad \text{(方程式 1)}$$

當該石英晶體被操作於平行共振模式時，該石英晶體之性質接近一電感。在此模式下，操作頻率係由該石英晶體之負載所決定，並且該振盪頻率係以方程式 2 表示：

$$f_a = \frac{1}{2\pi\sqrt{L\frac{C_L C_P}{C_L + C_P}}} \quad \text{(方程式 2)}$$

其中之 C_L 可由方程式 3 表示：

$$C_L = \frac{C1 * C2}{C1 + C2} + C_{stray} \quad \text{(方程式 3)}$$

其中之 C_{stray} 係印刷電路板上之雜散電容(stray capacitance)。

請參照圖四，圖四係繪示傳統上以 $1xVDD$ 元件設計之一石英晶體振盪電路的電路圖。如圖四所示，當該石英晶體振盪電路係使用於一混合電壓界面時，該電路即遭遇到閘極氧化層可靠度變差的問題。當訊號 EN 之電壓被維持於 VDD 且在輸入接點 XI 之外部輸入時脈訊號被提升至 $2xVDD$ 。該電路之 PMOS 及 NMOS 的閘極氧化層均會遭受輸入電壓過高之問題。為了避免閘極氧化層可靠度之問題，閘極氧化層承受較高電壓之電晶體元件可被置換為具有較厚閘極氧化層之元件以改善此現象。然而，在同一晶片上若同時具有閘極氧化層厚度不同之電晶體元件，將增加電晶體元件之製程成本。

因此，本發明提出一種以低電壓元件設計之混合電壓石英振盪電路，以解決上述問題。

【發明內容】

根據本發明之一具體實施例為一採用低電壓元件之混合電壓石英振盪電路。該混合電壓石英振盪電路包含一輸入接點、一輸出接點、一第一反相器、一 N 型電晶體及一 P 型電晶體。該輸入接點能用以接收一外部時脈信號。該第一反相器具有一第一輸入端和一第一輸出端。該第一輸出端係電連接至該輸出接點。該 N 型電晶體具有一第一閘極、一第一汲極和一第一源極。該第一閘極係電連接至一參考電壓源。該第一汲極係電連接至該輸入接點。該第一源極係電連接至該第一輸入端。該 P 型電晶體具有一第二閘極、一第二汲極和一第二源極。該第二閘極係電連接至該第一輸出端。該第二汲極係電連接至該第一輸入端。該第二源極係電連接至該參考電壓源。其中該外部時脈信號之一高邏輯準位係高於該參考電壓源所提供之一參考電壓。該第一反相器係由低電壓元件組成，並且該 N 型電晶體及該 P 型電晶體皆為低電壓元件。

相較於先前技術，根據本發明之該混合電壓石英振盪電路可完全以低電壓元件設計而成，不僅可節省晶片之製作成本，同時也不會有閘極氧化層可靠度劣化之問題，此外亦不會對該電路之振盪特性造成不良影響，因此可大幅改善先前技術之缺失。

關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

【實施方式】

根據本發明之一具體實施例係一混合電壓石英振盪電路。請參照圖五，圖五係繪示該混合電壓石英振盪電路之電路圖。此石英振盪電路中的元件皆係以低電壓元件實現。如圖五所示，混合電壓石英振盪電路 10 包含一輸入接點 XI 和一輸出接點 XO。信號接點 XC 則係用以輸出石英振盪電路 10 所產生或是從外部所接收之一時脈訊號。

石英振盪電路 10 大致包含這幾個部分：NAND 邏輯閘 11、N 型電晶體 MN1、P 型電晶體 MP4、NAND 邏輯閘 12 以及一控制電路(包含電晶體 MN4、電晶體 MN7、電晶體 MP7 和傳輸閘 TRAN1~TRAN4)。

訊號 EN 及訊號 PA 通常是由石英振盪電路 10 所在之 IC 的內部電路提供。當訊號 EN 係處於高邏輯準位(亦即等於 VDD)，NAND 11 及 NAND 12 各自等同於一反相器。相對地，當訊號 EN 係處於低邏輯準位(亦即等於 GND)，NAND 11 及 NAND 12 之輸出皆被固定為 VDD。換句話說，當訊號 EN 係處於低邏輯準位，接點 XC 之電壓將被固定在 VDD，不輸出時脈訊號。

當訊號 PA 係處於高邏輯準位，表示石英振盪電路 10 將與一石英晶體及二個負載電容合作，於 XI 及 XO 之間產生正弦波訊號。當訊號 PA 係處於低邏輯準位，表示石英振盪電路 10 將接收

透過 XI 輸入之外部時脈信號。根據本發明，該外部時脈信號之高邏輯準位可以為 $1xVDD$ ，亦可為 $2xVDD$ 。

首先說明當訊號 PA 處於低邏輯準位的情形。當訊號 PA 等於 GND 且訊號 EN 被設定為 VDD，NAND 11 的作用等同於一第一反相器。電晶體 MN4 會被關閉，傳輸閘 TRAN1 及 TRAN2 則會被開啟，上述之外部時脈信號因此可經由石英振盪電路 10 之上半部路徑自 XI 傳輸至 XC。

當石英振盪電路 10 係用以接收外部時脈信號，N 型電晶體 MN1 可限制傳送到該第一反相器之輸入端的電壓，藉此降低外部時脈信號對電晶體 MP2 及 MN3 之閘極造成的影響。電晶體 MN1 之閘極係連接至 VDD，其汲極和源極則分別連接至 XI 及該第一反相器之輸入端。即使外部時脈信號之高邏輯準位為 $2xVDD$ ，該第一反相器之輸入端最高也只會達到 $(VDD-V_t)$ ，其中代表 V_t 電晶體 MN1 之臨界電壓。當該第一反相器之輸出電壓為 GND，P 型電晶體 MP4 可協助將該第一反相器之輸入電壓拉抬至 VDD。因此，該外部時脈信號可被成功地傳送至 XC。

此外，當訊號 PA 等於 GND 時，傳輸閘 TRAN3 及 TRAN4 被關閉。為了保持 NAND 12 之輸出電壓為 VDD，電晶體 MN7 係處於開啟狀態，以關閉電晶體 MN6 並開啟電晶體 MP6。此外，電晶體 MP7 也被開啟，以令電晶體 MN5 及 MN6 間之節點的電壓保持為 VDD。即使當 XI 之電壓為 $2xVDD$ ，電晶體 MN5 及 MP5 各自的閘極與源極/汲極間之電壓差也不會大於 VDD。藉此，根據本發明之石英振盪電路 10 無須採用具有較厚之閘極氧化層的元件即可避免當外部時脈信號為 $2xVDD$ 時會發生的氧化層可靠度問題。

接著說明當訊號 PA 處於高邏輯準位的情形。當訊號 PA 等於 VDD，傳輸閘 TRAN1 及 TRAN2 被關閉，上述之正弦波訊號因

此無法經由石英振盪電路 10 之上半部路徑自 XI 傳輸至 XO。此外，為了讓 NAND 11 之輸出電壓保持為 VDD，電晶體 MN4 係處於導通狀態，以關閉 NAND 11 中的電晶體 MN2。由於電晶體 MP4 之閘極係連接至 NAND 11 之輸出端，電晶體 MP4 也被關閉。因此，當訊號 PA 等於 VDD，NAND 11 之輸入端的電壓會隨著 XI 的電壓變化，其輸出端之電壓則會保持在 VDD。

換句話說，當輸入接點 XI 用以接收該外部時脈信號時，該控制電路停止第二反相器之運作。相對地，當一石英晶體係電連接於輸入接點 XI 及輸出接點 XO 之間，該控制電路停止第一反相器之運作。

當訊號 PA 和訊號 EN 都被設定為 VDD，NAND 12 的作用等同於一第二反相器。傳輸閘 TRAN3 及 TRAN4 會被開啟，上述之正弦波訊號因此可經由石英振盪電路 10 之下半部路徑自 XI 傳輸至 XO。

請參照圖六，圖六係繪示以 130nm，1.2V 之 CMOS 製程模擬之混合電壓石英振盪電路的波形圖，該電路可供 1.2V/2.5V 混合電壓介面使用。於此模擬中，XC 節點係連接 20pF 之電容負載，並且該混合電壓石英振盪電路所配合之石英晶體具有 30MHz 之基頻。如圖六所示，在 1xVDD 之電源供應下，根據本發明之石英振盪電路可在該 XC 節點成功地產生 30MHz 之時脈訊號。

請參照圖七，圖七係繪示根據本發明之另一模擬波形圖。於此模擬中，訊號 PA 之電壓被設定為 GND，頻率為 30MHz 且高頻率準位為 2xVDD 之外部時脈訊號被輸入 XI。此外，XC 節點亦連接一 20pF 之電容負載。如圖七所示，NAND 11 之輸入電壓可被限制於 VDD (亦即 1.2V)，XC 節點之輸出電壓亦可成功地被降至 VDD。藉由圖六及圖七所示之模擬結果證實，根據本發明之該混合電壓石英振盪電路可被正確地執行。

相較於先前技術，根據本發明之該混合電壓石英振盪電路可完全以低電壓元件設計而成，不僅可節省晶片之製作成本，同時也不會有閘極氧化層可靠度劣化之問題，此外亦不會對該電路之振盪特性造成不良影響，因此可大幅改善先前技術之缺失。

藉由以上較佳具體實施例之詳述，係希望能更加清楚描述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。因此，本發明所申請之專利範圍的範疇應該根據上述的說明作最寬廣的解釋，以致使其涵蓋所有可能的改變以及具相等性的安排。

【圖式簡單說明】

圖一係繪示傳統之 Pierce 型石英振盪電路之電路圖。

圖二係繪示一石英晶體之等效電路圖。

圖三係繪示一石英晶體之電抗-頻率圖。

圖四係繪示當傳統之石英振盪電路接收外部時脈訊號時之電路圖。

圖五係繪示根據本發明之一具體實施例之混合電壓石英振盪電路的電路圖。

圖六及圖七係繪示根據本發明之石英振盪電路之模擬波型圖。

【主要元件符號說明】

Rf：回饋電阻

C1、C2：電容

R：電阻

L：電感

Cs：石英晶體之電容

Cp：寄生分流電容

XI：輸入接點

XO：輸出接點

GND：接地電壓

VDD：參考電壓

XC：信號接點

10：混合電壓石英振盪電路

11、12：NAND 邏輯閘

TRAN1~TRAN4：傳輸閘

MN1~MN7：N 型電晶體

MP2~MP7：P 型電晶體

十、申請專利範圍：

1、一種採用低電壓元件之混合電壓石英振盪電路，包含：

- 一輸入接點，能用以接收一外部時脈信號；
- 一輸出接點；
- 一第一反相器，具有一第一輸入端和一第一輸出端，該第一輸出端係電連接至該輸出接點；
- 一N型電晶體，該N型電晶體具有一第一閘極、一第一汲極和一第一源極，該第一閘極係電連接至一參考電壓源，該第一汲極係電連接至該輸入接點，該第一源極係電連接至該第一輸入端；以及
- 一P型電晶體，該P型電晶體具有一第二閘極、一第二汲極和一第二源極，該第二閘極係電連接至該第一輸出端，該第二汲極係電連接至該第一輸入端，該第二源極係電連接至該參考電壓源；

其中該外部時脈信號之一高邏輯準位可高於該參考電壓源所提供之一參考電壓，該第一反相器係由低電壓元件組成，並且該N型電晶體及該P型電晶體皆為低電壓元件。

2、如申請專利範圍第1項所述之混合電壓石英振盪電路，其中該第一反相器係以一NAND邏輯閘實現。

3、如申請專利範圍第1項所述之混合電壓石英振盪電路，進一步包含：

- 一第二反相器，具有一第二輸入端和一第二輸出端，該第二輸入端係電連接至該輸入接點，該第二輸出端係電連接至該輸出接點。

4、如申請專利範圍第3項所述之混合電壓石英振盪電路，其中該第二反相器係以一NAND邏輯閘實現。

5、如申請專利範圍第3項所述之混合電壓石英振盪電路，其中該第

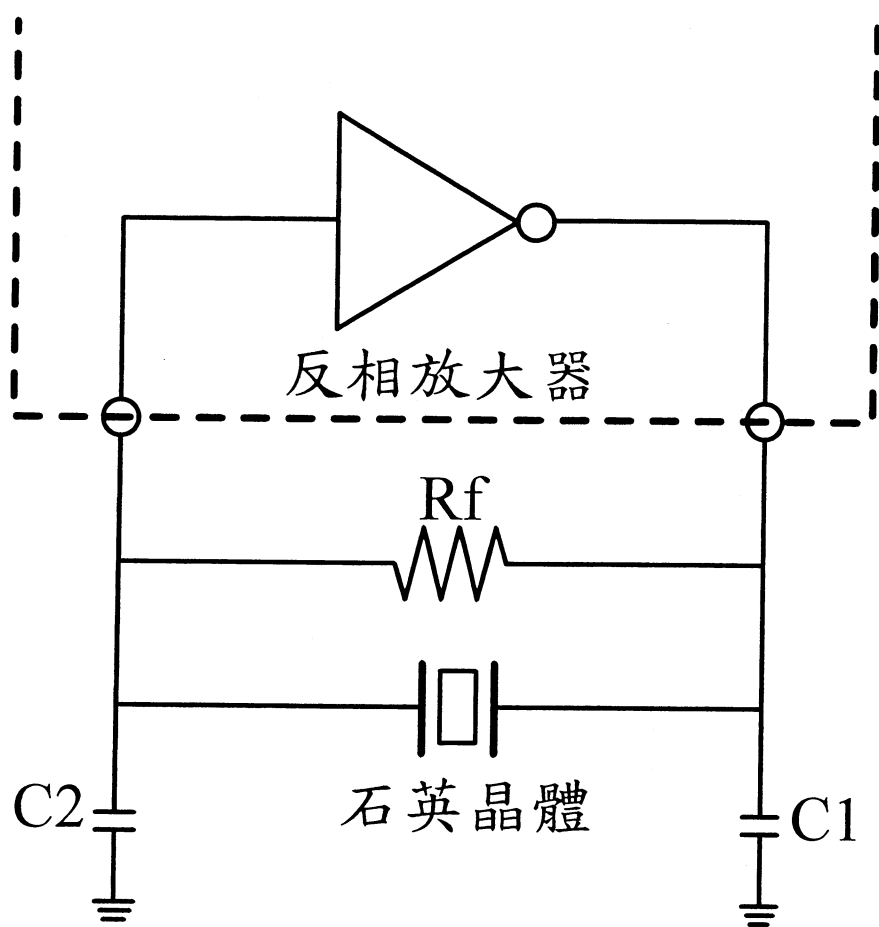
二反相器係由低電壓元件組成。

6、 如申請專利範圍第3項所述之混合電壓石英振盪電路，進一步包含：

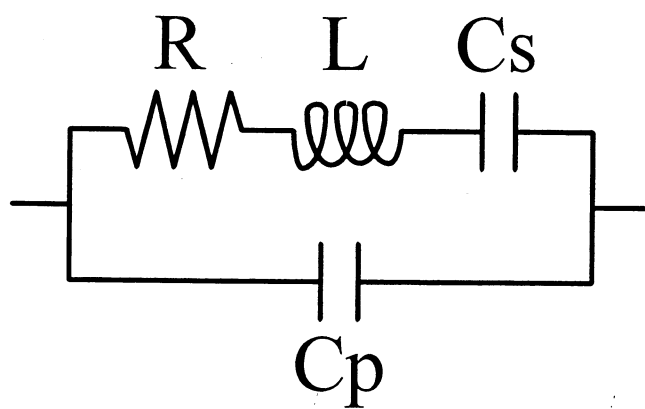
一控制電路，該控制電路係分別電連接至該第一反相器及該第二反相器，當該輸入接點係用以接收該外部時脈信號，該控制電路停止該第二反相器之運作，當一石英晶體係電連接於該輸入接點及該輸出接點之間，該控制電路停止該第一反相器之運作。

7、 如申請專利範圍第6項所述之混合電壓石英振盪電路，其中該控制電路係由低電壓元件組成。

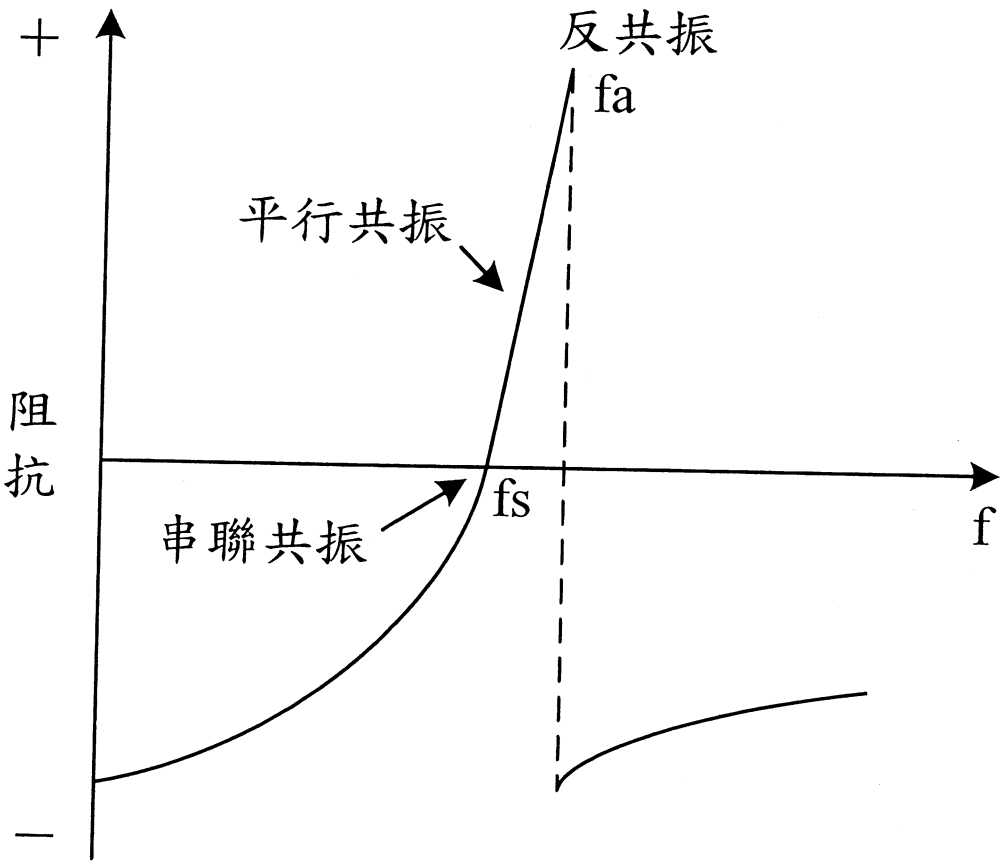
十一、圖式：



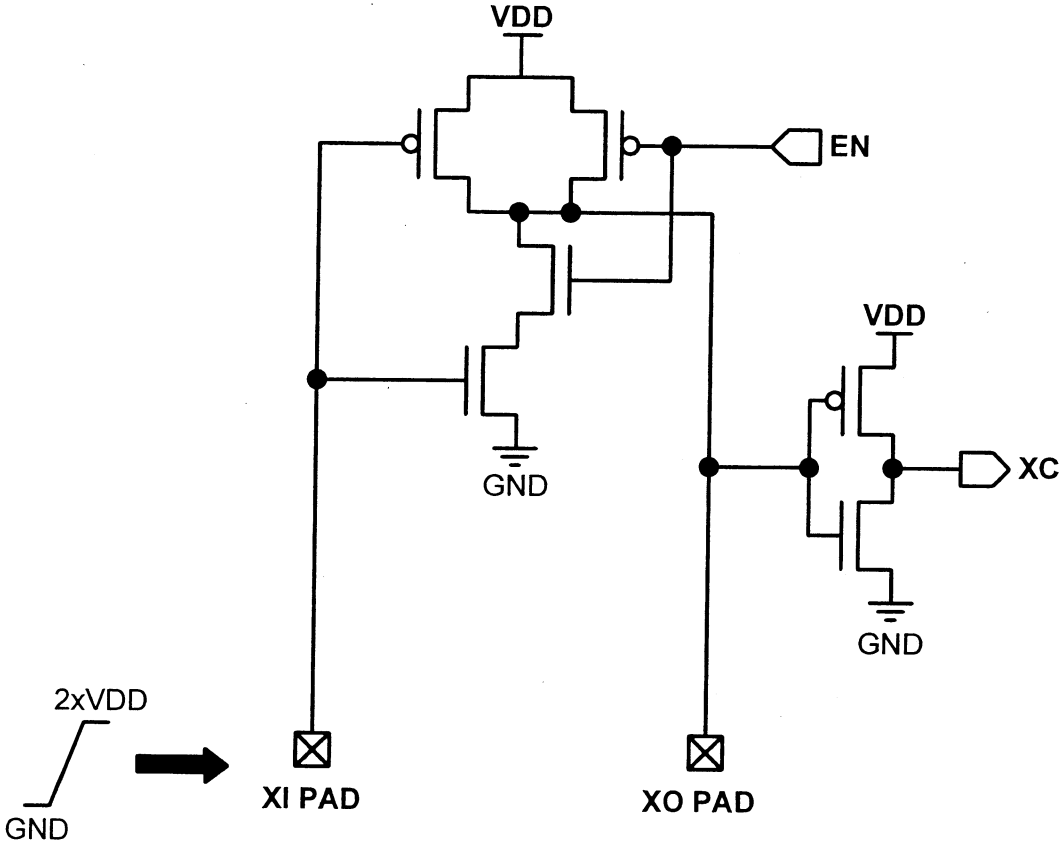
圖一



圖二

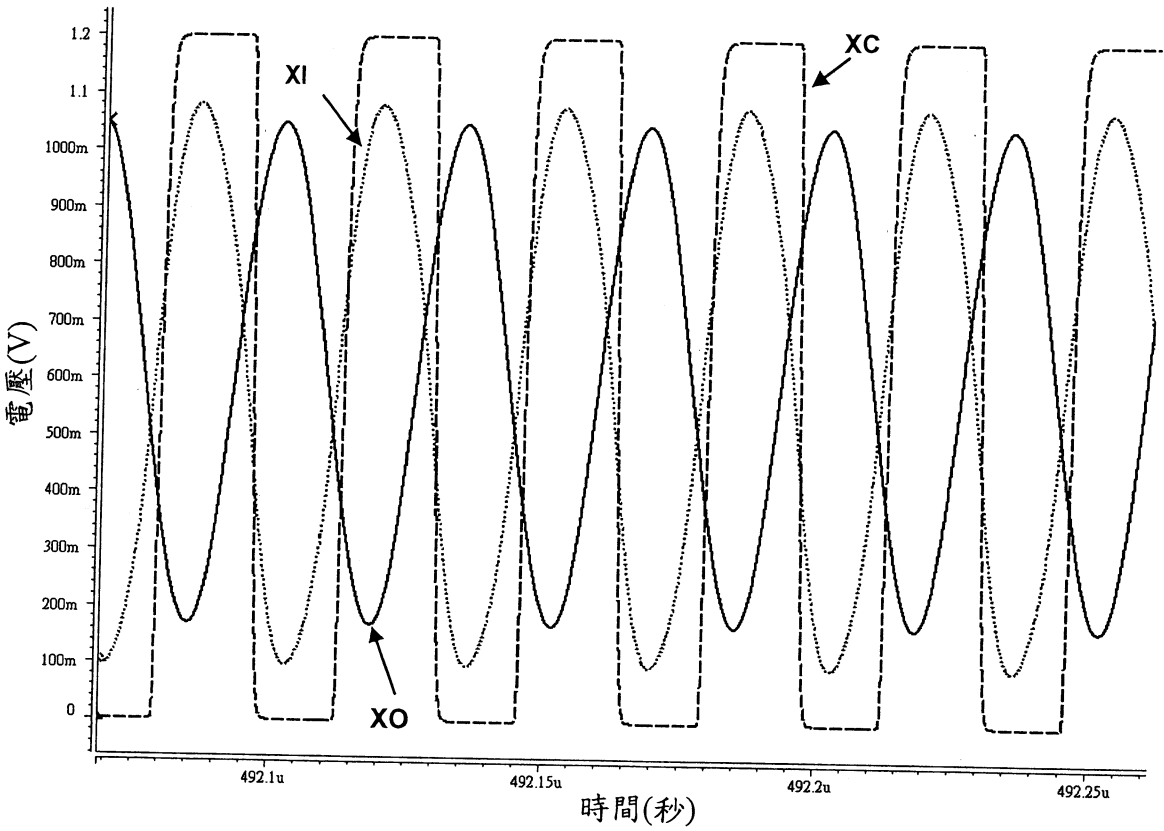


圖三

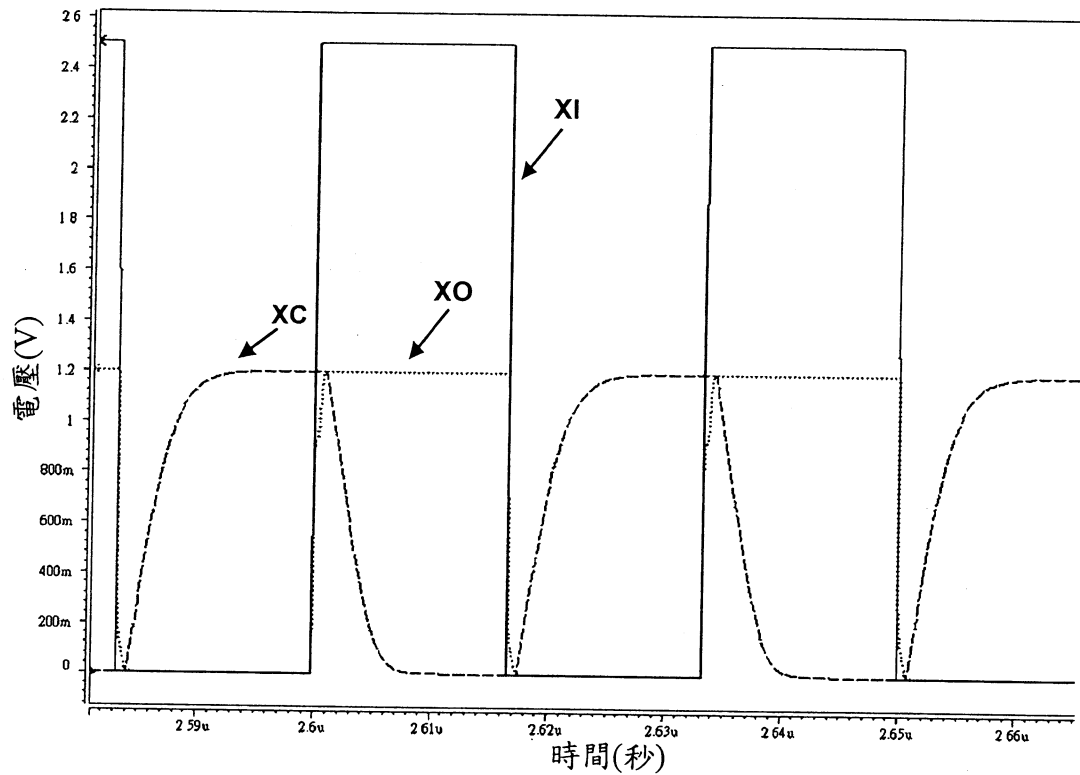


圖四





圖六



圖七