



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I430938 B

(45) 公告日：中華民國 103 (2014) 年 03 月 21 日

(21) 申請案號：100135870

(22) 申請日：中華民國 100 (2011) 年 10 月 04 日

(51) Int. Cl. : **B82B3/00 (2006.01)****B82Y40/00 (2011.01)**

(71) 申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：張原銘 CHANG, YUAN MING (TW)；莊振益 JUANG, JENH YIH (TW)；戴鴻名 TAI, HUNG MING (TW)；王浩偉 WANG, HAU WEI (TW)；曾文綏 TSENG, WEN SHOU (TW)；高斌栩 KAO, PIN HSU (TW)；張樂融 CHANG, LEH RONG (TW)

(74) 代理人：林火泉

(56) 參考文獻：

US 2007/0071964A1

US 2008/0268288A1

審查人員：陳建丞

申請專利範圍項數：8 項 圖式數：7 共 0 頁

(54) 名稱

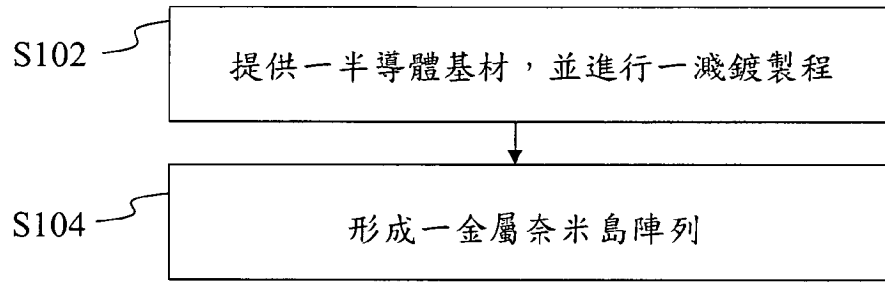
自組式金屬奈米島陣列之製作方法

A METHOD FOR FABRICATING SELF-ASSEMBLED METAL NANO-ISLANDS ARRAY

(57) 摘要

一種自組式金屬奈米島陣列之製作方法，係藉由在一半導體基材上進行一濺鍍製程，以形成一金屬奈米島陣列。利用此種製作方法，僅需單一濺鍍製程，即可完成金屬奈米島陣列的製作，相較於習知，不僅可有效減少繁瑣之製程步驟，更可進一步地節約能源、電力及製作成本。

A method for fabricating self-assembled metal nano-islands array employs a sputtering process on a semi-conducting substrate to form a metal nano-islands array upon it. By applying this fabricating method, it requires only one single-step sputtering process to form a metal nano-islands array. Hence, compared to the prior art, it is advantageous of not only reducing numerous process steps but also saving more cost of the energy, electricity and production time.



第 1 圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(00135870)

※申請日：100.10.04

※IPC 分類：

B82B 31/00 ; 2006.01

B82Y 40/00 ; 2011.01

一、發明名稱：(中文/英文)

自組式金屬奈米島陣列之製作方法 / A method for fabricating self-assembled metal nano-islands array

二、中文發明摘要：

一種自組式金屬奈米島陣列之製作方法，係藉由在一半導體基材上進行一濺鍍製程，以形成一金屬奈米島陣列。利用此種製作方法，僅需單一濺鍍製程，即可完成金屬奈米島陣列的製作，相較於習知，不僅可有效減少繁瑣之製程步驟，更可進一步地節約能源、電力及製作成本。

三、英文發明摘要：

A method for fabricating self-assembled metal nano-islands array employs a sputtering process on a semi-conducting substrate to form a metal nano-islands array upon it. By applying this fabricating method, it requires only one single-step sputtering process to form a metal nano-islands array. Hence, compared to the prior art, it is advantageous of not only reducing numerous process steps but also saving more cost of the energy, electricity and production time.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

無。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種金屬奈米島陣列之製作方法，特別是一種僅需單一濺鍍製程，即可形成金屬奈米島陣列之製作方法。

【先前技術】

奈米級顆粒係為人所熟知的。在多種產品例如塗料、墨水、醫藥、治療製劑及化妝品中皆利用奈米級顆粒之性質，並且令其作為諸如熱塑性塑料及熱固性材料之基質材料之添加劑。由於奈米顆粒相對於材料中佔有極大百分比之原子總數可另外具有其獨特或有效之尺寸相依性質，且該等性質係不同於彼等相同組合物之塊狀材料者，因此在工業上係被廣泛地使用。

一般而言，已知銀為一種優良的導體。若銀顆粒足夠小而不致阻擋大量光，且若顆粒係相互連接於一塗層基板上，則該基板應可具有一呈現高導電性、良好透明性及堅固性之銀顆粒塗層。先前技術用來製造上述金屬微顆粒之方法多為化學合成的方式，不僅步驟繁瑣冗雜，更需要精度較高之儀器。

除此之外，就目前已發表的國際期刊（SCI）之中，皆必須利用二道以上之製程步驟，方可完成金屬微顆粒的製作。此一製作方式通常是以化學氣相沈積（Chemical Vapor deposition, CVD）或是物理氣相沈積（Physical Vapor deposition, PVD）製程先沈積一層薄膜於基板表面。然後，再應用高溫退火（post annealing），使該薄膜形成球狀的聚集，最後方可形成金屬奈米的顆粒陣列。由於上述之高溫退火製程，必需以例如高於 500 °C 的高溫方可完成，不僅在製作上耗費大量的能源與成本，更需要大量的製程時間。

有鑑於此，本發明遂提出一種自組式金屬奈米島陣列之製作方法，藉以有效解決習知技術存在的問題。

【發明內容】

本發明之主要目的係在提供一種自組式金屬奈米島陣列之製作方法，其係僅需以單一製程，即可完成奈米島陣列之製作。本發明所提出之製作方法，僅需極短的製程時間，亦無需退火製程即可完成自組式金屬奈米島陣列，兼具製作效率高及製作成本低之優點。

本發明之另一目的係在提供一種自組式金屬奈米島陣列之製作方法，其可進一步地利用乾蝕刻製程，形成一矽奈米柱陣列，以作為較佳化學感測器之應用。

為達到上述之目的，本發明係有關於一種自組式金屬奈米島陣列之製作方法，包括以下步驟：提供一半導體基材，並在上述之半導體基材上進行一濺鍍製程，以形成一金屬奈米島陣列。

根據本發明之實施例，此一濺鍍製程中所使用的靶材材質可以是：金 (Au)、銀 (Ag)、白金 (Pt)、鎳 (Ni) 或是銦錫氧化物 (ITO)，以形成與金屬奈米島陣列同材質之金屬或合金。

根據本發明之實施例，其中金屬奈米島陣列中的每一奈米島粒徑約為 100 至 200 奈米。

根據本發明之實施例，在金屬奈米島陣列完成製作後，更可進行一乾蝕刻製程，以利用乾蝕刻製程，將金屬奈米島陣列與半導體基材形成一奈米柱陣列。

根據本發明之實施例，上述之奈米柱陣列可以是一抗反射及/或一維之

奈米柱陣列。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明揭露一種以單一製程，即可形成金屬奈米島陣列的製作方法，其無須透過額外之退火製程，不僅達到節約能源與時間的目的，並且製作過程中亦無經過任何微影（lithography）製程，可大幅省卻習知繁冗之製程步驟。

請參閱第 1 圖，係為根據本發明實施例自組式金屬奈米島陣列之製作方法的步驟流程圖。此一製作方法主要包括步驟 S102 與步驟 S104，以下關於本發明所揭示之製作方法請一併參閱第 2A 圖與第 2B 圖所示，茲詳細說明如下。

首先，如步驟 S102 所示，本發明首先提供一半導體基材 10。此一半導體基材 10 例如可為矽晶圓，其材質例為矽（Si）。之後，在半導體基材 10 上進行一濺鍍（sputter）製程。

根據本發明之實施例，此一濺鍍製程可經由一射頻濺鍍系統（RF Sputter System）來進行，其選用的靶材材質可以是：金（Au）、銀（Ag）、白金（Pt）、鎳（Ni）或銦錫氧化物（ITO），以藉由上述之金屬/合金材質形成本發明所欲製作的金屬奈米島。

其中，濺鍍製程中所使用的各項參數可設定如下：濺鍍功率：150 瓦特（W），氬氣流量：25 sccm，濺鍍時間：10 秒。

因此，如步驟 S104 所示，在完成上述之濺鍍製程後，本發明即可在半

導體基材 10 上形成一金屬奈米島 (nano island) 陣列 12。其中，陣列中的每一奈米島粒徑約為 100 至 200 奈米 (nano-meter, nm)。

由上可知，相較於先前技術，本發明僅需單一濺鍍製程，即可完成金屬奈米島陣列的製作，且奈米島的成長過程僅需 10 秒鐘，大幅降低了習知製作所需耗費的時間與成本。因此，熟習此項技術領域者根據本發明所揭示之技術思想，如以單一濺鍍製程所製作而成之金屬/合金顆粒，皆應隸屬於本發明之發明範圍。

更進一步而言，請參閱第 2C 圖至第 2D 圖所示，在金屬奈米島陣列 12 完成之後，本發明續以乾蝕刻 (dry etching) 製程 20 進而將附著有金屬奈米島陣列 12 的半導體基材 10，製作成一奈米柱 (nano-pillar) 陣列 14。在一實施例中，上述之乾蝕刻製程 20 可以是一反應式離子蝕刻 (ion etching)。

根據本發明之實施例，如第 3 圖所示，當濺鍍製程中所選用的靶材材質為銀，則可製作出銀奈米島陣列，第 3 圖係為根據本發明實施例之銀奈米島陣列的掃描式電子顯微鏡 (Scanning Electron Microscope, SEM) 成像圖。由於銀奈米島陣列可做為一效果極佳的金屬遮罩 (mask)，因此如第 2C 圖所示，基於銀奈米島陣列的保護，可使得矽晶圓於乾蝕刻製程 20 中，免於受到蝕刻，進而完成矽奈米柱陣列之製作，第 4 圖即為根據本發明實施例之矽奈米柱陣列的掃描式電子顯微鏡 (Scanning Electron Microscope, SEM) 成像圖。

根據本發明之實施例，此一奈米柱陣列係為一種抗反射 (anti-reflect) 之一維矽奈米柱陣列，其可應用於生醫晶片中之化學感測器之用，不僅可作為生醫化學檢測方面的場發射器，亦可使用作太陽能產業中必要的抗光

反射奈米結構，具有應用範圍極廣且製程簡單之優勢。

綜上所述，本發明提出一種自組式金屬奈米島陣列之製作方法，其基於環境保護、降低製作成本、能源與時間等之目的，提出以單一製程即可完成金屬奈米島陣列之製作方法，藉此克服習知技術存在之缺失。

由於本發明獨特的單一製程、極短的製程時間及無須微影製程等特點，將具備可觀之市場佔有率，促進相關產業之蓬勃發展。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖係為根據本發明實施例自組式金屬奈米島陣列之製作方法的步驟流程圖。

第 2A 圖係為根據本發明實施例之半導體基材的結構示意圖。

第 2B 圖係為根據本發明實施例之金屬奈米島陣列的結構示意圖。

第 2C 圖係為根據本發明實施例進行乾蝕刻製程的結構示意圖。

第 2D 圖係為根據本發明實施例之奈米柱陣列的結構示意圖。

第 3 圖係為根據本發明實施例之銀奈米島陣列的掃描式電子顯微鏡成像圖。

第 4 圖即為根據本發明實施例之矽奈米柱陣列的掃描式電子顯微鏡成像圖。

【主要元件符號說明】

10 半導體基材

12 金屬奈米島陣列

14 奈米柱陣列

20 乾蝕刻製程

七、申請專利範圍：

1. 一種自組式金屬奈米島陣列之製作方法，包括以下步驟：

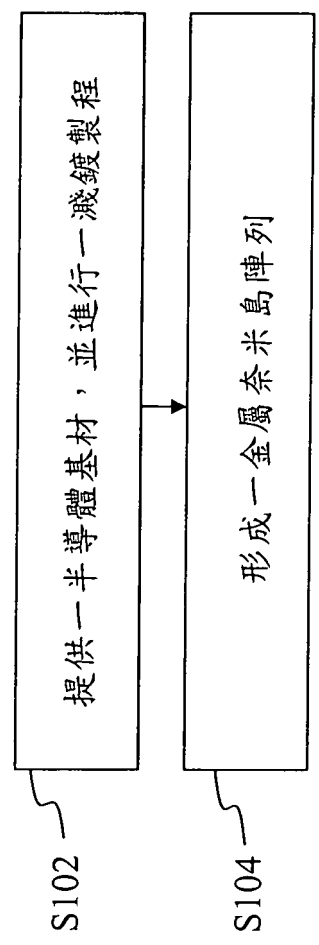
提供一半導體基材，並在該半導體基材上進行一濺鍍製程，以形成一金屬奈米島陣列；

進行一乾蝕刻製程；以及

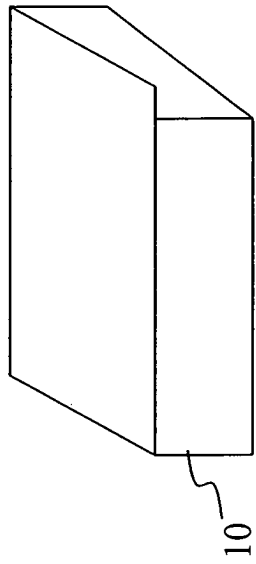
利用該乾蝕刻製程，將該金屬奈米島陣列與該半導體基材形成一奈米柱陣列。

2. 如請求項 1 所述之自組式金屬奈米島陣列之製作方法，其中該濺鍍製程係經由一射頻濺鍍系統 (RF Sputter System) 所進行。
3. 如請求項 1 所述之自組式金屬奈米島陣列之製作方法，其中該濺鍍製程中所使用的靶材材質係為金 (Au)、銀 (Ag)、白金 (Pt)、鎳 (Ni)、或銦錫氧化物 (ITO)，以形成與該金屬奈米島陣列同材質之金屬或合金。
4. 如請求項 1 所述之自組式金屬奈米島陣列之製作方法，其中該濺鍍製程之濺鍍功率為 150 瓦特 (W)，氬氣流量為 25 sccm，濺鍍時間為 10 秒。
5. 如請求項 1 所述之自組式金屬奈米島陣列之製作方法，其中該金屬奈米島陣列中的每一奈米島粒徑約為 100 至 200 奈米。
6. 如請求項 1 所述之自組式金屬奈米島陣列之製作方法，其中該奈米柱陣列係為一抗反射之奈米柱陣列。
7. 如請求項 1 所述之自組式金屬奈米島陣列之製作方法，其中該奈米柱陣列係為一一維之奈米柱陣列。
8. 如請求項 1 所述之自組式金屬奈米島陣列之製作方法，其中該半導體基材之材質係為矽。

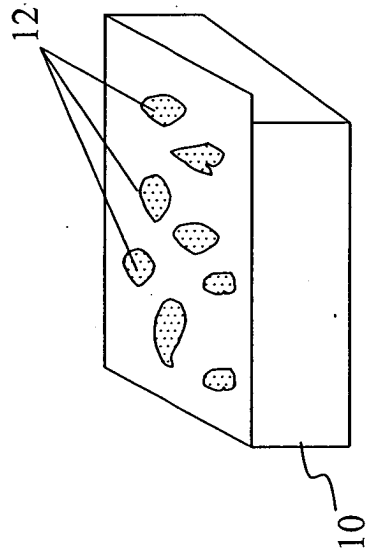
八、圖式：



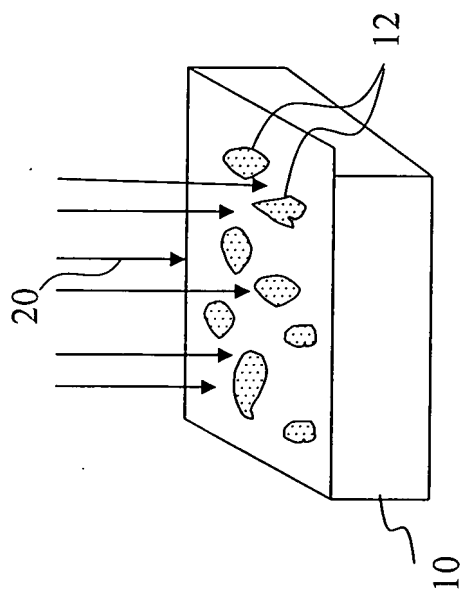
第 1 圖



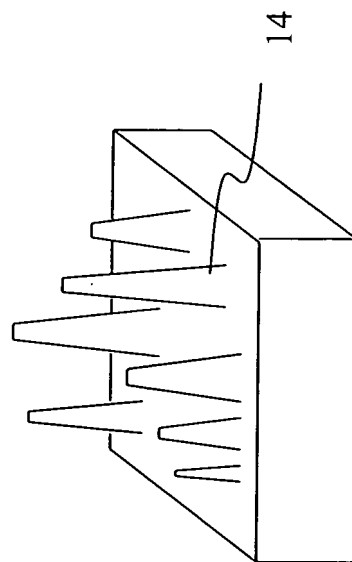
第 2A 圖



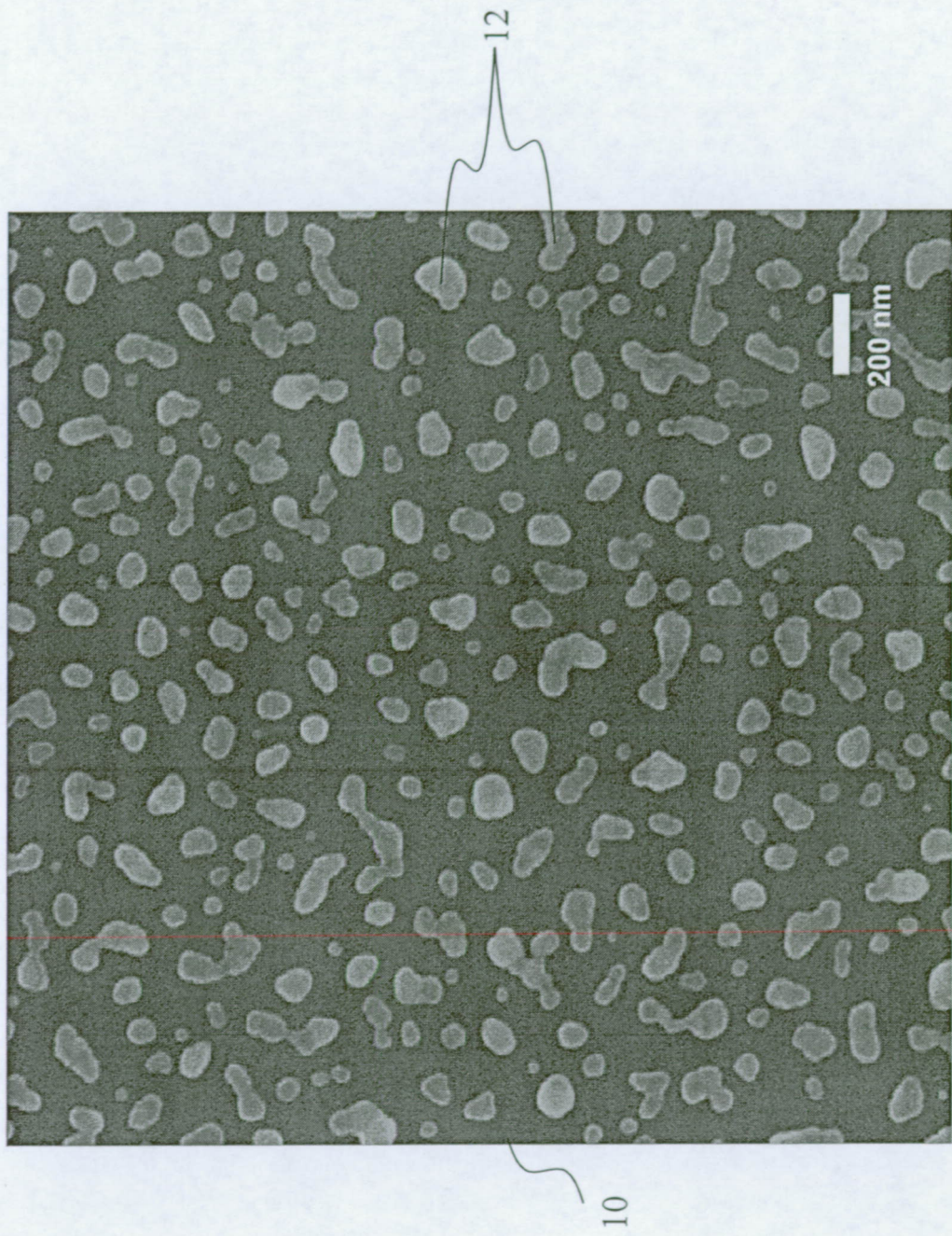
第 2B 圖



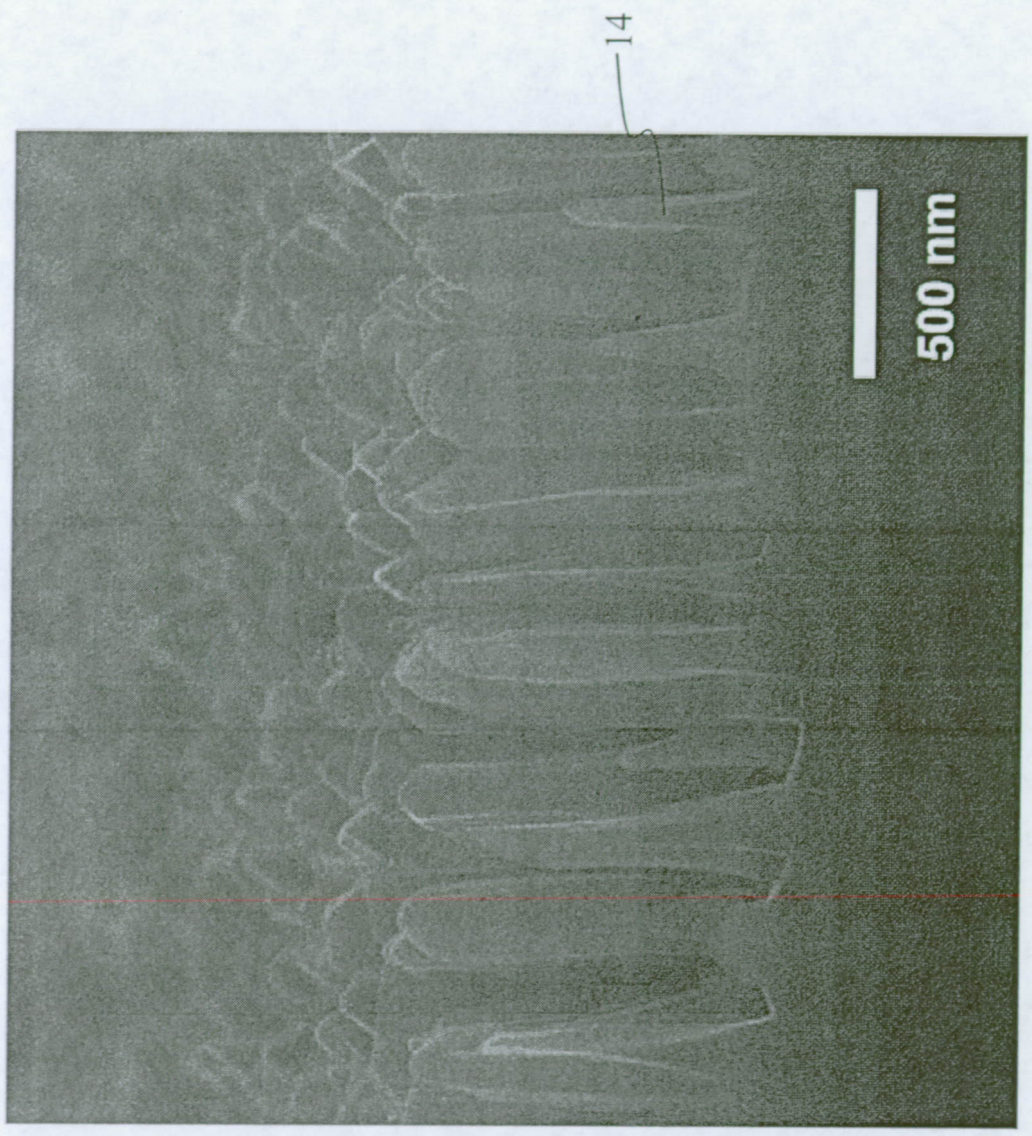
第 2C 圖



第 2D 圖



第 3 圖



第 4 圖