

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96103843

※申請日期：91.2.2

※IPC 分類：G06F17/50 (2006.01)

一、發明名稱：(中文/英文)

具有雙臨界電壓的邏輯閘電路及其應用之標準元件庫

二、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 吳重雨

住居所或營業所地址：(中文/英文)

新竹市大學路1001號

國籍：(中文/英文) 中華民國 TW

三、發明人：(共3人)

姓名：(中文/英文)

1、周世傑

2、邱奕偉

3、胡嘉琳

國籍：(中文/英文)

(均同) 中華民國 TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係揭露一種具有雙臨界電壓的邏輯閘電路及其應用之標準元件庫。藉由在一邏輯電路之關鍵路徑上使用至少一個具有雙臨界電壓的邏輯閘電路，其包括至少二個電晶體，且在此等電晶體中之靠近電壓源的電晶體係採用臨界電壓較低的電晶體，其餘電晶體則係採用臨界電壓相對較高的電晶體，如此即可降低寄生電容值，進而降低動態功率的消耗，使得總體功率降低。

六、英文發明摘要：

七、指定代表圖：

(一) 本案代表圖：第十一圖

(二) 本案代表圖之元件代表符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種具有雙臨界電壓的邏輯閘電路及其應用之標準元件庫，特別係一種低功率標準元件庫之設計方法。

【先前技術】

由於半導體製程已進入深次微米尺度而使得電晶體之尺寸變小，故電晶體之臨界電壓亦隨之變小，然因為漏電流(I_{leak})與臨界電壓(V_t)之指數關係成反比，即如下列式子(1)所示：

$$I_{leak} \propto e^{-V_t} \quad (1)$$

所以當臨界電壓愈小時，漏電流就會愈大，進而使得靜態功率消耗佔總電路功率消耗的比例增加。

其中，現今的標準元件庫主要是提供具有標準臨界電壓的電晶體元件以克服上述之問題，如第一圖所示之習知反相器電路示意圖，反相器 10 是由一標準臨界電壓 P 型電晶體與一標準臨界電壓 N 型電晶體所組成；第二圖係習知之三態緩衝器電路示意圖，三態緩衝器 12 係由兩個標準臨界電壓 P 型電晶體與兩個標準臨界電壓 N 型電晶體串聯而成；第三圖係習知之三輸入反相及閘電路示意圖，三輸入反相及閘 14 係由三個並聯的標準臨界電壓 P 型電晶體與三個串聯的標準臨界電壓 N 型電晶體所組成；第四圖係習知之及或閘電路示意圖，及或閘 16 係由三個並聯的標準臨界電壓 P 型電晶體串聯另一個標準臨界電壓 P 型電晶體，再和三個串聯的標準臨界電壓 N 型電晶體與另一標準臨界電壓 N 型電晶體串聯；第五圖則係習知之 D 型正反器電路示意圖，D 型正反器 18 係由數個反相器 10 與三態緩衝器 12 所組成。

然，習知之標準元件庫設計仍不夠完善，有鑑於此，本發明提出一種更能降低功率消耗的標準元件庫設計方法。

【發明內容】

本發明之一目的係在提供一種具有雙臨界電壓的邏輯閘電路及其應用之標準元件庫，其係在關鍵路徑上使用臨界電壓較低的電晶體，在非關鍵路徑上，使用臨界電壓相對較高的電晶體，以降低功率消耗。

本發明之另一目的係在提供具有雙臨界電壓的邏輯閘電路及其應用之標準元件庫，其可降低電晶體之寄生電容值而使得動態消耗功率減小。

根據本發明所揭示之具有雙臨界電壓的邏輯閘電路，其係包括至少二個電晶體，且在此等電晶體中之靠近電壓源的電晶體係採用第一臨界電壓電晶體，其餘電晶體則係採用第二臨界電壓電晶體，且第一臨界電壓電晶體之臨界電壓比第二臨界電壓電晶體之臨界電壓低。

承上述之邏輯閘電路結構，將其應用在一標準元件庫之設計方法上，即藉由在一邏輯電路中之一關鍵路徑上，使用上述之具有雙臨界電壓的邏輯閘電路，即可改善電晶體之寄生電容效應，降低動態功率消耗。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明揭示一種具有雙臨界電壓的邏輯閘電路，其主要係包括複數個互補式金氧半電晶體，且此等電晶體係選自第六(a)圖~第六(f)圖中之至少兩電晶體，第六(a)圖至第六(c)圖依序是高臨界

電壓 P 型電晶體、標準臨界電壓 P 型電晶體與低臨界電壓 P 型電晶體，第六(d)圖至第六(f)圖依序是高臨界電壓 N 型電晶體、標準臨界電壓 N 型電晶體與低臨界電壓 N 型電晶體。其中，在此邏輯開電路中，靠近電壓源處的電晶體係採用臨界電壓較低的電晶體，即當靠近電壓源處的電晶體係低臨界電壓電晶體時，其餘的電晶體則為標準臨界電壓電晶體，或者當靠近電壓源處的電晶體係標準臨界電壓電晶體時，其餘的電晶體則為高臨界電壓電晶體，抑或是當靠近電壓源處的電晶體係低臨界電壓電晶體時，其餘的電晶體則為高臨界電壓電晶體。

以下係以數個邏輯元件作為例子，以便講解上述之具有雙臨界電壓的邏輯開電路之結構。首先，請參照第七 A 至第七 C 圖，係揭示具有雙臨界電壓的反相器電路示意圖。如第七 A 圖所示，反相器 20 於靠近電壓源 VDD 係使用低臨界電壓 P 型電晶體 201 置換第一圖原本的標準臨界電壓 P 型電晶體以使電晶體尺寸變小而減少寄生電容效應，N 型電晶體 202 仍是維持在標準臨界電壓以避免漏電流過大；第七 B 圖所示之反相器 22 於靠近電壓源 VDD 係使用標準臨界電壓 P 型電晶體 221，靠近電壓源 GND 係使用高臨界電壓 N 型電晶體 222；第七 C 圖所示之反相器 24 於靠近電壓源 VDD 是使用低臨界電壓 P 型電晶體 241，靠近電壓源 GND 是使用高臨界電壓 N 型電晶體 242。

第八 A 至第八 C 圖係具有雙臨界電壓的三態緩衝器電路示意圖，其顯示在三態緩衝器中靠近電壓源的電晶體之臨界電壓係較其他處電晶體的臨界電壓低。如第八 A 圖所示，三態緩衝器 26 於靠近電壓源 VDD、GND 的電

晶體分別改用低臨界電壓 P 型電晶體 261 與低臨界電壓 N 型電晶體 262，以使電晶體尺寸變小進而降低寄生電容值，其餘的電晶體則仍為標準臨界電壓 P 型電晶體 263 與標準臨界電壓 N 型電晶體 264，以使漏電流不影響外部電路或下一級連接的電路細胞元；第八 B 圖之三態緩衝器 28 於靠近電壓源 VDD、GND 的電晶體分別是標準臨界電壓 P 型電晶體 281 與標準臨界電壓 N 型電晶體 282，其餘的電晶體則是高臨界電壓 P 型電晶體 283 與高臨界電壓 N 型電晶體 284；第八 C 圖之三態緩衝器 30 於靠近電壓源 VDD、GND 的電晶體分別是低臨界電壓 P 型電晶體 301 與低臨界電壓 N 型電晶體 302，其餘的電晶體則是高臨界電壓 P 型電晶體 303 與高臨界電壓 N 型電晶體 304。

第九 A 至第九 C 圖係具有雙臨界電壓的反相及開電路示意圖，其顯示在反相及開中靠近電壓源的電晶體之臨界電壓係較其他處電晶體的臨界電壓低。如第九 A 圖所示，反相及開 32 於靠近電壓源 VDD、GND 的電晶體分別是採用三個並聯的低臨界電壓 P 型電晶體 321 與一個低臨界電壓 N 型電晶體 322，以使電晶體尺寸變小進而降低寄生電容值，其餘的電晶體則仍為兩個標準臨界電壓 N 型電晶體 323，以使漏電流不影響外部電路或下一級連接的電路細胞元；第九 B 圖之反相及開 34 於靠近電壓源 VDD、GND 的電晶體分別是三個並聯的標準臨界電壓 P 型電晶體 341 與一個標準臨界電壓 N 型電晶體 342，其餘的電晶體則是兩個高臨界電壓 N 型電晶體 343；第九 C 圖之反相及開 36 於靠近電壓源 VDD、GND 的電晶體分別是三個並聯的低臨界電壓 P 型電晶體 361 與一個低臨界電壓 N 型電晶體 362，其餘的電晶體則是兩個高臨界電壓 N 型電晶體 363。

第十 A 至第十 C 圖係具有雙臨界電壓的及或閘電路示意圖，其顯示在及或閘中靠近電壓源的電晶體之臨界電壓係較其他處電晶體的臨界電壓低。如第十 A 圖所示，及或閘 38 於靠近電壓源 VDD、GND 的電晶體是利用三個並聯的低臨界電壓 P 型電晶體 381 與一個低臨界電壓 N 型電晶體 382，其餘的電晶體則是一個標準臨界電壓 P 型電晶體 383 與三個標準臨界電壓 N 型電晶體 384；第十 B 圖之及或閘 40 於靠近電壓源 VDD、GND 的電晶體分別是三個並聯的標準臨界電壓 P 型電晶體 401 與一個標準臨界電壓 N 型電晶體 402，其餘的電晶體則是一個高臨界電壓 P 型電晶體 403 與三個高臨界電壓 N 型電晶體 404；第十 C 圖之及或閘 42 於靠近電壓源 VDD、GND 的電晶體分別是三個並聯的低臨界電壓 P 型電晶體 421 與一個低臨界電壓 N 型電晶體 422，其餘的電晶體則是一個高臨界電壓 P 型電晶體 423 與三個高臨界電壓 N 型電晶體 424。

再者，請參照第十一圖，係本發明應用上述之邏輯閘電路的標準元件庫設計方法流程圖。如圖所示，本發明之標準元件庫設計方法係如步驟 S1 所示，先在一邏輯電路中之一關鍵路徑上，使用至少一具有雙臨界電壓的邏輯閘電路，其中此邏輯閘電路主要是包括複數個互補式金氧半電晶體(CMOS)，且係在靠近電壓源處的電晶體係採用臨界電壓較低的電晶體，其餘電晶體則係採用臨界電壓相對較高的電晶體，即如步驟 S2 所示。

且，為更佳瞭解本標準元件庫之設計方法，請同時參照第十二圖，係以一具有雙臨界電壓的 D 型正反器電路做為例子。如圖所示，在 D 型正反器 44 之邏輯電路上，係在關鍵路徑使用具有較低臨界電壓的元件，即如圖

中所示之使用具有雙臨界電壓的反相器 20 與三態緩衝器 26，以減少寄生電容效應進而降低動態功耗消耗，而在非關鍵路徑上仍使用習知之只具標準臨界電壓的三態緩衝器 12 可以避免多餘的漏電流產生。

由此可知，本發明所揭示的標準元件庫設計方法係使用具有雙臨界電壓的邏輯閘電路，其在關鍵路徑上、靠近電壓源的電晶體使用臨界電壓相對較低的電晶體，即可改善寄生電容效應，進而降低動態功率的消耗，使得總體功率降低。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為習知之反相器電路示意圖。

第二圖為習知之三態緩衝器電路示意圖。

第三圖為習知之三輸入反相及閘電路示意圖。

第四圖為習知之及或閘電路示意圖。

第五圖為習知之 D 型正反器電路示意圖。

第六(a)圖~第六(f)圖係本發明之電晶體圖式示意圖。

第七 A 圖~第七 C 圖係本發明之具有雙臨界電壓的反相器電路示意圖。

第八 A 圖~第八 C 圖係本發明之具有雙臨界電壓的三態緩衝器電路

示意圖。

第九 A 圖～第九 C 圖係本發明之具有雙臨界電壓的三輸入反相及開電路示意圖。

第十 A 圖～第十 C 圖係本發明之具有雙臨界電壓的及或開電路示意圖。

第十一圖係本發明之標準元件庫設計方法流程圖。

第十二圖為本發明之具有雙臨界電壓的 D 型正反器電路示意圖。

【主要元件符號說明】

10 反相器

12 三態緩衝器

14 反相及開

16 及或開

18 D 型正反器

20 反相器

201 低臨界電壓 P 型電晶體

202 標準臨界電壓 N 型電晶體

22 反相器

221 標準臨界電壓 P 型電晶體

222 高臨界電壓 N 型電晶體

24 反相器

241 低臨界電壓 P 型電晶體

242 高臨界電壓 N 型電晶體

26 三態緩衝器

261 低臨界電壓 P 型電晶體

262 低臨界電壓 N 型電晶體

263 標準臨界電壓 P 型電晶體

264 標準臨界電壓 N 型電晶體

28 三態緩衝器

282 標準臨界電壓 N 型電晶體

283 高臨界電壓 P 型電晶體

284 高臨界電壓 N 型電晶體

30 三態緩衝器

301 低臨界電壓 P 型電晶體

302 低臨界電壓 N 型電晶體

303 高臨界電壓 P 型電晶體

304 高臨界電壓 N 型電晶體

32 反相及開

322 低臨界電壓 N 型電晶體

323 標準臨界電壓 N 型電晶體

34 反相及開

342 標準臨界電壓 N 型電晶體

343 高臨界電壓 N 型電晶體

36 反相及開

362 低臨界電壓 N 型電晶體

363 高臨界電壓 N 型電晶體

38 及或開

382 低臨界電壓 N 型電晶體

383 標準臨界電壓 P 型電晶體

281 標準臨界電壓 P 型電晶體

321 低臨界電壓 P 型電晶體

341 標準臨界電壓 P 型電晶體

361 低臨界電壓 P 型電晶體

381 低臨界電壓 P 型電晶體

384 標準臨界電壓 N 型電晶體

40 及或閘

401 標準臨界電壓 P 型電晶體

402 標準臨界電壓 N 型電晶體

403 高臨界電壓 P 型電晶體

404 高臨界電壓 N 型電晶體

42 及或閘

421 低臨界電壓 P 型電晶體

422 低臨界電壓 N 型電晶體

423 高臨界電壓 P 型電晶體

424 高臨界電壓 N 型電晶體

44 D 型正反器

十、申請專利範圍：

1. 一種具有雙臨界電壓的邏輯閘電路，包括至少二個電晶體，且於該等電晶體中之靠近電壓源的電晶體係採用第一臨界電壓電晶體，其餘電晶體則係第二臨界電壓電晶體，且該第一臨界電壓電晶體之臨界電壓比該第二臨界電壓電晶體之臨界電壓低。
2. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該第一臨界電壓電晶體係低臨界電壓電晶體，該第二臨界電壓電晶體係標準臨界電壓電晶體。
3. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該第一臨界電壓電晶體係標準臨界電壓電晶體，該第二臨界電壓電晶體係高臨界電壓電晶體。
4. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該第一臨界電壓電晶體係低臨界電壓電晶體，該第二臨界電壓電晶體係高臨界電壓電晶體。
5. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該具有較低臨界電壓的邏輯閘電路係設置在一邏輯電路之一關鍵路徑上。
6. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該第一臨界電壓電晶體係設置在一關鍵路徑上，該第二臨界電壓電晶體係設置在一非關鍵路徑上。
7. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該等電晶體係互補式金氧半電晶體。
8. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該第

一臨界電壓電晶體係 P 型電晶體或 N 型電晶體。

9. 如申請專利範圍第 1 項所述之具有雙臨界電壓的邏輯閘電路，其中該第二臨界電壓電晶體係 P 型電晶體或 N 型電晶體。

10. 一種標準元件庫設計方法，包括下列步驟：

在一邏輯電路中之一關鍵路徑上，使用至少一具有雙臨界電壓的邏輯閘電路，其包括至少二個電晶體；及

在該邏輯閘電路中，且於該等電晶體中之靠近電壓源的電晶體係採用第一臨界電壓電晶體，其餘電晶體則係採用第二臨界電壓電晶體，且該第一臨界電壓電晶體之臨界電壓比該第二臨界電壓電晶體之臨界電壓低。

11. 如申請專利範圍第 10 項所述之標準元件庫設計方法，其中該第一臨界電壓電晶體係在一關鍵路徑上，該第二臨界電壓電晶體係在一非關鍵路徑上。

12. 如申請專利範圍第 10 項所述之標準元件庫設計方法，其中該第一臨界電壓電晶體係低臨界電壓電晶體，該第二臨界電壓電晶體係標準臨界電壓電晶體。

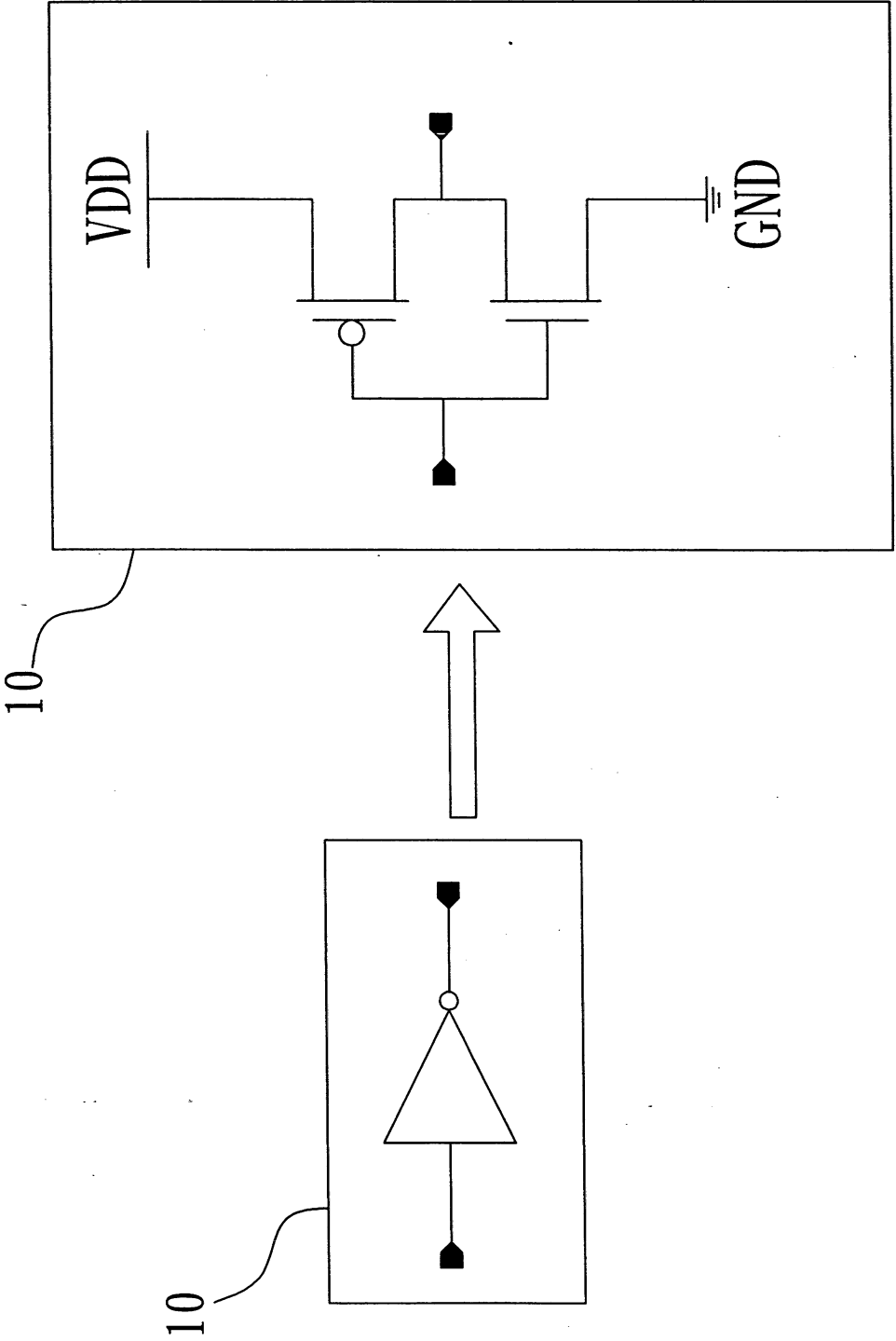
13. 如申請專利範圍第 10 項所述之標準元件庫設計方法，其中該第一臨界電壓電晶體係標準臨界電壓電晶體，該第二臨界電壓電晶體係高臨界電壓電晶體。

14. 如申請專利範圍第 10 項所述之標準元件庫設計方法，其中該第一臨界電壓電晶體係低臨界電壓電晶體，該第二臨界電壓電晶體係高臨界電壓電晶體。

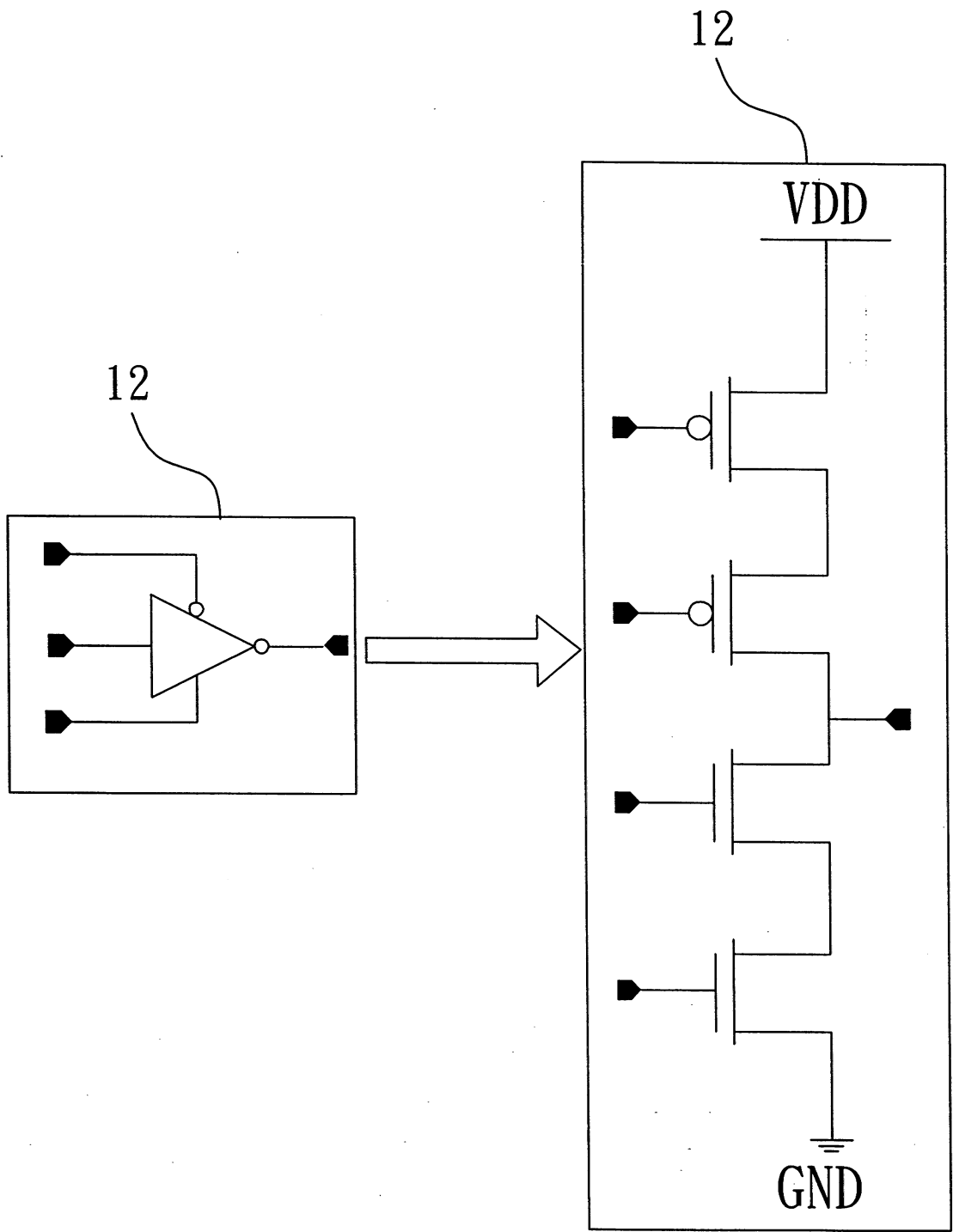
15. 如申請專利範圍第 10 項所述之標準元件庫設計方法，其中該等電晶體係互補式金氧半電晶體。

16. 如申請專利範圍第 10 項所述之標準元件庫設計方法，其中該第一臨界電壓電晶體係 P 型電晶體或 N 型電晶體。

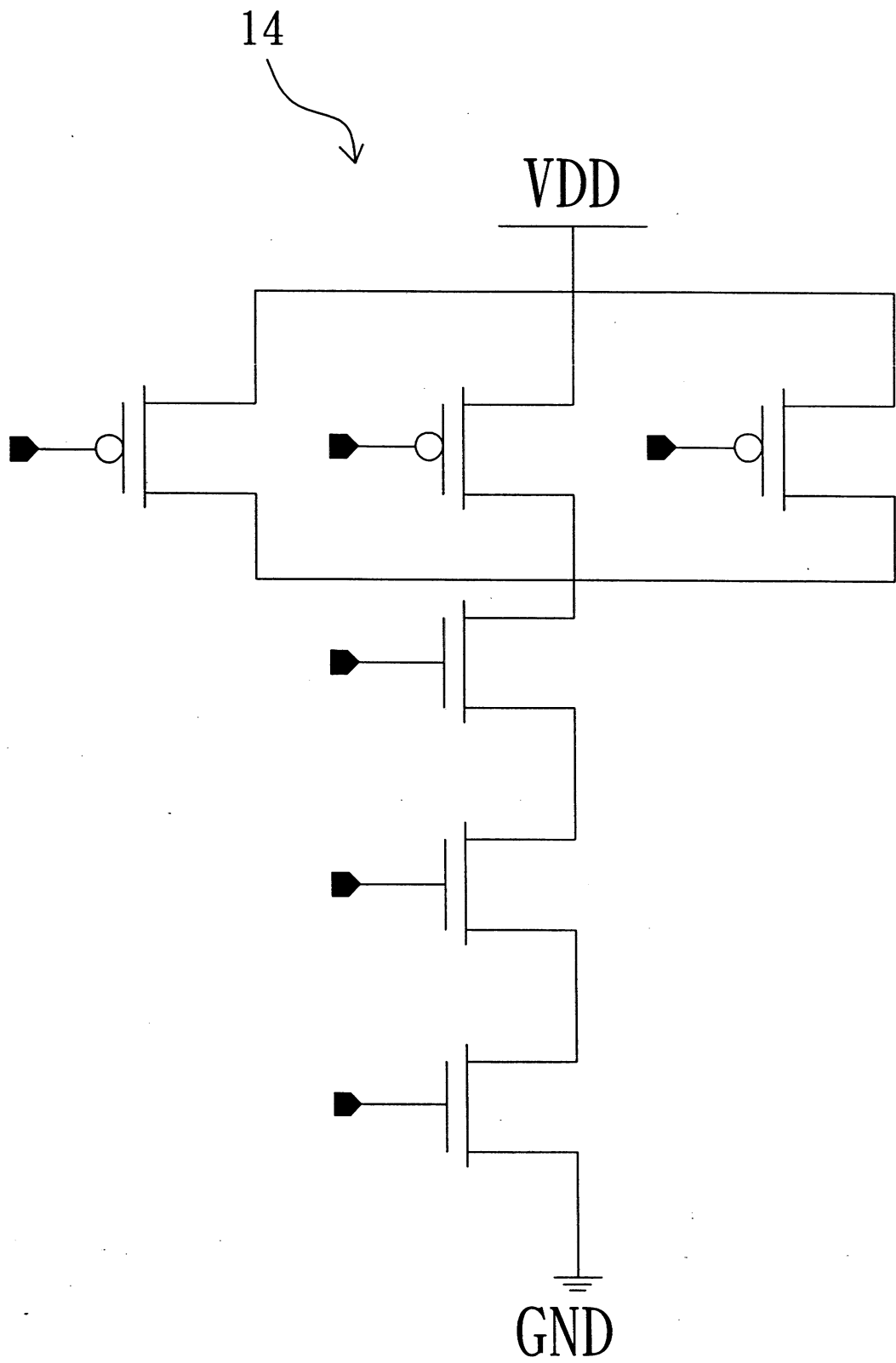
17. 如申請專利範圍第 10 項所述之標準元件庫設計方法，其中該第二臨界電壓電晶體係 P 型電晶體或 N 型電晶體。



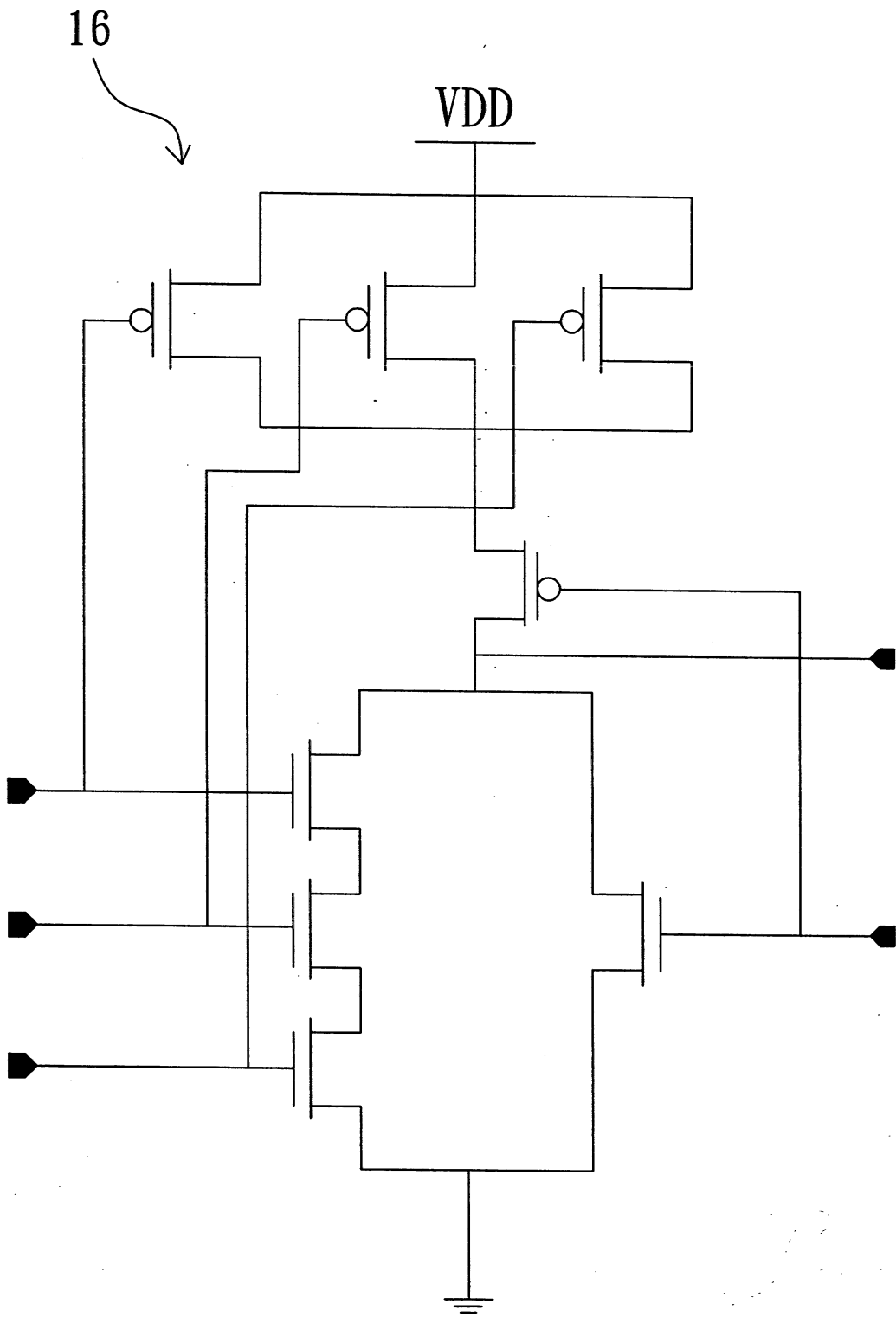
第一圖
(先前技術)



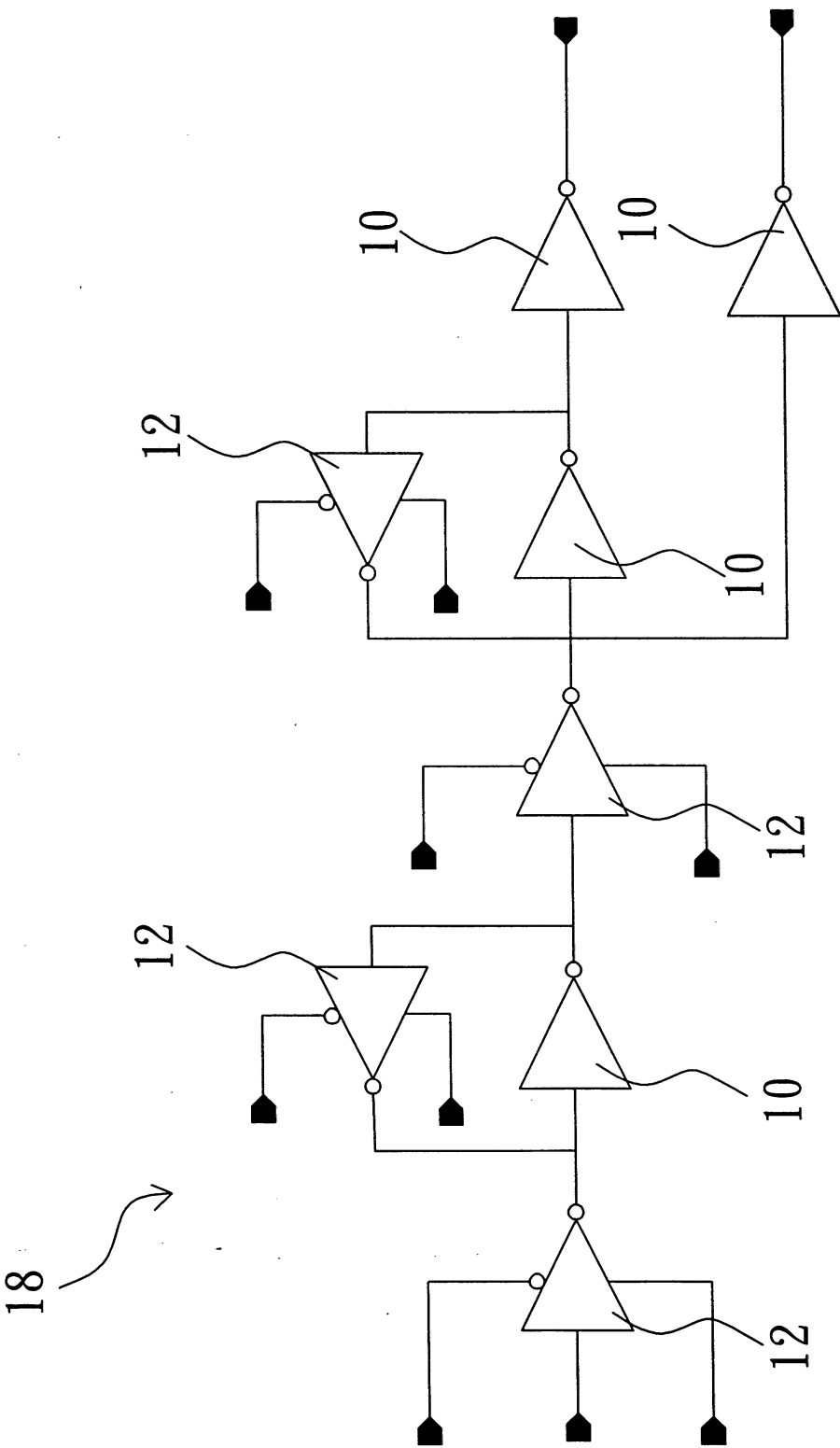
第二圖
(先前技術)



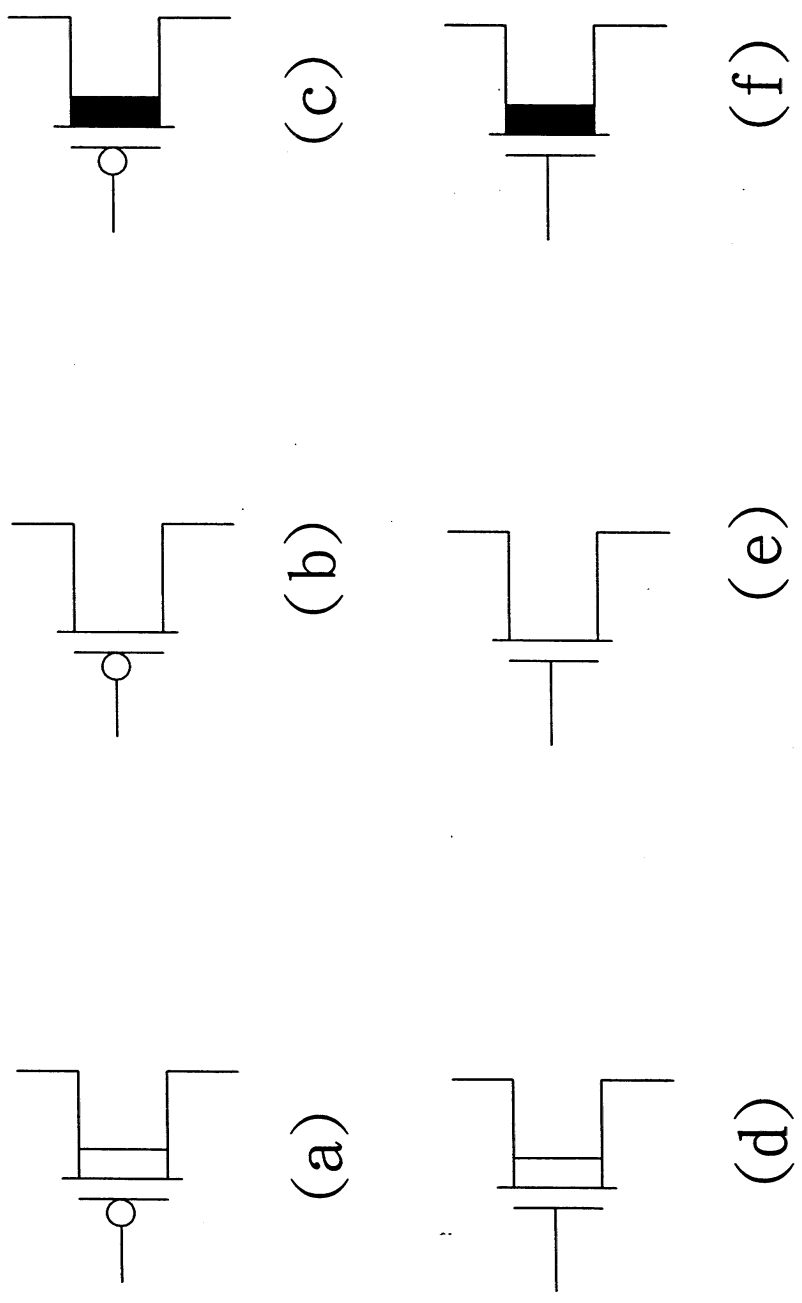
第三圖
(先前技術)



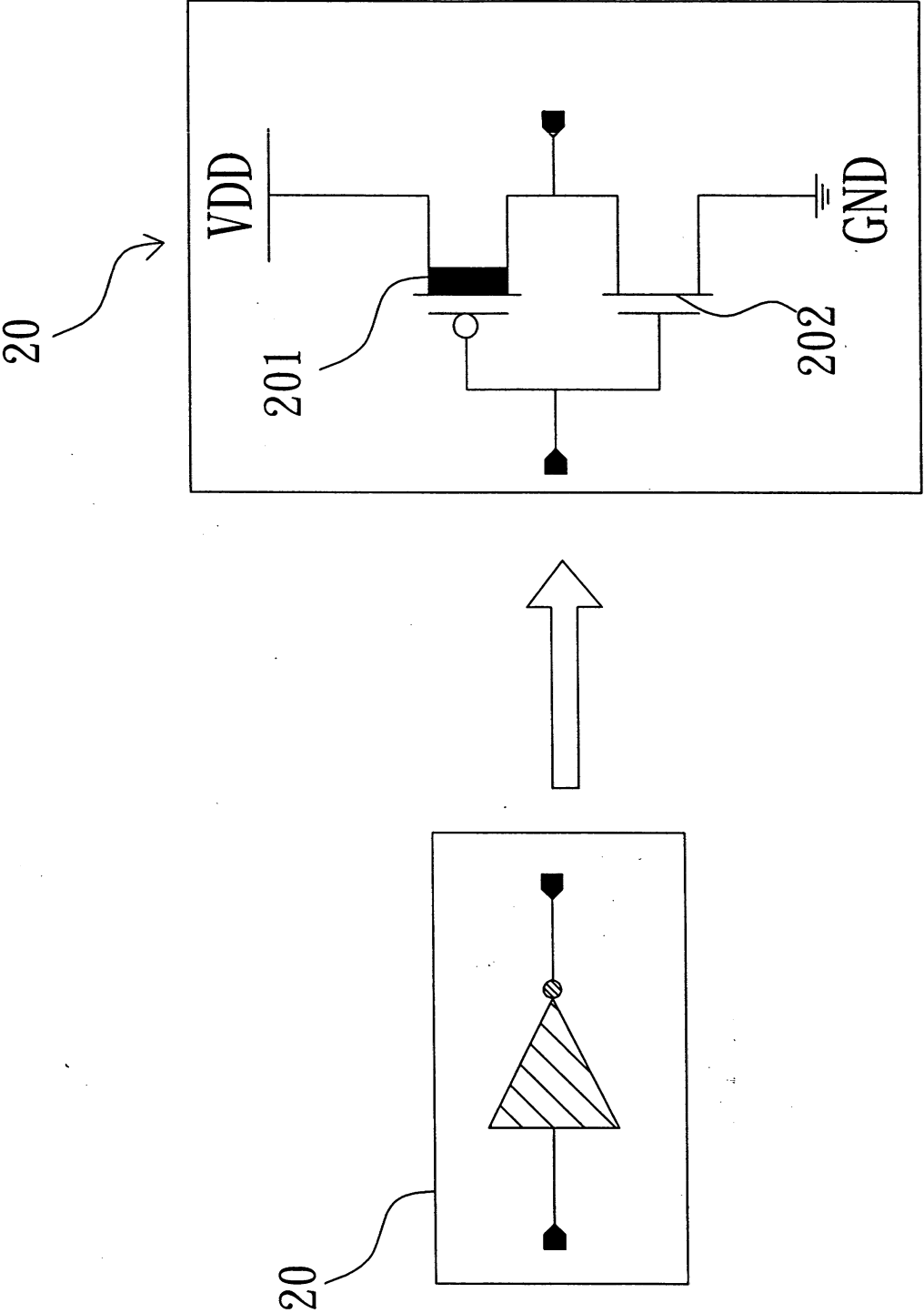
第四圖
(先前技術)



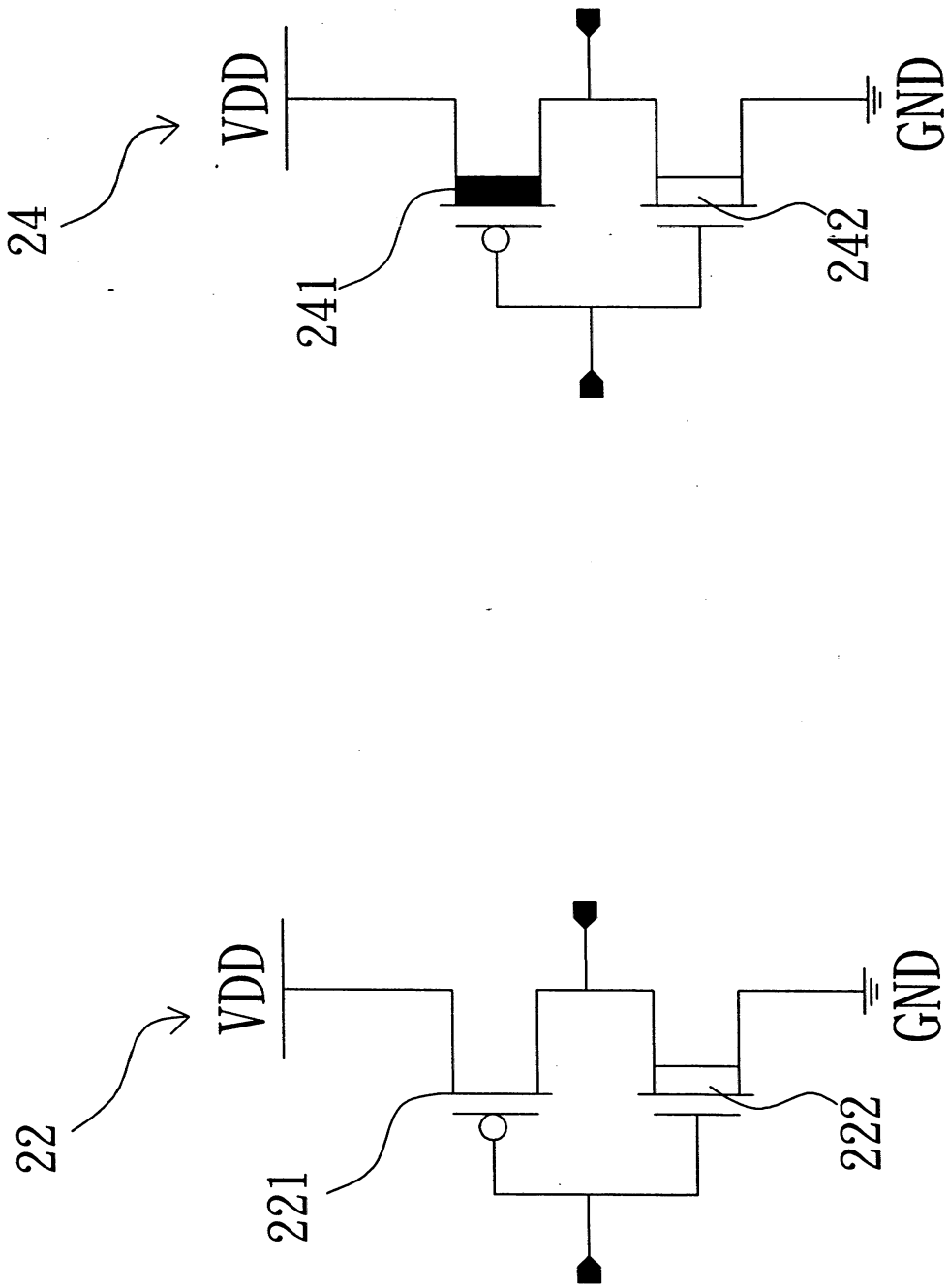
第五圖
(先前技術)



第六圖

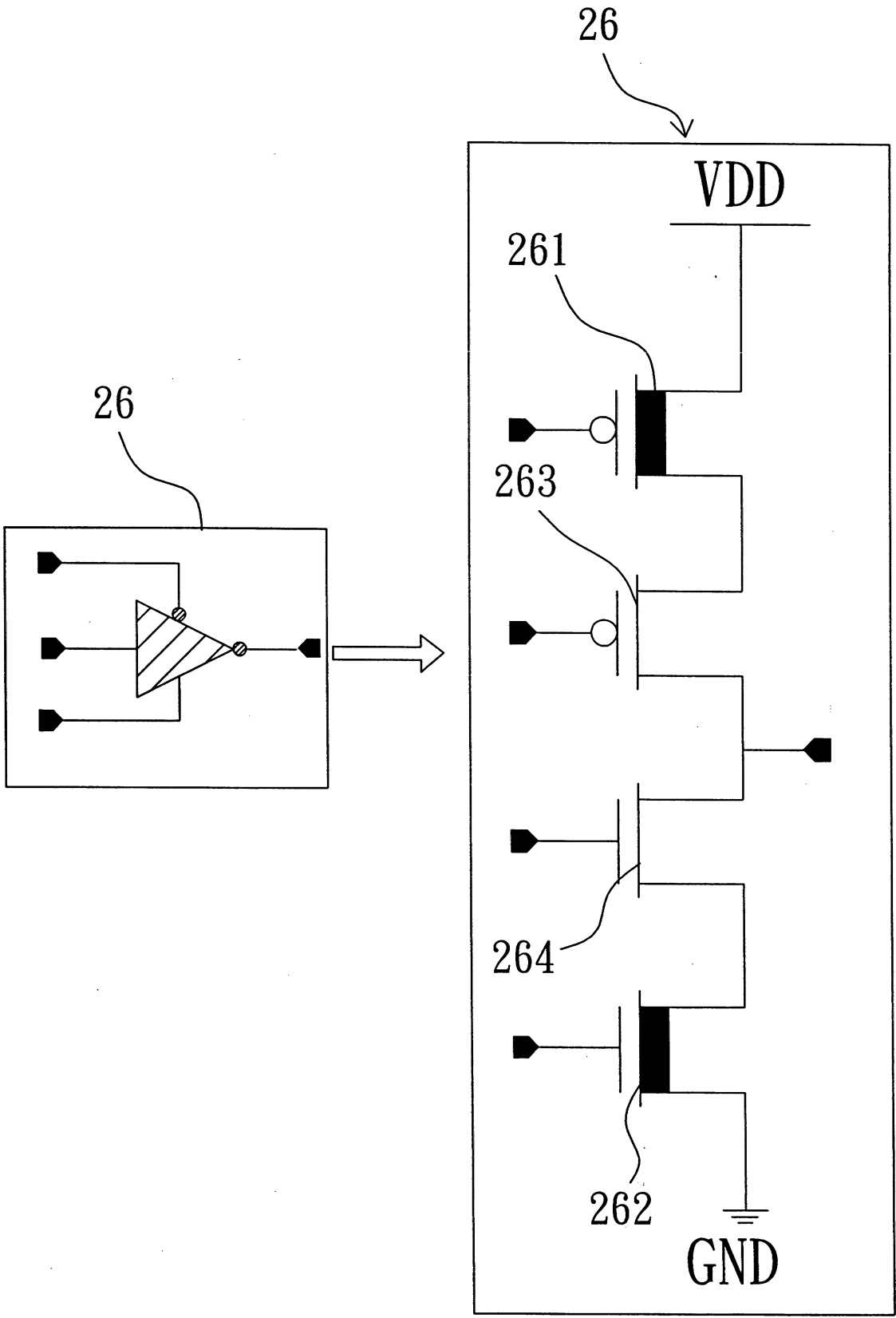


第七A圖

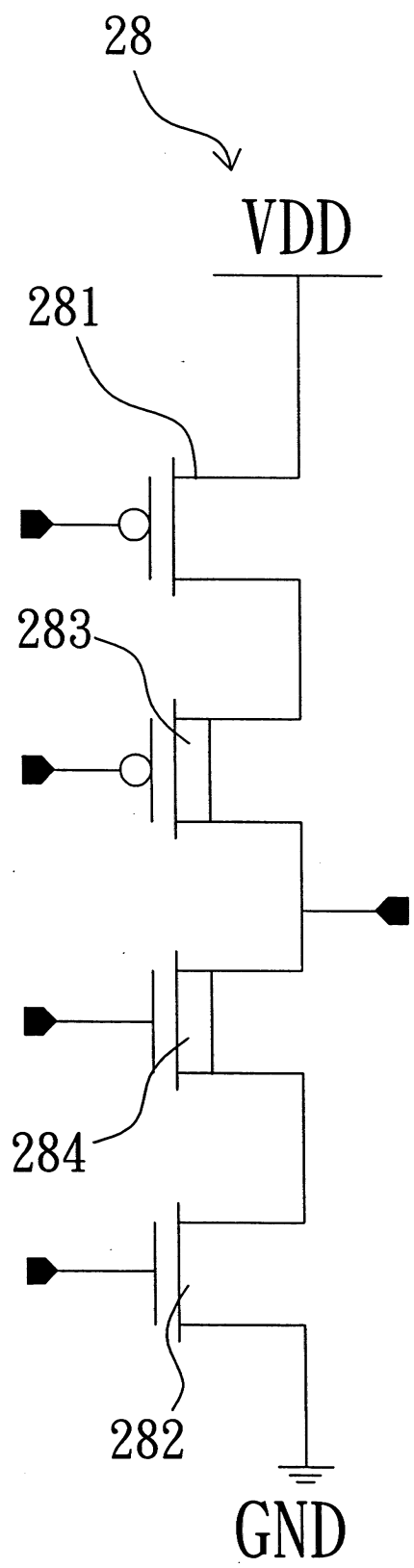


第七B圖

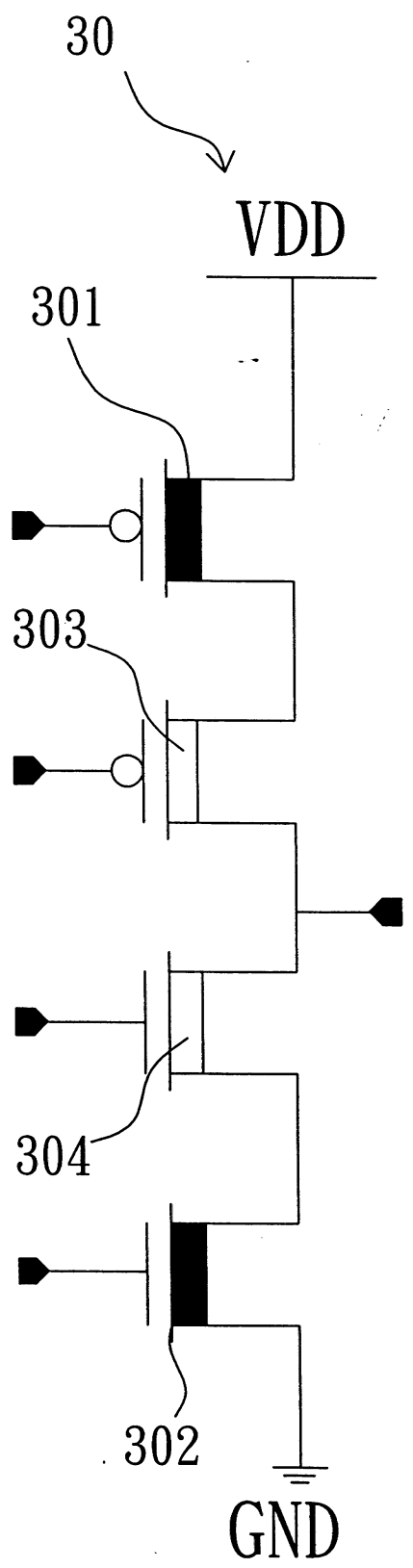
第七C圖



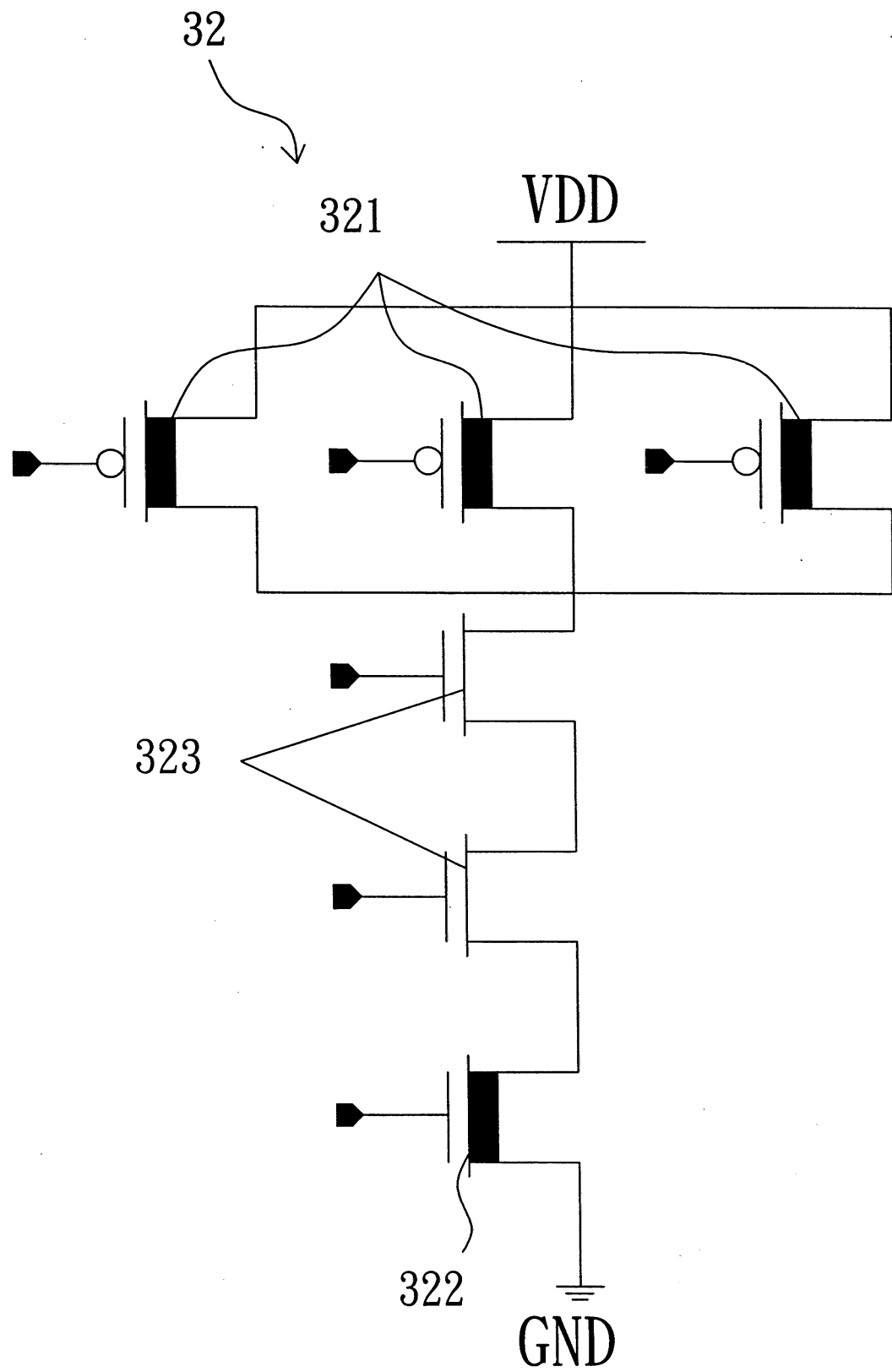
第八A圖



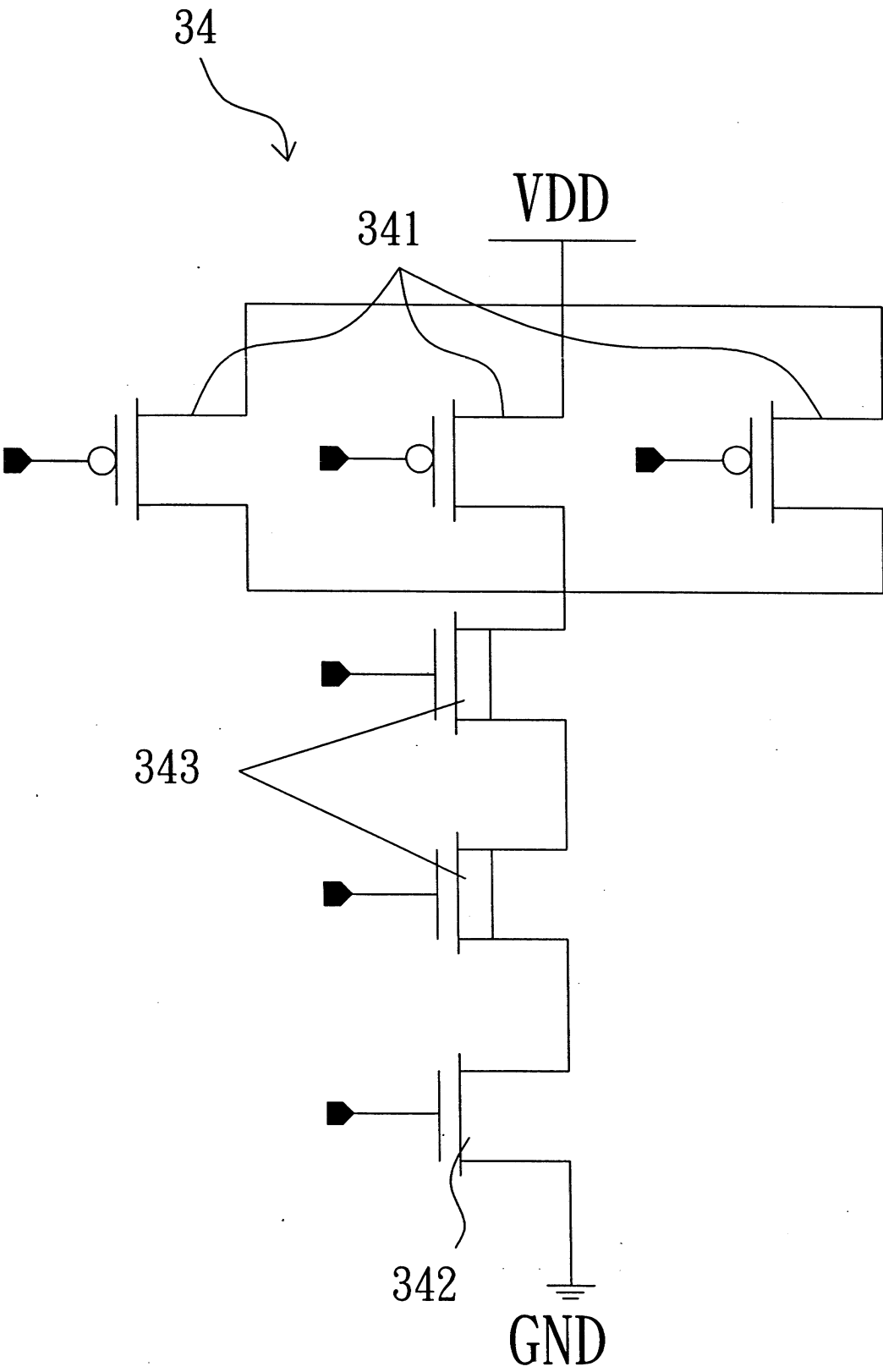
第八B圖



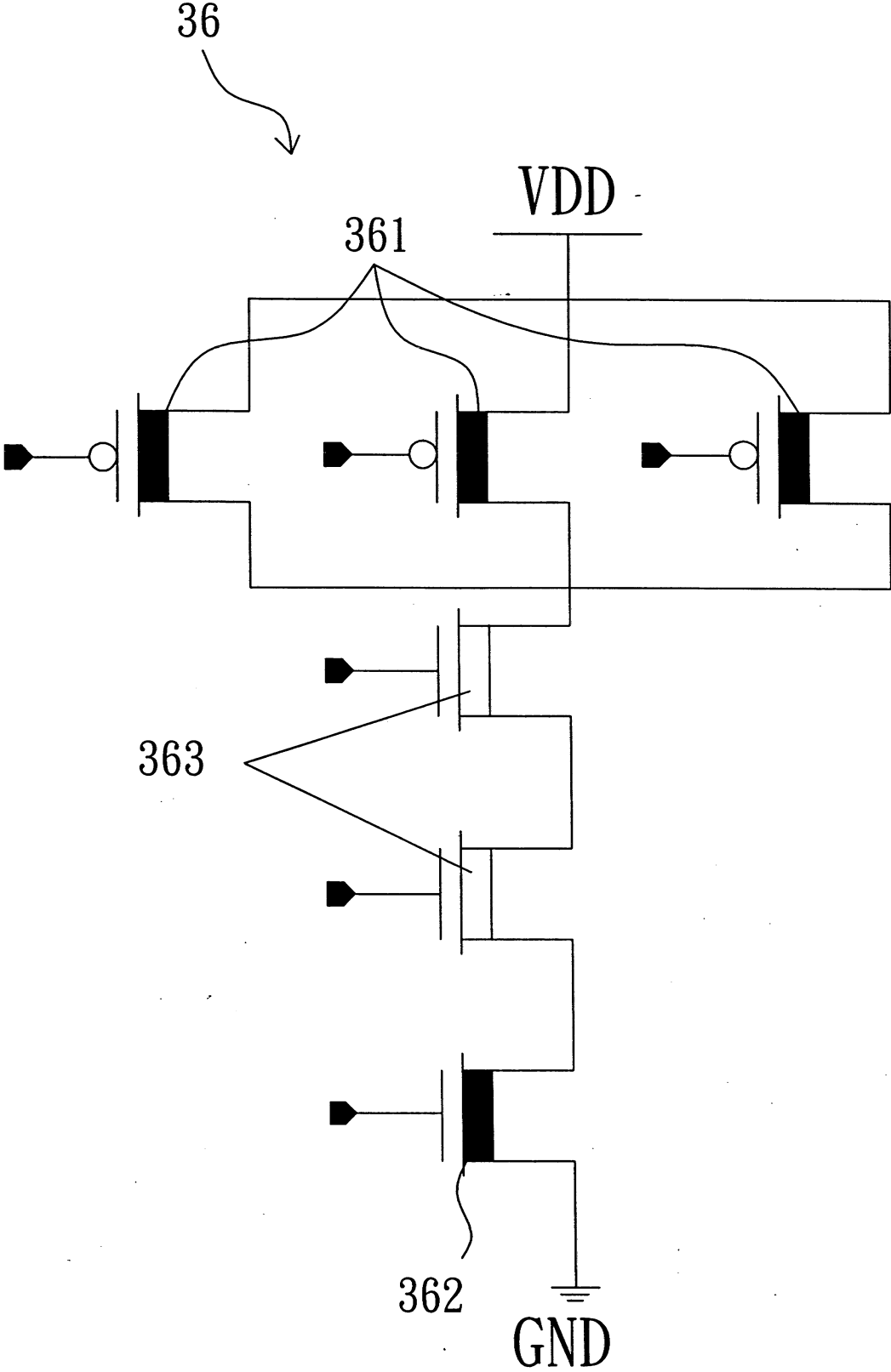
第八C圖



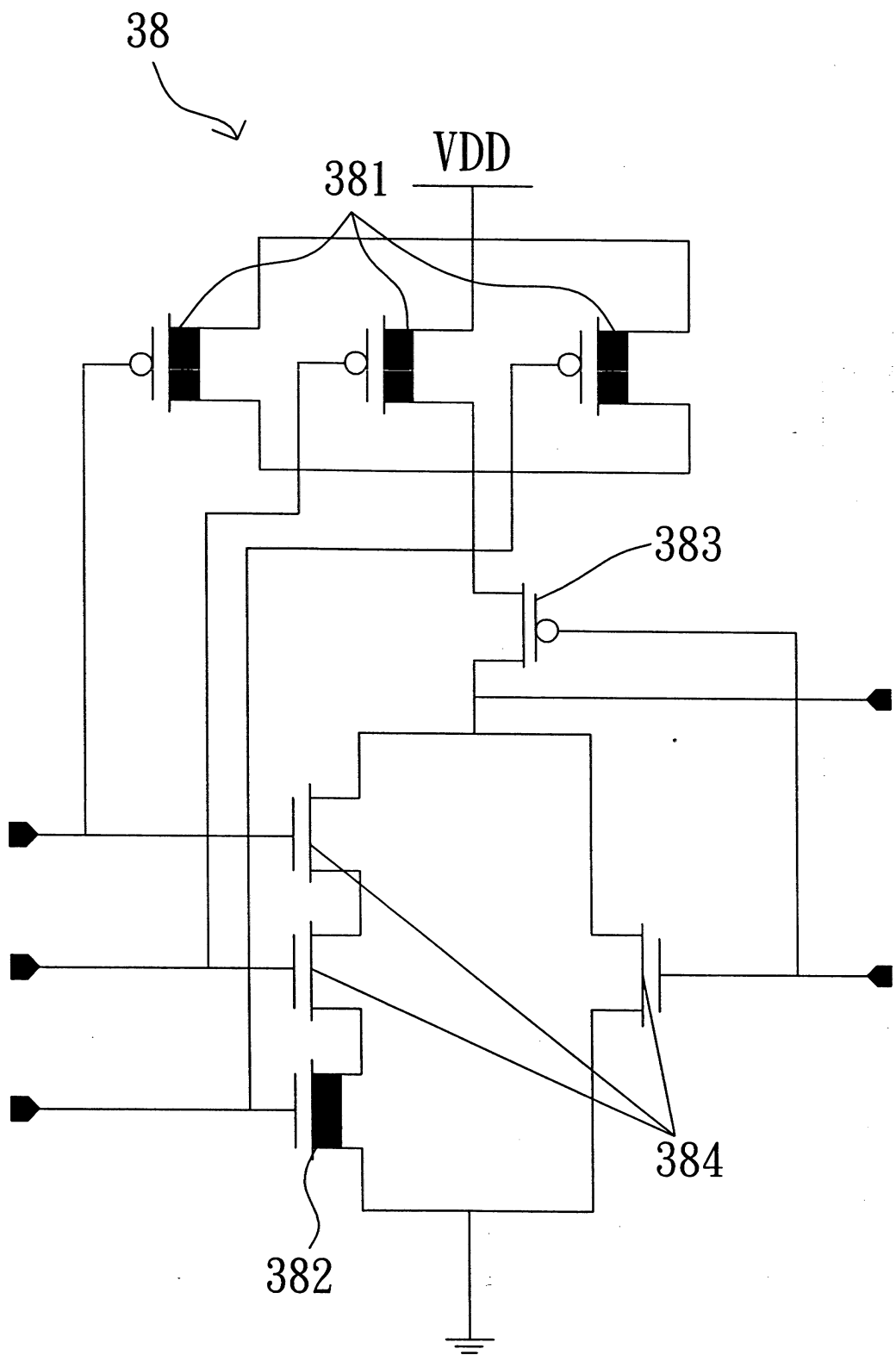
第九A圖



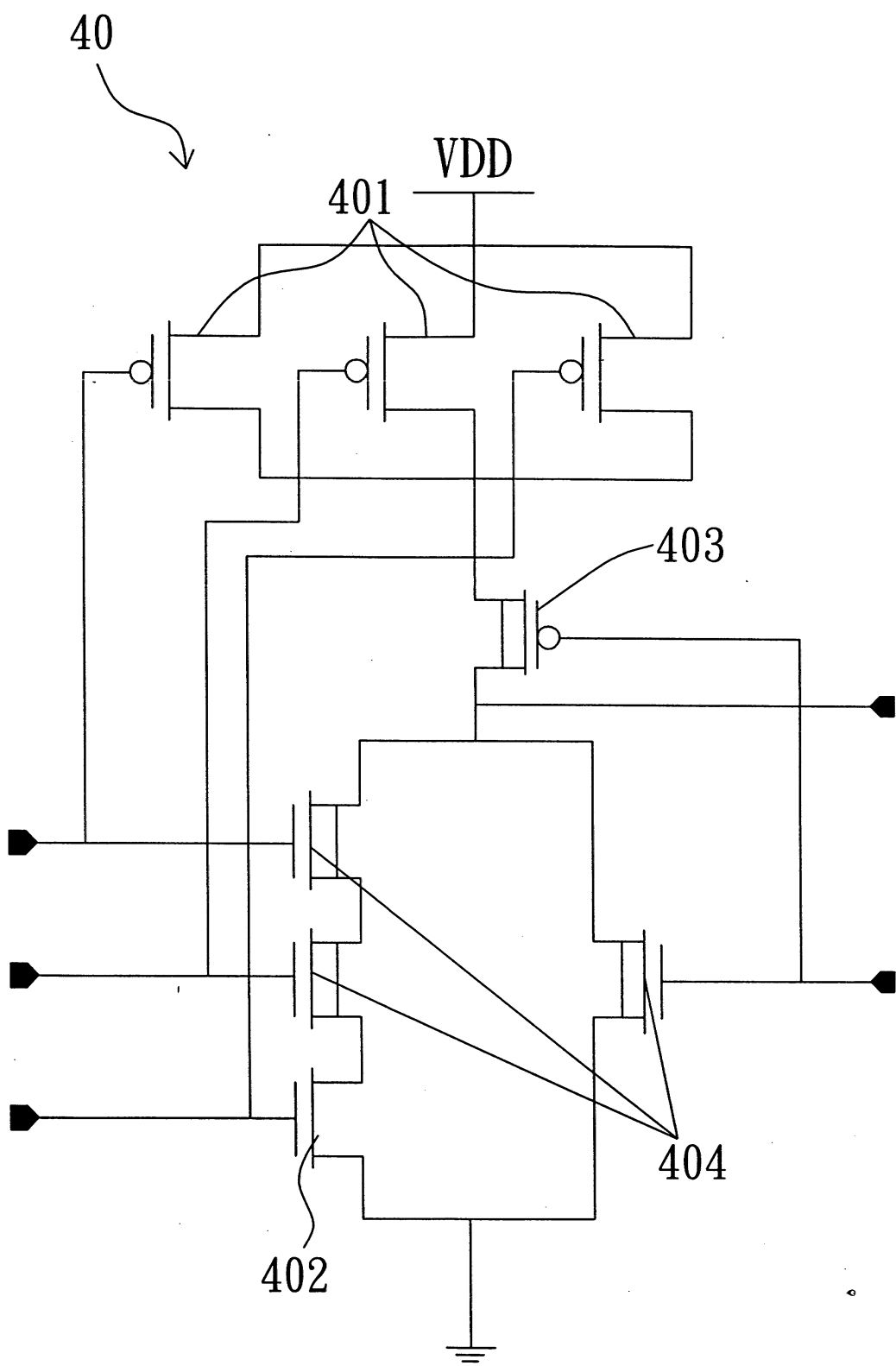
第九B圖



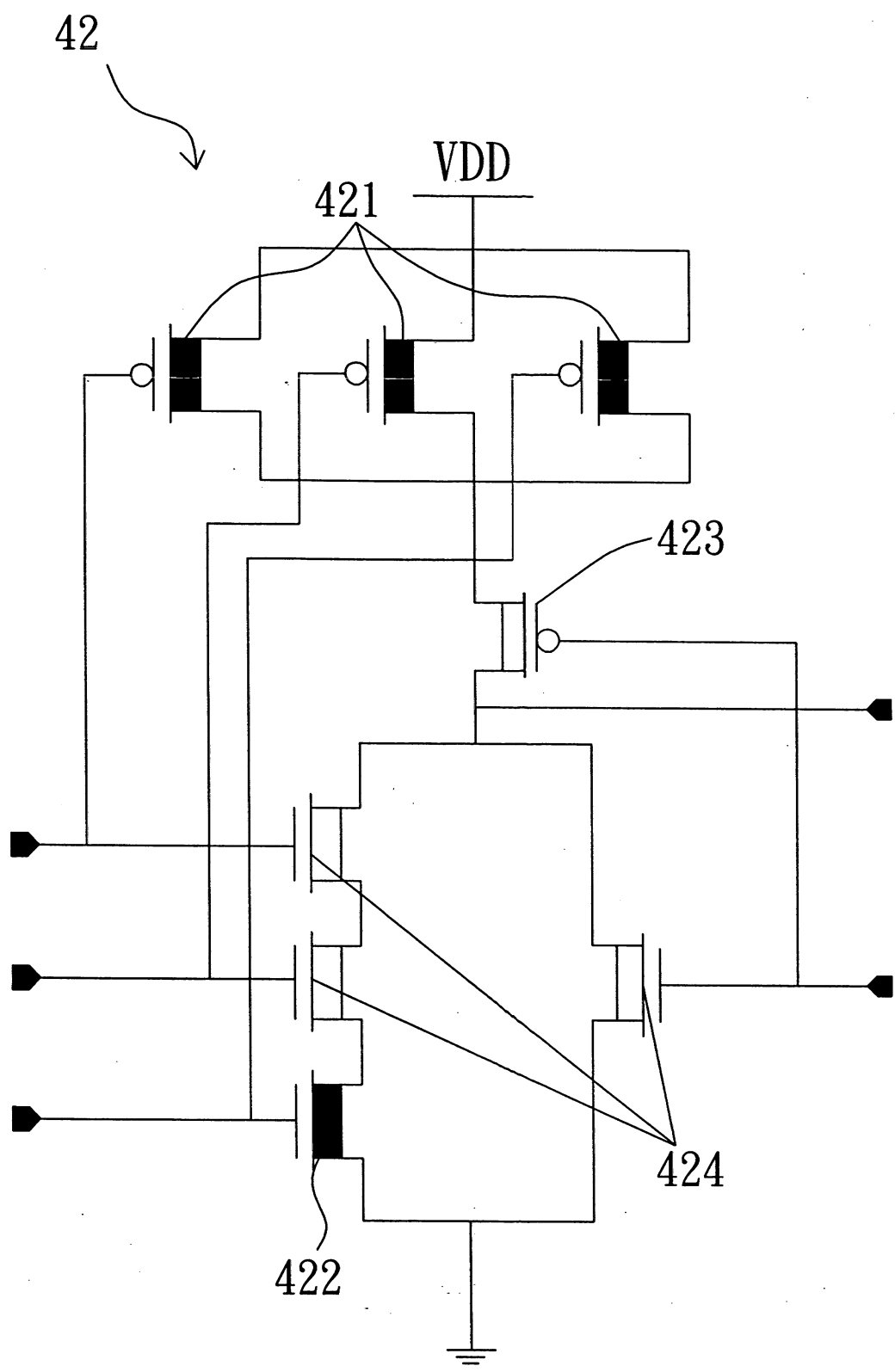
第九C圖



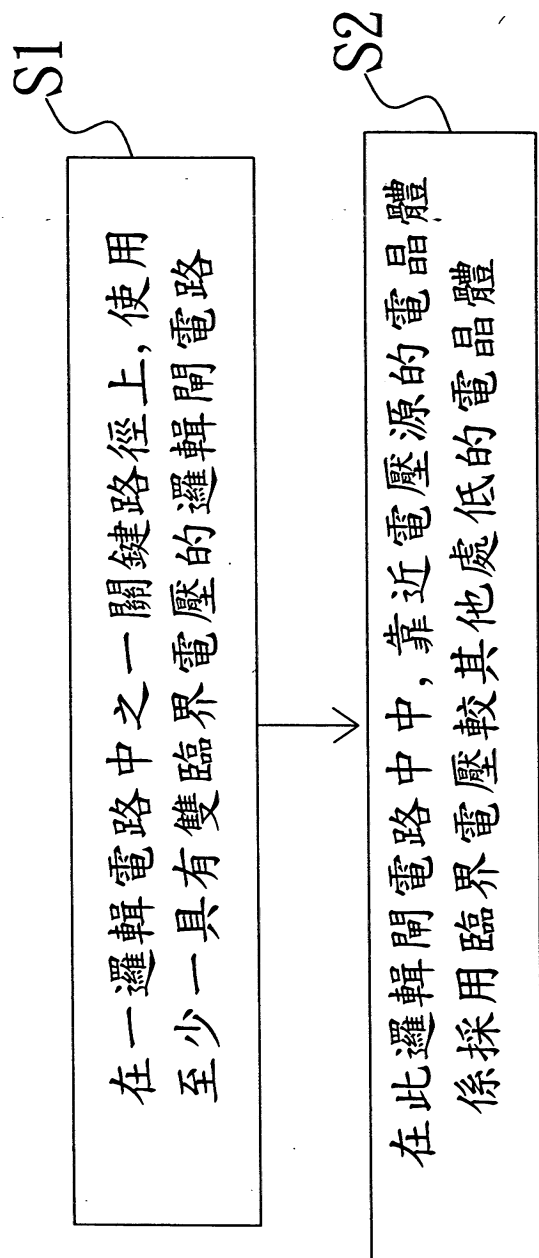
第十A圖



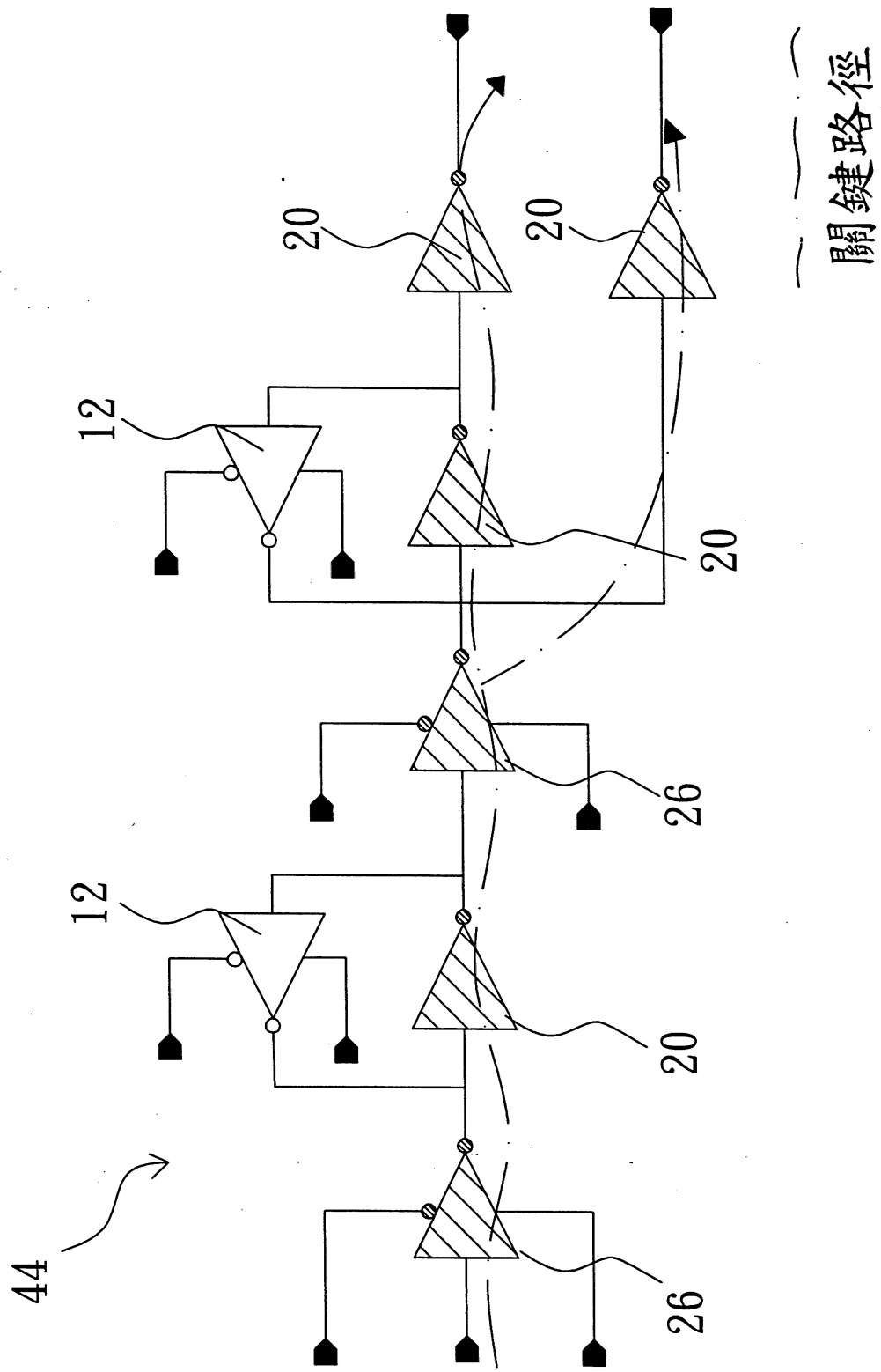
第十B圖



第十C圖

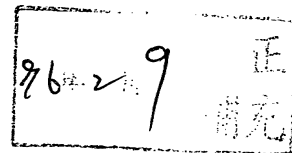


第十一圖



第十二圖

發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96103843

※申請日期：

※IPC 分類：G06F17/50(2006.01)

一、發明名稱：(中文/英文)

具有雙臨界電壓的邏輯閘電路及其應用之標準元件庫

二、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 吳重雨

住居所或營業所地址：(中文/英文)

新竹市大學路1001號

國籍：(中文/英文) 中華民國 TW

三、發明人：(共3人)

姓名：(中文/英文)

1、周世傑

2、邱奕瑋

3、胡嘉琳

國籍：(中文/英文)

(均同) 中華民國 TW