

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96102126

911C 15/00 (2006.01)

※申請日期：96.1.19

※IPC 分類：H04L 12/56 (2006.01)

一、發明名稱：(中文/英文)

蝴蝶式比較線結構及其搜循方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 黃威

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文) 中華民國 TW

三、發明人：(共 3 人)

姓名：(中文/英文)

1、張書瑋

2、黃威

3、黃柏蒼

國籍：(中文/英文)

(均同) 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：95年7月20日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係提供一種蝴蝶式比較線結構及其搜循方法，其係比傳統作法增加了比較線的平行度來加速比較線的搜尋時間，並且利用蝴蝶式連接方式，來減少功率消耗，以期達到最好的能源效益。本發明利用蝴蝶式連接方式，來交互傳遞比對資訊給本來互相獨立的平行比較線。當有比對失敗的情況出現，後面將會有較多的記憶單元被關閉不進行比對，進而減少其比對的功率消耗。此外，我們利用互斥或邏輯閘維持器來同時減少比對時間及功率消耗。更進一步，利用此電路來減少蝴蝶式連線的延遲時間。

六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第一圖

(二)、本案代表圖之元件代表符號簡單說明：

12 記憶單元

16 或閘反相器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係一種蝴蝶式比較線結構及其搜循方法，其係特別關於一種之應用於通訊網路方面中，使用內容可比對式記憶體的設計以進行 IP 位址搜尋之蝴蝶式比較線結構及其搜循方法。

【先前技術】

為了減少比較線上的功率消耗，許多技術已經被提出，其中切斷比較線用資料傳遞的方式，以降低比較線電容的方式來減少比較線上的功率消耗，這種方法在過去被廣泛的使用，因為他可以有效降低功率的消耗。

另一方面抹些設計為了補足速度上的缺失，將比較線上的記憶單元平行化，已取得功率及速度的最佳平衡。這個問題，在奈米電路將變的極為重要，因此在我們的設計中，將同時取得降低功率及增加速度的最佳解，以達到最好的能源效率。

為此，本發明提出一種蝴蝶式比較線結構及其搜循方法，以改善上述缺失。

【發明內容】

本發明之主要目的在提供一種蝴蝶式比較線結構及其搜循方法，其係可減少比較線上的功率消耗下，且能降低的搜尋延遲時間。

本發明之另一目的在提供一種蝴蝶式比較線結構及其搜循方法，其係利用蝴蝶連接方式來連接不同的平行比較線，由於控制訊號直接取自前級的資料，因此無須增加過多的邏輯閘。。

本發明之又一目的在提供一種蝴蝶式比較線結構及其搜循方法，其係利用互斥或邏輯閘維持器(XOR based conditional keeper)來作為保持器，以減少蝴蝶式連接的延遲時間，以期達到最佳的能源效益。

本發明之又一目的在提供一種蝴蝶式比較線結構及其搜循方法，其係利用互斥或邏輯閘維持器能提供動態電路抗雜訊的功能，並且消除過多無謂的功率消耗。

本發明係提供一種蝴蝶式比較線結構及其搜循方法，其係應用於內容可定址記憶體中之一種蝴蝶式比較線結構，由內容可定址記憶體中劃分出的複數個記憶單元，再以階層式階層式比較線串接記憶單元，且每一相鄰之該等記憶單元再交錯連接。在此蝴蝶式比較線結構下，當訊號輸入後，訊號傳入第一層之該記憶單元，判斷比對結果，若比對結果匹配，繼續比對下一層之該記憶單元，如比對結果一直匹配，則持續比對直到比對完最後一層之該記憶單元；如果任一層之記憶單元比對結果不匹配，即可停止比對。換言之，若有任一記憶單元比對結果不匹配，則結束比對，因此比對結果失敗時，將會有較多的記憶單元被關閉不進行比對。

在比較線的輸出端連接互斥或邏輯閘維持器來作為保持器，利用互斥或邏輯閘維持器來作為保持器，可以減少蝴蝶式連接的延遲時間，以期達到最佳的能源效益。互斥或邏輯閘維持器並能提供動態電路抗雜訊的功能，並且消除過多無謂的功率消耗。

本發明利用蝴蝶連接方式來連接不同的平行比較線，由於控制訊號直接取自前級的資料，因此無須增加過多的邏輯閘。藉由上述結構，本發明

可在減少比較線上的功率消耗下，降低的搜尋延遲時間。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

隨著 IPv6 的發展，如何在不影響搜尋時間的前提下，有效的降低搜尋時消耗的功率，成了設計內容可定址記憶體(CAM)的重點，本發明即是在此一設計前提下，完成預期的目標。因此，本發明所提出之蝴蝶式比較線結構及其搜循方法，其係一個新的蝴蝶式比較線結構，其目的在於減少內容可定址式記憶體搜尋時間的條件下並減少比較線上的功率消耗。本發明係通訊網路方面中，有關 IP 位址搜尋使用內容可比對式記憶體的設計，主要可應用於路由器(Router)等網路產品。

為能詳細說明本發明，以下提出數實施例以詳細介紹本發明。下列實施例的不同主要在於比較線、記憶單元的切割的方式、以及蝴蝶式連線的方式不同。

首先說明本發明之第一實施例，請參照第一圖及第二圖。本發明係應用於內容可定址記憶體中之一種蝴蝶式比較線結構，內容可定址記憶體中劃分出複數個記憶單元 12；以階層式階層式比較線串接記憶單元 12，且每一相鄰之該等記憶單元 12 再交錯連接。在此蝴蝶式比較線結構下，當訊號輸入後，訊號傳入第一層之該記憶單元 12，判斷比對結果，若比對結果匹配，繼續比對下一層之該記憶單元 12，如比對結果一直匹配，則持續比對直到比對完最後一層之該記憶單元 12；如果任一層之記憶單元 12 比對結果

不匹配，即可停止比對。以本實施例為例，本實施例的比對方式，說明如下：

如第一 A 圖所示，當訊號輸入兩側之 4 位元的記憶單元 12 時，如比對不匹配，則停止比對，此時所有的 6 位元的記憶單元 12 皆關閉。

如第一 B 圖所示當訊號輸入兩側之 4 位元的記憶單元 12 時，如比對匹配，則繼續比對下一層之 6 位元的記憶單元 12。此時，如比對結果不匹配，由第一 B 圖中可知，比對不匹配的訊號可交叉傳遞下去。使得後面數層的記憶單元 12 皆會關閉；因此，後續如果任一層之 6 位元的記憶單元 12 比對結果不匹配，即可停止比對。因此比對結果失敗時，將會有較多的記憶單元 12 被關閉不進行比對。其中，記憶單元 12 的位元數係 $2N$ 位元，且 N 為一正整數。換言之，4 位元、6 位元或 8 位元皆能組成一個符合上述實施例之記憶單元 12。

承上，本實施例中，切割成 16 個六位元輸入的記憶單元 12，並在上述結構兩側多分割一個 4 位元的記憶單元 12，係提供多一個比對的機會，此並不會影響本發明的理念或權利範圍。

另外，再仔細觀看第二圖，每一條階層式比較線之輸出端連接一互斥或邏輯閘維持器 14，再將每一互斥或邏輯閘維持器 14 的輸出端連接一或閘反相器 16。或閘反相器 16 用來連接兩個記憶單元 12 的資訊，並且產生控制訊號控制之後的記憶單元 12 是否運作，當前級其中的一個記憶單元 12 有不匹配的情況發生，將會產生一個關閉訊號給之後的所有記憶單元 12。很明顯的，本來應該增加的蝴蝶式傳遞延遲被隱藏在互斥或邏輯閘維持器

14。利用較高的平行度及蝴蝶連線，以互斥或邏輯閘維持器 14 所實現的蝴蝶式比較線不僅可以得到較好的搜尋時間，也消耗較少的功率。且互斥或邏輯閘維持器 14 能提供動態電路抗雜訊的功能、同時減少比對時間及功率消耗，以達到最佳的能源效益。

此外，在本實施例中，該組比較線的數目係兩條，且或閘反相器 16 的兩側各接一組對稱的蝴蝶式比較線結構。以第一圖來看，本實施例比傳統的比較線增加了更多的平行度，來降低整體比較線的搜尋時間。然而，增加獨立平行比較線會影響功率的消耗。因此，在兩條平行的比較線間，採用蝴蝶式連接型態，將不相干的獨立比較線互相交錯傳遞資訊，以減少功率消耗。如果其中一級的比對不匹配，不匹配的資訊將藉由蝴蝶連接方式傳遞下去，進而關閉之後的比對電路，避免無謂的功率消耗。

再來提出本發明之第二實施例，請參照第三圖。本實施例的主體架構與上一實施例架構、比對方式雷同，本實施例之蝴蝶式比較線結構亦由內容可定址記憶體中劃分出複數個記憶單元 12，再以階層式階層式比較線串接記憶單元 12，且每一相鄰之該等記憶單元 12 再交錯連接。在此蝴蝶式比較線結構下，當訊號輸入後，如果任一層之記憶單元 12 比對結果不匹配，即可停止比對。比對方式之原理可參照第一實施例中之介紹。

特別的是，與上一實施例不同，本實施例沒有額外分割、連接一個記憶單元 12。在本實施例中，該組比較線的數目係兩條，且或閘反相器 16 的兩側各接一組對稱的蝴蝶式比較線結構。以第二圖來看，其切割成 16 個八位元輸入的記憶單元 12，雖然八位元輸入屬於高輸入邏輯閘，會有較差的

延遲時間，但是整體而言，本實施例有比較少的級數在單一的比較線上，所花費的搜尋時間反而比上一實施例來的短。

接著提出本發明之第三實施例，請參照第四圖。本實施例的主體架構與第一實施例的切割方法是相同的，但是他們的蝴蝶連接方式卻有所不同。其連接方式係：

第一層記憶單元 12 與第二層記憶單元 12 的連接方式係將第一比較線與第二比較線之記憶單元 12 相互搭接，第三比較線與第四比較線之記憶單元 12 相互搭接，第二層記憶單元 12 與第三層記憶單元 12 的連接方式係將第一比較線與第三比較線、第二比較線與第四比較線之記憶單元 12 相互搭接，以第一層記憶單元 12 與第二層記憶單元 12、第二層記憶單元 12 與第三層記憶單元 12 的搭接方式為週期，繼續搭接後面數層記憶單元 12，直到最後一層記憶單元 12 連接該互斥或邏輯閘維持器 14 連接為止。

在本實施例中，四條平行線上擁有較多的相關性，連線也較為複雜；綜合上述三實施例，第一實施例和第三實施例的關鍵延遲時間由本來的 11 級降低到 4 級；第一實施例由原來的 11 級降到 4 級。且第一實施例在實體層時線上，第一個實施例有較簡單的電路擺置及繞線。第二實施例則有較好的搜尋時間，第三實施例則有比較好的功率表現。

本發明的主要效益在於：

1. 本發明提出的蝴蝶式比較線結構，在減少比較線上的功率消耗下，且能降低的搜尋延遲時間。
2. 本架構利用蝴蝶連接方式來連接不同的平行比較線，由於控制訊號直接

取自前級的資料，因此無須增加過多的邏輯閘。

3. 利用互斥或邏輯閘維持器 14(XOR based conditional keeper)來作為保持器，可以減少蝴蝶式連接的延遲時間，以期達到最佳的能源效益。
4. 互斥或邏輯閘維持器 14 本身能提供動態電路抗雜訊的功能，並且消除過多無謂的功率消耗。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之形狀、構造、特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

- 第一圖係本發明之第一實施例之蝴蝶式連線示意圖。
- 第一 A 圖係本發明之第一實施例於比對時之示意圖。
- 第一 B 圖係本發明之第一實施例於比對時之示意圖。
- 第二圖係本發明之電路架構示意圖。
- 第三圖係本發明之第二實施例之蝴蝶式連線示意圖。
- 第四圖係本發明之第三實施例之蝴蝶式連線示意圖。

【主要元件符號說明】

- 12 記憶單元
- 14 互斥或邏輯閘維持器
- 16 或閘反相器

十、申請專利範圍：

- 1、 一種蝴蝶式比較線結構，其係應用於內容可定址記憶體中，該結構包括：
 複數記憶單元，其係由該內容可定址記憶體中劃分出；
 至少一組階層式比較線，其係串接該記憶單元，每一相鄰之該等記憶單元再交錯連接；以及
 當訊號輸入後，如任一層之該記憶單元比對結果不匹配，即停止比對。
- 2、 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該蝴蝶式比較線可應用於路由器上。
- 3、 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該階層式比較線之輸出端連接一互斥或邏輯閘維持器，該互斥或邏輯閘維持器提供動態電路抗雜訊的功能、同時減少比對時間及功率消耗，以達到最佳的能源效益。
- 4、 如申請專利範圍第 3 項所述之蝴蝶式比較線結構，更包括一或閘反相器連接於該互斥或邏輯閘維持器的輸出端。
- 5、 如申請專利範圍第 4 項所述之蝴蝶式比較線結構，其中該或閘反相器可連接至少一以上之該互斥或邏輯閘維持器。
- 6、 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該記憶單元的位元數係 $2N$ 位元，且 N 為一正整數。
- 7、 如申請專利範圍第 6 項所述之蝴蝶式比較線結構，其中該記憶單元係 4 位元、6 位元或 8 位元組成。
- 8、 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該組階層式比

較線係 2 條比較線。

- 9、 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中當該組階層式比較線之比較線係 4 條時，該記憶單元交錯連接方式係：

第一層記憶單元與第二層記憶單元的連接方式係將第一比較線與第二比較線之記憶單元相互搭接，第三比較線與第四比較線之記憶單元相互搭接，第二層記憶單元與第三層記憶單元的連接方式係將第一比較線與第三比較線、第二比較線與第四比較線之記憶單元相互搭接，以第一層記憶單元與第二層記憶單元、第二層記憶單元與第三層記憶單元的搭接方式為週期，繼續搭接後面數層記憶單元，直到最後一層記憶單元連接該互斥或邏輯閘維持器連接為止。

- 10、 一種利用蝴蝶式比較線之搜尋方法，其係應用於內容可定址記憶體中，其係包含下列步驟：

由該內容可定址記憶體中劃分出複數記憶單元；

利用至少一組階層式比較線串接該記憶單元，該階層式比較線上之記憶單元再交錯連接；

訊號傳入第一層之該記憶單元，判斷比對結果，若比對結果匹配，繼續比對下一層之該記憶單元，如比對結果一直匹配，則持續比對直到比對完最後一層之該記憶單元；以及

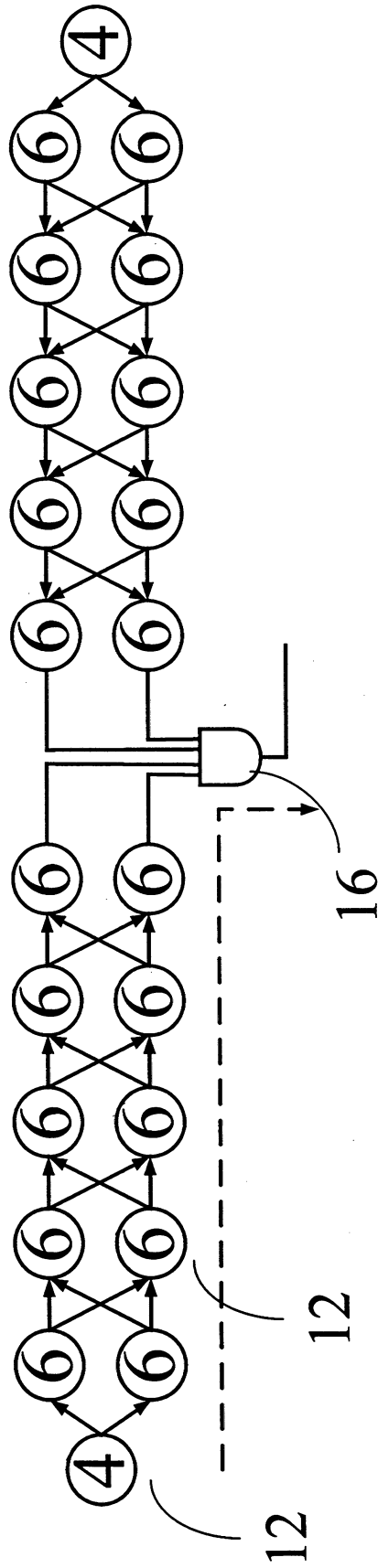
若有任一該記憶單元比對結果不匹配，則結束比對，因此比對結果失敗時，將會有較多的記憶單元被關閉不進行比對。

- 11、 如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中

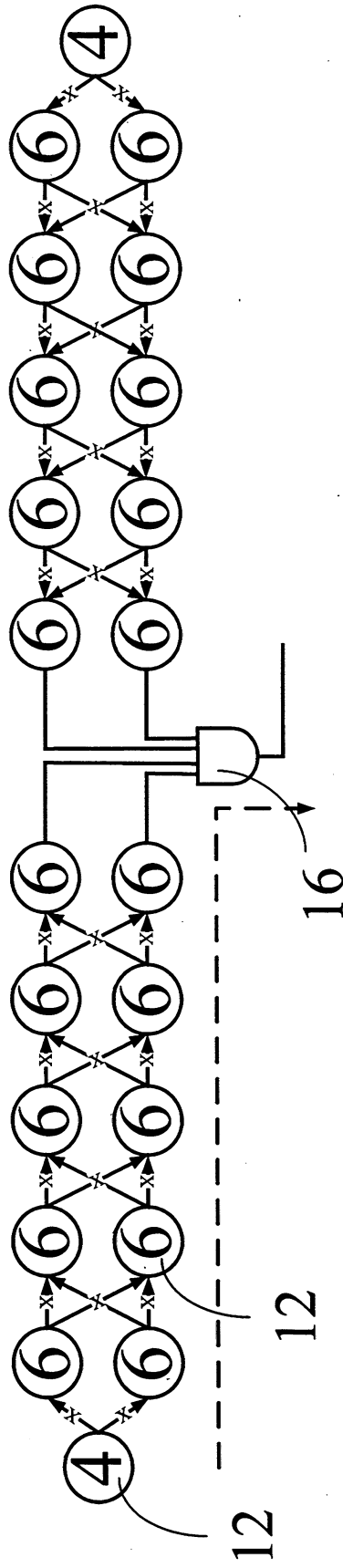
該蝴蝶式比較線可應用於路由器上。

- 12、如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中該階層式比較線之輸出端連接一互斥或邏輯閘維持器，提供動態電路抗雜訊的功能、同時減少比對時間及功率消耗，以達到最佳的能源效益。
- 13、如申請專利範圍第 12 項所述之利用蝴蝶式比較線之搜尋方法，其中該互斥或邏輯閘維持器的輸出端係連接一或閘反相器。
- 14、如申請專利範圍第 13 項所述之利用蝴蝶式比較線之搜尋方法，其中該或閘反相器可連接至少一以上之該互斥或邏輯閘維持器。
- 15、如申請專利範圍第 10 項所述之蝴蝶式比較線結構，其中該記憶單元的位元數係 $2N$ 位元，且 N 為一正整數。
- 16、如申請專利範圍第 15 項所述之蝴蝶式比較線結構，其中該記憶單元係 4 位元、6 位元或 8 位元組成。
- 17、如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中該組階層式比較線係 2 條比較線。
- 18、如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中當該組階層式比較線之比較線係 4 條時，該記憶單元交錯連接方式係：第一層記憶單元與第二層記憶單元的連接方式係將第一比較線與第二比較線之記憶單元相互搭接，第三比較線與第四比較線之記憶單元相互搭接，第二層記憶單元與第三層記憶單元的連接方式係將第一比較線與第三比較線、第二比較線與第四比較線之記憶單元相互搭接，

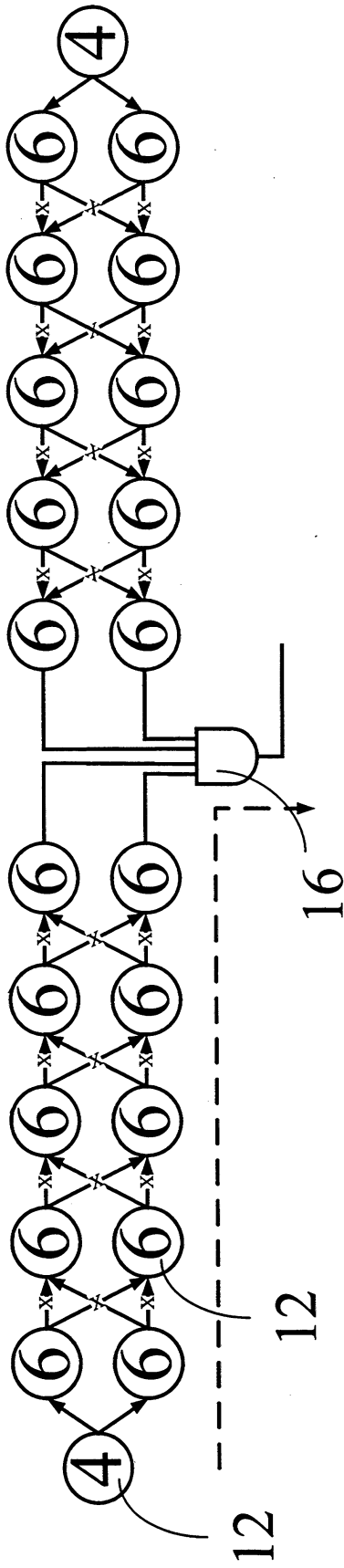
以第一層記憶單元與第二層記憶單元、第二層記憶單元與第三層記憶單元的搭接方式為週期，繼續搭接後面數層記憶單元，直到最後一層記憶單元連接該互斥或邏輯閘維持器連接為止。



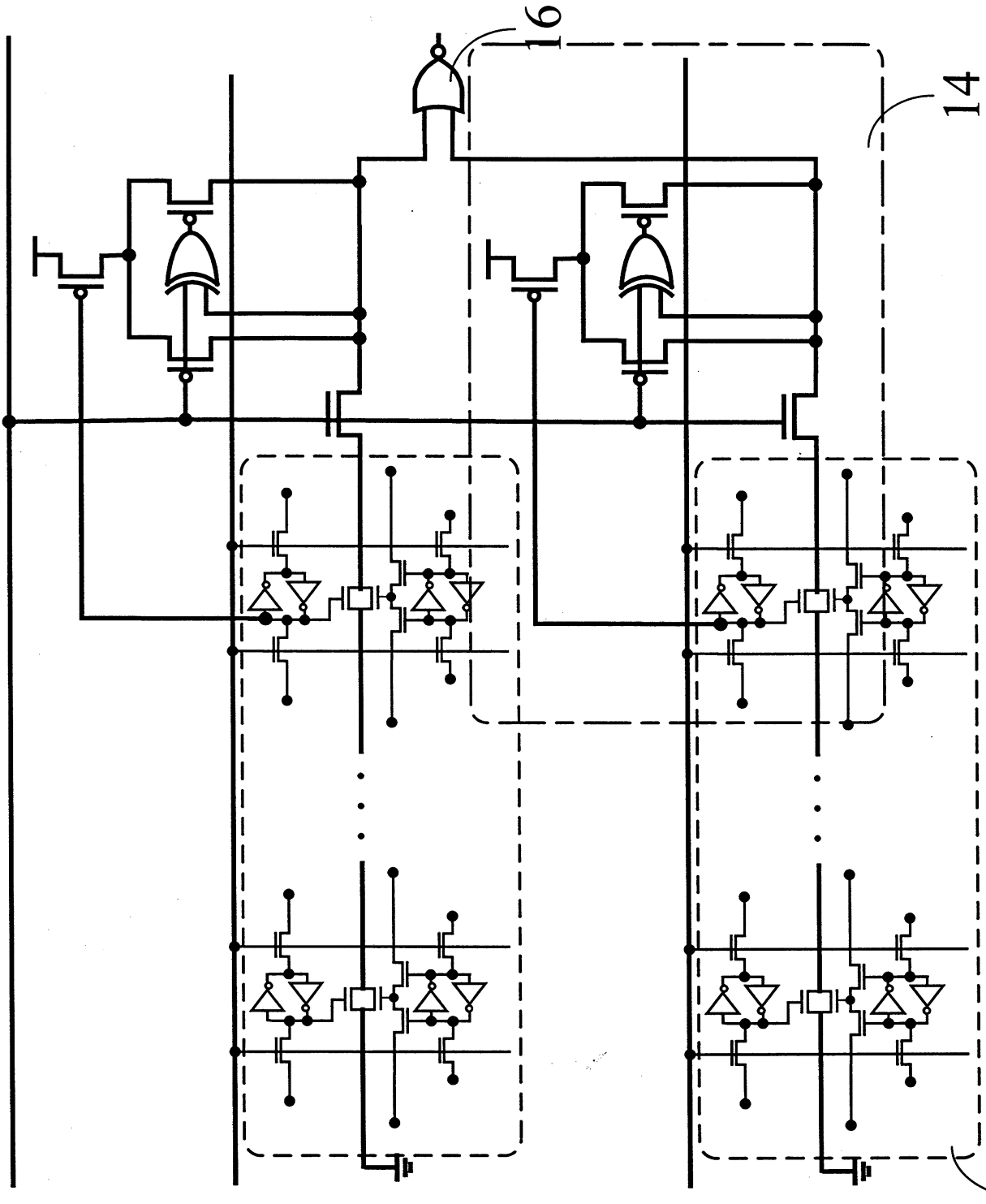
第一圖



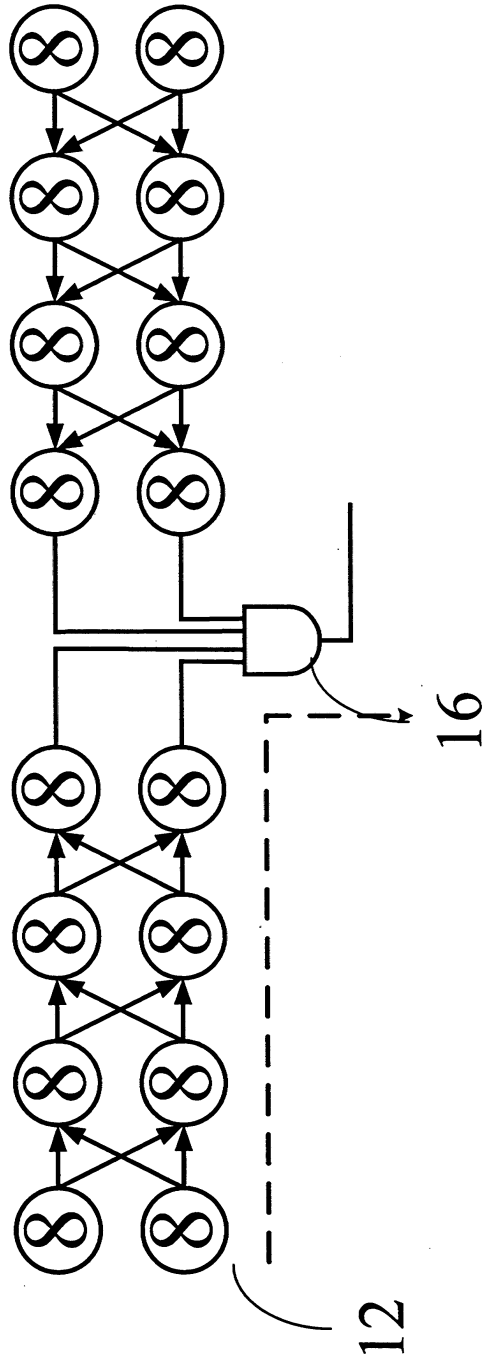
第一A圖



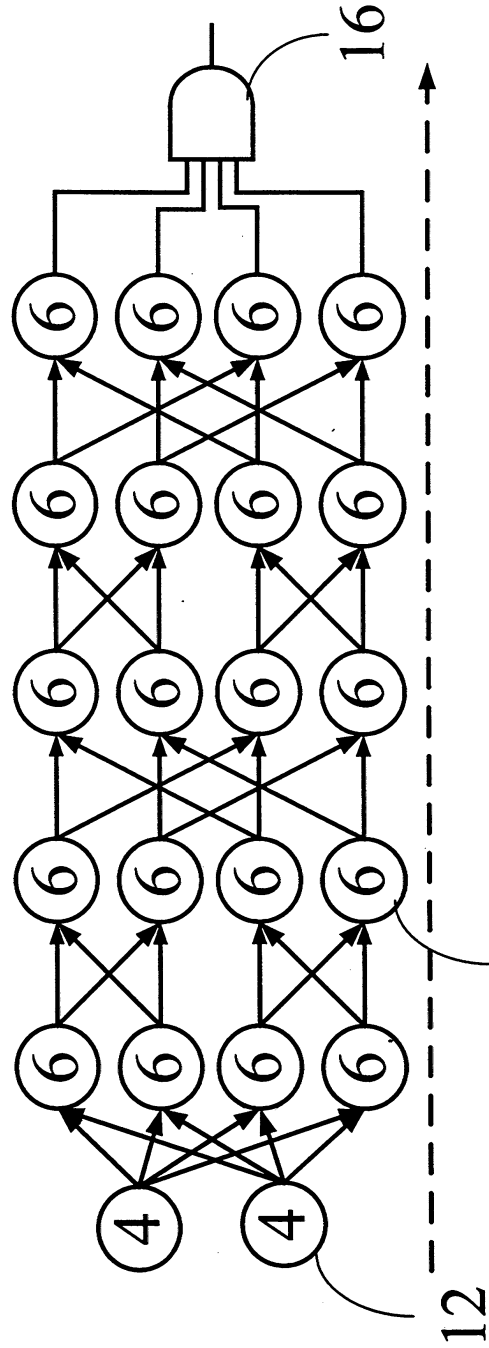
第一B圖



第二圖



第三圖



第四圖