

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96102120

※申請日期：96.1.19

※IPC 分類：G11C 15/00 2006.01  
H04L 29/12 2006.01

## 一、發明名稱：(中文/英文)

內儲存無關項控制之階層式搜循線

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 黃威

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

## 三、發明人：(共 4 人)

姓 名：(中文/英文)

1、張書璋

2、張銘宏

3、黃威

4、黃柏蒼

國 籍：(中文/英文)

(均同) 中華民國 TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為：95年7月20日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明提供一種內儲存無關項控制之階層式搜循線，其係在內容可定址記憶體中區分出複數區塊，每一區塊包含複數區域搜循線、一總體搜循線、一緩衝器及一記憶單元，將資料依照前置內容的長短依序儲存於區塊中，其中具有最長前置內容者儲存於最底部，並以其內無關項之狀態值做為緩衝器之控制訊號，控制總體搜循線尚之資料是否被傳遞到區域搜循線，而區域搜循線再將值傳送到記憶單元中。本發明無須複雜的控制電路及額外之儲存單元，且由於控制訊號係直接取自於無關項之狀態值，故可有效降低搜循線之功率消耗而不增加搜尋延遲時間。

## 六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明：

10 內容可定址記憶體

12 區塊

14 區域搜循線

16 總體搜循線

18 緩衝器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種通訊網路上搜循線之設計，特別是指一種應用於 IP 位址搜尋，利用內容可定址記憶體以無關項控制之階層式搜循線。

### 【先前技術】

內容可定址記憶體 (Content-addressable memory, CAM) 係為一種可利用比較電路在單一週期內執行查表功能之記憶裝置，更是一種高性能的搜尋引擎，其將單一時脈中輸入之搜尋資料與全部內容做比對；內容可定址記憶單元提供位元儲存及位元比較兩種功能，就位元儲存來說，內容可定址記憶體就如同一般的記憶體，但與靜態隨機存取記憶體 (static random access memory, SRAM) 不同的是，內容可定址記憶體還可進行搜尋動作這一特殊模式，且具有高搜尋速度。隨著內容可定址記憶體之應用層面擴展，功率問題也更加嚴重，如何在功率、速度及面積三者中取得平衡是一項重要的課題。

內容可定址記憶單元可分為二元內容可定址記憶單元 (binary CAM) 及三元內容可定址記憶單元 (ternary CAM)，其中二元內容可定址記憶單元包含 0 與 1 兩種狀態，而三元內容可定址記憶單元則另包含「無關項」這一狀態，適用於網路應用層面，因此三元內容可定址記憶單元需要格外的儲存空間來儲存第三種狀態。

傳統之三元內容可定址記憶體架構如第一圖所示，包含資料記憶體、位址解碼器、位元線預支電路、字元對應電路、讀取感應放大器及位址優先順序編碼器 (address priority encoder) 等等，提供寫入、讀取及搜尋等操

作。輸入之搜尋字分散儲存在搜循線上，內容可定址記憶體中字元的位元數通常很大，其範圍約在 36~144 位元，標準型內容可定址記憶體依據其 7~15 位元之位址空間，可擁有幾百項到 32k 項之間的表格 (table) 大小，每一儲存字元包含一對應線 (match line)，其代表搜尋字元及儲存字元完全相同 (對應) 或不相同 (不對應或有誤差)，用以使編碼器在對應情況下根據對應線來產生一個二元對應位置，但此編碼器僅在單一對應下使用，而在內容可定址記憶體之應用中可能會有一個以上之字元產生對應，故利用一位址優先順序編碼器來取代單一解碼器，位址優先順序編碼器依據較低位址字元取得較高優先順序之原則產生之對應結果，選取出具有最高優先順序之對應位置，而內容可定址記憶體中全部的功能皆在於取得一搜尋字元並回復對應之記憶體位置。

將階層式搜循線電路分割為總體搜循線 (global search line, GSL) 及區域搜循線 (local search line, LSL) 兩層級，如第二圖所示，此階層式搜循線係建立在管線對應線 (pipeline match-lines) 之頂端，可解決傳統搜循線中僅極少數對應線可取得第一區段之問題。如圖所示，每一區域搜循線雖然僅連接一單一對應線，但每一區域搜循線之對應線數量可達到 64~256 條；總體搜循線每一週期搜尋一次，但區域搜循線僅在需要時動作，當區域搜循線連接之對應線中至少一條動作，才會激發區域搜循線，可節省消耗。

然而，搜尋之速度亦會被階層式搜循線系統所限制，主要原因在於控制訊號來自於同一區塊中前一級的比較結果，造成每一級都必須等到前一級完全運算完畢後，再經過一級階層式搜循線上邏輯閘的延遲才可開始進

行比對運算，造成搜尋時間延遲，此外，階層式搜循線之緩衝器為了得到下一級的控制訊號，必須有一個非常大的控制邏輯閘，其中管線正反器（pipeline flip-flops）會造成面積及功率消耗，增加面積與功率上的消耗，時脈驅動器（clock driver）會降低階層式搜循線的好處。

因此，本發明即針對上述習知技術之數項缺失，提出一種內儲存無關項控制之階層式搜循線，以有效克服上述之該等問題。

### 【發明內容】

本發明之主要目的在提供一種內儲存無關項控制之階層式搜循線，其係利用在內容可定址記憶體中，將資料以特殊方式排列，以無關項的特性直接比對具有最長前置內容之資料，判斷其是否為無關項，若是，則較其為短之資料也皆為無關項。

本發明之另一目的在提供一種內儲存無關項控制之階層式搜循線，其係依照資料中前置內容之長短順序，將具有最長前置內容之資料儲存於記憶單元之最底層，在搜尋時由底層向上搜尋。

本發明之再一目的在提供一種內儲存無關項控制之階層式搜循線，其係以每一區塊最底層之資料內容做為緩衝區之控制訊號，因此在寫入週期時即可得知此控制訊號之數值，當搜尋時不會造成搜尋上之時間延遲。

本發明之又一目的在提供一種內儲存無關項控制之階層式搜循線，其係在 IP 位址搜尋的應用當中，直接利用無關項之排列特性來控制階層式搜循線，無需額外的儲存單元。

本發明之又一目的在提供一種內儲存無關項控制之階層式搜循線，其

係將階層式搜循線切割為總體搜循線與區域搜循線，總體搜循線在每一次的搜尋都會被啟動，如果每個連接於區域搜循線之內容可定址記憶體之狀態均為「無關」，則區域搜循線會被關閉以減少功率消耗。

為達上述之目的，本發明提供一種內儲存無關項控制之階層式搜循線，其係架構在內容可定址記憶體中，包括：複數區塊，其係該內容可定址記憶體所劃分出，每一區塊中包含一記憶單元，且於區塊中儲存有已定義無關項狀態之複數；複數組階層式搜循線，其係設置於區塊中，每一組階層式搜循線係包括一總體搜循線及一區域搜循線，區域搜循線係連結記憶單元，在搜尋無關項時，每一區塊係同步搜尋；以及複數緩衝器，其係分別設置於每一區塊中，連結總體搜循線及區域搜循線，依據無關項之狀態判斷總體搜循線之資料是否要傳遞到區域搜循線中。

本發明並提供一種利用階層式搜循線搜尋之方法，其係應用於一內容可定址記憶體中，將內容可定址記憶體分成複數區塊，每一區塊中具有一組階層式搜循線，且每一組階層式搜循線係包括一總體搜循線及一區域搜循線，並將總體搜循線及區域搜循線利用一緩衝器連結，每一區塊中包含複數已定義是否為無關項之資料，該方法包括下列步驟：將內容可定址記憶體之資料依照其前置內容之長度順序儲存於區塊中，並將欲比對之資料傳送到總體搜循線；每一區塊判斷具有最長前置內容之資料是否為無關項，以供緩衝器依據無關項之一狀態值判斷總體搜循線之資料是否要傳遞到區域搜循線中，緩衝器並輸出區域搜循線之一搜尋值；以及區域搜循線將搜尋值傳送出去。



底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

### 【實施方式】

本發明係提供一種內儲存無關項控制之階層式搜循線，其係應用於通訊網路上有關 IP 位址搜尋時，利用內容可定址記憶體與無關項特性之搜循線設計，應用本發明，在搜尋時控制訊號不會對搜尋延遲時間造成影響，亦不需要複雜的控制電路與儲存單元，可有效降低搜循線上之功率消耗而保持相同之搜尋延遲時間，並節省面積。

由於當內容可定址記憶體的狀態為無關時，其所產生之訊號與輸入訊號是相互獨立的，此時可關閉搜循線不需傳遞資料。因此，本發明將搜循線分為總體搜循線與區域搜循線，如第三圖及第四圖所示，其中第四圖為本發明之簡單電路圖，內容可定址記憶體 10 被分為複數個區塊 12，每一區塊 12 包含多條比較線、一條區域搜循線 14、一條總體搜循線 16 及一緩衝器 18，此緩衝器 18 係為 NOR 架構者，其用以連結總體搜循線 16 及區域搜循線 14，在每一次搜尋時，欲比對之資料先被傳送至總體搜循線 16，再由緩衝器 18 根據內容可定址記憶體 10 中無關項之狀態來判斷總體搜循線 16 上之資料是否需要傳遞到區域搜循線 14。本發明所使用之內容可定址記憶體為三元內容可定址記憶體 (ternary Content-addressable memory, TCAM)。

將本發明應用在 IPv6 位址搜尋當中，將儲存於內容可定址記憶體中之資料依照其前置內容 (prefix) 之長度順序儲存，以第三圖為例，在內容可定址記憶體 10 中存儲有 256 位元之內容，四個區塊 12 各儲存 128 位元之

資料，且每一筆資料皆已定義其是否為無關項，圖中每一行之○各代表一記憶位元 20，其中有淺色 X 者為無關項內容，深色 X 為有關項內容，如圖所示，具有最長前置內容之資料被存在內容可定址記憶體 10 之底部，亦即第一區塊之最上層，反之具有最短前置內容的資料被儲存在內容可定址記憶體 10 的最上部，亦即第四區塊之最下層。由於每一區塊 12 皆設有緩衝器 18，故搜尋時，每一區塊 12 可同步搜尋。

由於資料依其前置內容之長短依序儲存於內容可定址記憶體 10 中之複數區塊 12 中，故若判斷出具有最長前置內容之資料為無關項，則可肯定其上之記憶單元 20 中之資料亦為無關項，而本發明利用儲存在內容可定址記憶體 10 內無關項的狀態做為緩衝器 18 的控制訊號來源，利用資料以特殊方式排列之特點，只需取每一區塊最底層的內容可定址記憶體內容作為控制訊號即可，以供緩衝器 18 依據無關項之狀態判斷總體搜循線 16 之資料是否要傳遞到區域搜循線 14 中；緩衝器 18 接受總體搜循線 16 與無關項之輸入，並輸出區域搜循線 14 之一搜尋值，最後區域搜循線 14 再將搜尋值傳送到區塊 12 上之記憶單元 20 中。

內儲存無關項控制之階層式搜循線與傳統接層次搜循線比較的另一個最大好處，在於其不會增加搜尋時的時間延遲，如第五圖所示之內儲存無關項控制之階層式搜循線之時間分析示意圖，由於緩衝器之控制訊號在寫入週期後就可以被確定，因此緩衝器對於搜尋時間延遲無任何的影響，由圖中可明顯看出，總體搜循線到區域搜循線之操作延遲時間少於半個系統時鐘週期，在運算時，區域搜循線的資料已經準備就緒。由此可見本發明

所提出之架構對於延遲時間無任何的負擔。

綜上所述，本發明提供之內儲存無關項控制之階層式搜循線將內容可定址記憶體分為複數區塊，每一區塊中皆包含一緩衝器，利用在寫入週期時即可確認得到之無關項狀態做為緩衝器之控制訊號，可使進行搜尋時不會對搜尋延遲時間造成影響，且不需如先前技術般需要額外的儲存單元及複雜的控制電路來取得下一級控制訊號；此外，本發明中之緩衝器為 NOR 架構，可減少緩衝器之面積與耗能，使搜循線具有更好的效能。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第一圖為先前技術中三元內容可定址記憶體之示意圖。

第二圖為先前技術中階層式搜循線之架構示意圖。

第三圖為本發明內儲存無關項控制之階層式搜循線之示意圖。

第四圖為本發明內儲存無關項控制之階層式搜循線之簡單電路圖。

第五圖為本發明內儲存無關項控制之階層式搜循線之時間週期曲線圖。

### 【主要元件符號說明】

10 內容可定址記憶體

12 區塊

14 區域搜循線

16 總體搜循線

200832408

18 緩衝器

20 記憶單元

## 十、申請專利範圍：

1. 一種內儲存無關項控制之階層式搜循線，其係應用於一內容可定址記憶體中，包括：

複數區塊，其係由該內容可定址記憶體所劃分出，每一該區塊中包含一記憶單元，且於該區塊中儲存有已定義無關項狀態之複數；

複數組階層式搜循線，其係設置於該區塊中，每一組該階層式搜循線係包括一總體搜循線及一區域搜循線，該區域搜循線係連結該記憶單元，在搜尋該無關項時，每一該區塊係同步搜尋；以及

複數緩衝器，其係分別設置於每一該區塊中，連結該總體搜循線及該區域搜循線，依據該無關項之狀態判斷該總體搜循線之資料是否要傳遞到該區域搜循線中。

2. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中該階層式搜循線係對應至相同之該區塊中之同一行。
3. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中該區域搜循線係用以傳送搜尋值到該區塊上之該記憶單元中。
4. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中每一該區塊中皆設有一組該階層式搜循線。
5. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中該內容可定址記憶體之資料係依照其前置內容之長度順序儲存於該區塊中。
6. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中該區域搜循線中對應至同一行之該區域搜循線係連接至同一該總體搜循

線，在進行每一次搜尋時，欲搜尋之資料先傳遞至該總體搜循線上。

7. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中該緩衝器係接受該總體搜循線與該無關項之輸入，並輸出該區域搜循線之值。

8. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中該無關項之值係為每一該區塊中存放於該記憶單元最上層之內容。

9. 如申請專利範圍第 1 項所述之內儲存無關項控制之階層式搜循線，其中該緩衝器係為 NOR 架構。

10. 一種利用階層式搜循線搜尋之方法，其係應用於一內容可定址記憶體中，將該內容可定址記憶體分成複數區塊，每一該區塊中具有一組階層式搜循線，且每一組該階層式搜循線係包括一總體搜循線及一區域搜循線，並將該總體搜循線及該區域搜循線利用一緩衝器連結，每一該區塊中包含複數已定義是否為無關項之資料，該方法包括下列步驟：

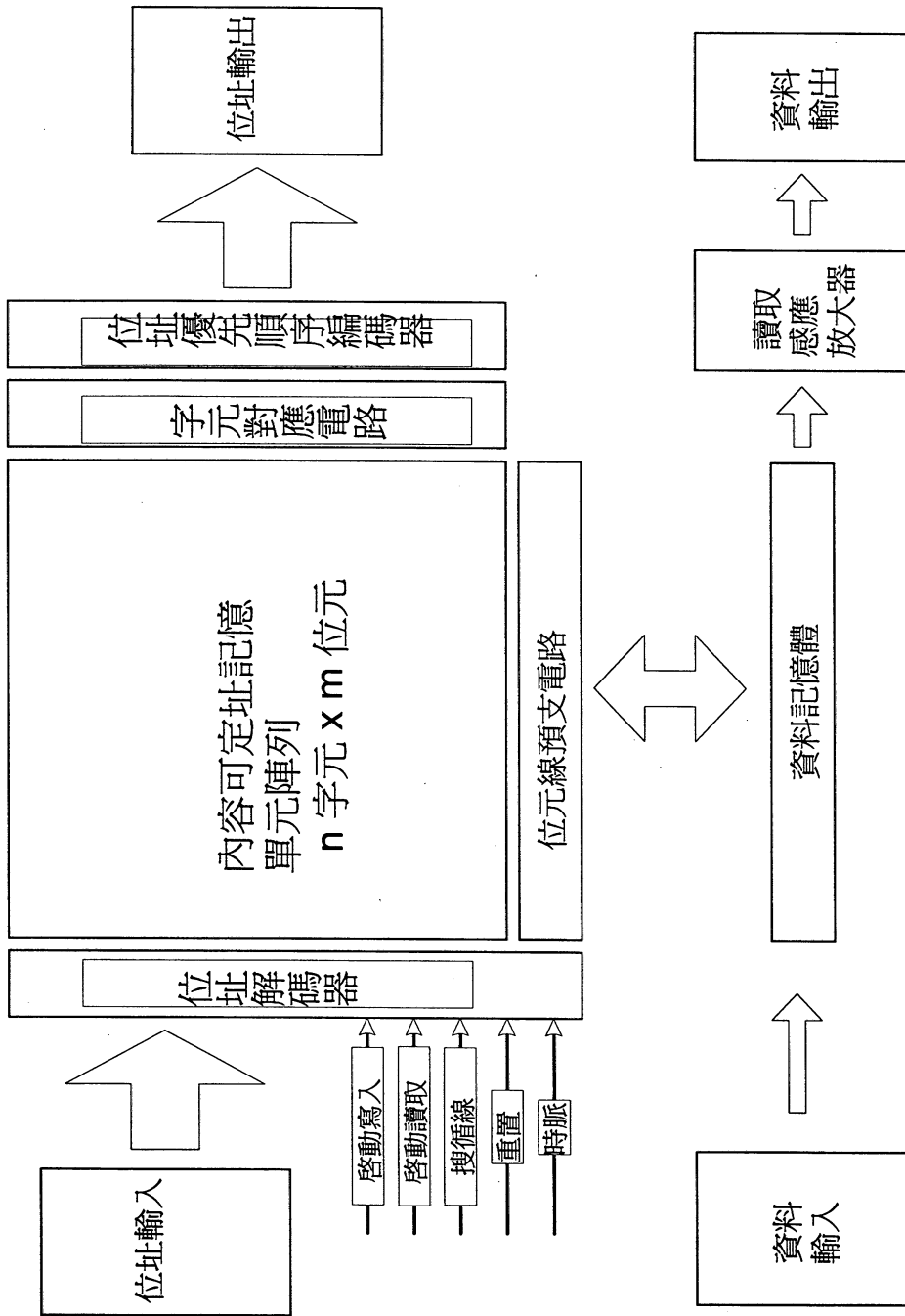
在該內容可定址記憶體之資料依照其前置內容之長度順序儲存於該區塊中，並將欲比對之資料傳送到該總體搜循線；

每一該區塊係同步判斷具有最長前置內容之資料是否為無關項，以供該緩衝器依據該無關項之一狀態值判斷該總體搜循線之資料是否要傳遞到該區域搜循線中，該緩衝器並輸出該區域搜循線之一搜尋值；以及

該區域搜循線將該搜尋值傳送出去。

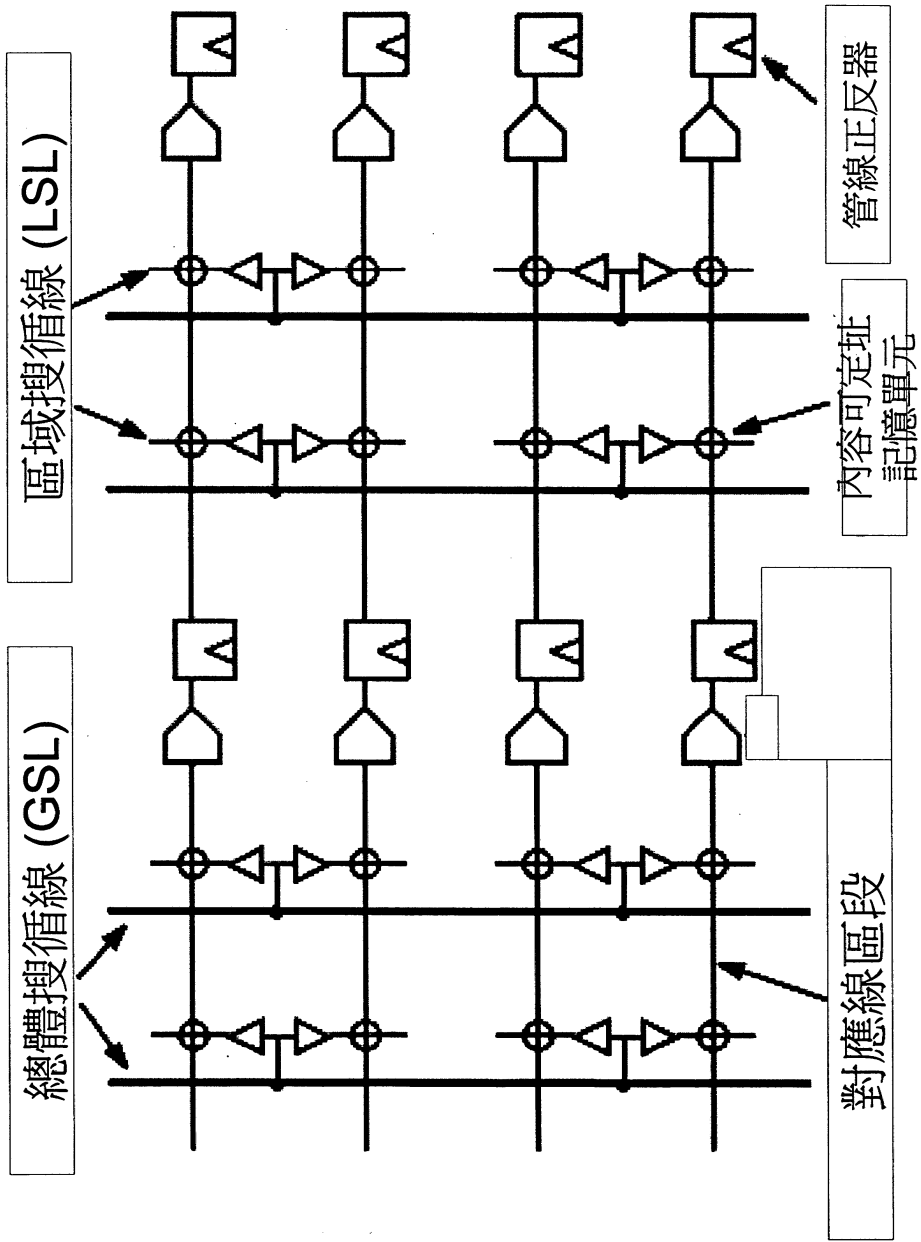
11. 如申請專利範圍第 10 項所述之利用階層式搜循線搜尋之方法，其中該階層式搜循線係對應至相同之該區塊中之同一行。

- 12.如申請專利範圍第 10 項所述之利用階層式搜循線搜尋之方法，其中該區域搜循線中對應至同一行之該區域搜循線係連接至同一該總體搜循線，在進行每一次搜尋時，欲搜尋之資料先傳遞至該總體搜循線上。
- 13.如申請專利範圍第 10 項所述之利用階層式搜循線搜尋之方法，其中該緩衝器係接受該總體搜循線與該無關項之輸入，並輸出該區域搜循線之值。
- 14.如申請專利範圍第 10 項所述之利用階層式搜循線搜尋之方法，其中該無關項之值係為每一該區塊中存放於該記憶單元最上層之內容。
- 15.如申請專利範圍第 10 項所述之利用階層式搜循線搜尋之方法，其中該區塊中具有最長前置內容之資料係儲存於該記憶單元之底部，而具有最短前置內容之資料則儲存於該記憶單元之最上層。
- 16.如申請專利範圍第 10 項所述之利用階層式搜循線搜尋之方法，其中該無關項之該狀態值係做為該緩衝器之控制訊號。
- 17.如申請專利範圍第 10 項所述之利用階層式搜循線搜尋之方法，其中該緩衝器係為 NOR 架構。

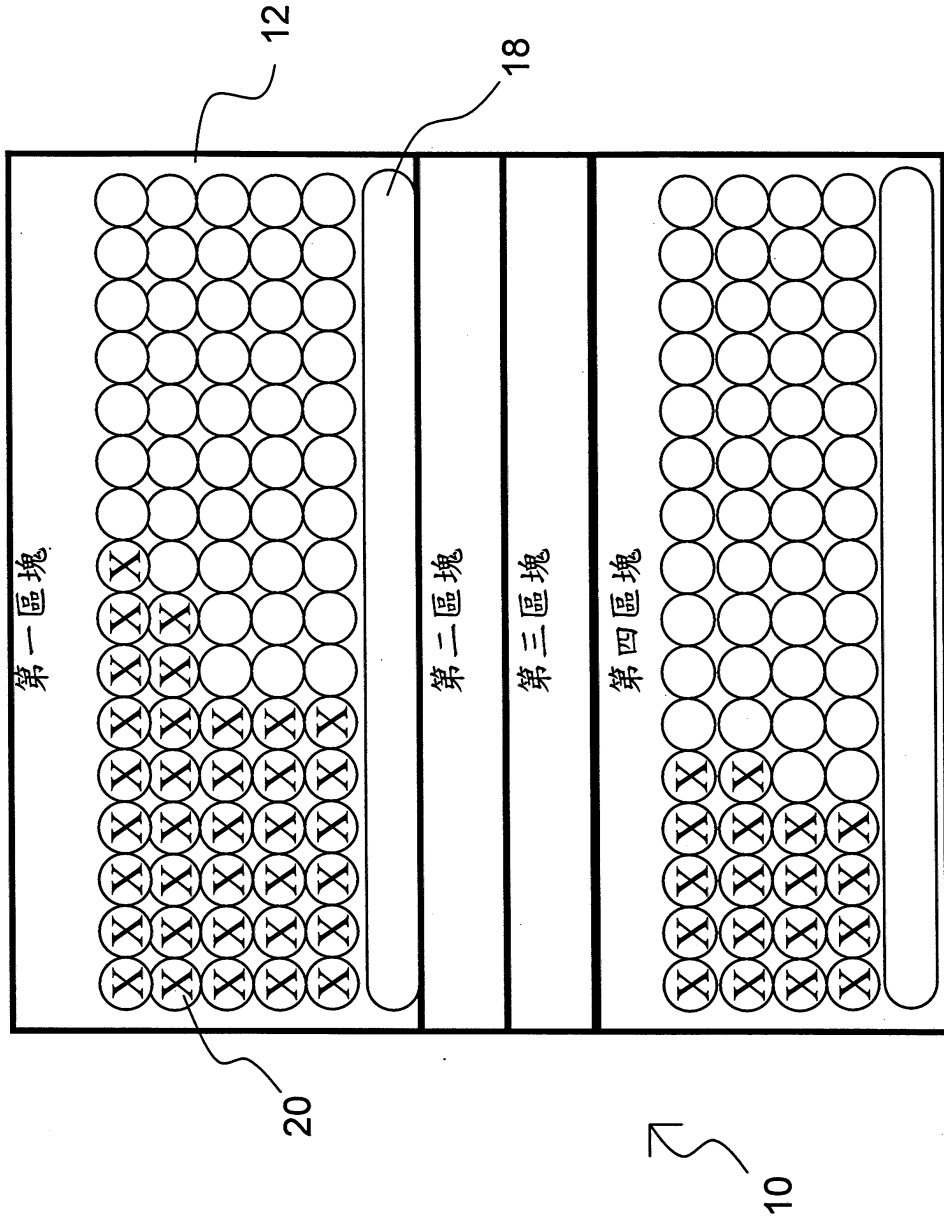


第一圖 (先前技術)

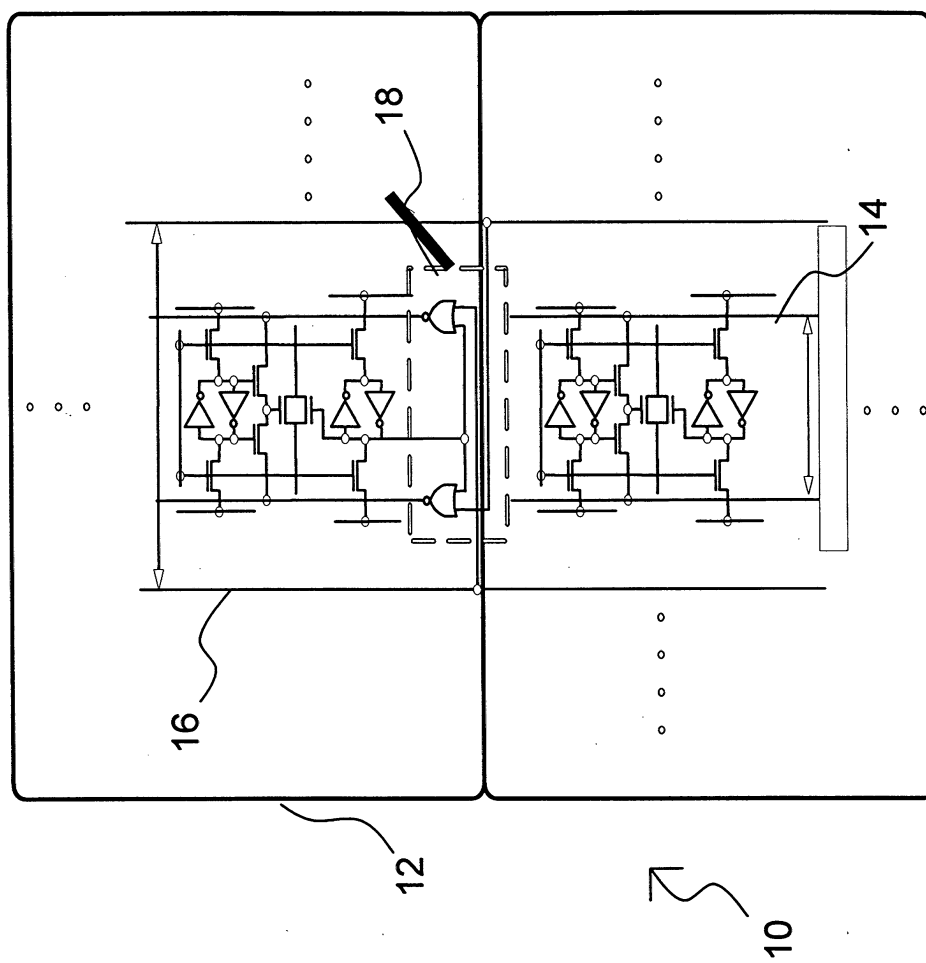




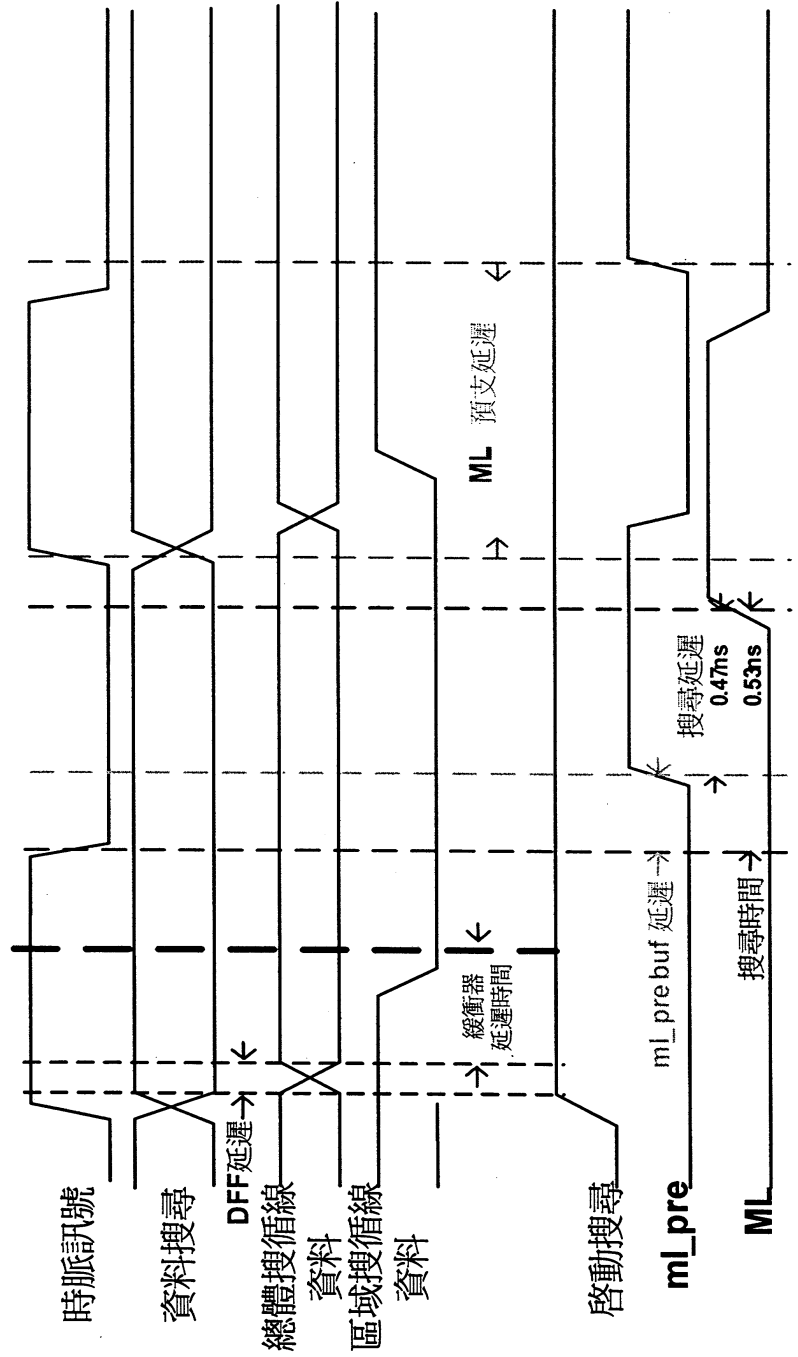
第二圖 (先前技術)



第三圖



第四圖



第五圖