

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98149776

※ 申請日期： 98.12.29

※IPC 分類：

H03k 19/0185

一、發明名稱：(中文/英文)

混合電壓輸入/輸出緩衝器

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 黃威

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1、 柯明道

2、 胡芳綾

國 籍：(中文/英文)

(均同) 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：95 年 7 月 17 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係揭露一種混合電壓輸入/輸出緩衝器，包括一輸入電路、一輸出電路、一輸出/輸入墊及一耦接至輸出電路的前級驅動電路，並增設兩耦接 N 型電晶體及一與此兩 N 型電晶體之各閘極、前級驅動電路耦接之動態閘極電壓控制電路，其中之一 N 型電晶體係耦接輸入電路與輸出電路，另一 N 型電晶體則與動態閘極電壓控制電路同時耦接至輸出/輸入墊，以實現一種可接收並容忍 2 倍 VDD 電壓準位輸入訊號及具熱載子效應抑制作用的輸入/輸出緩衝器。

六、英文發明摘要：

七、指定代表圖：

(一) 本案代表圖：第二圖

(二) 本案代表圖之元件代表符號簡單說明：

20 混合電壓輸入/輸出緩衝器

22、24 NMOS 電晶體

26 動態閘極電壓控制電路

28 輸入/輸出墊(I/O PAD)

30 輸入電路 302 PMOS 電晶體

304、306 反向器

32 輸出電路

322 上拉 PMOS 電晶體 324 下拉 NMOS 電晶體

34 前級驅動電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種混合電壓輸入/輸出緩衝器，特別係一種具有熱載子效應抑制作用之混合電壓輸入/輸出緩衝器。

【先前技術】

隨著科技的進步，電晶體的尺寸日趨微型化，故其所能承受的最大節點電壓，如閘極-源極電壓(V_{gs})、閘極-汲極電壓(V_{gd})、汲極-源極電壓(V_{ds})亦必須同時跟著變小以確保電路有足夠的生存時間 (lifetime)。

然，這些利用先進互補式金屬氧化半導體(CMOS)製程所實現的晶片目前還是與早期的CMOS製程技術所設計的電路配合，故晶片就可能會在傳輸介面上接收到比其正常工作電壓(VDD)還大的電壓訊號。其中，混合電壓輸出/輸入緩衝器係普遍應用在傳輸介面上，以確保在電路生存時間下接收較高的電壓訊號，並以較低的操作電壓執行以達到高速、低功率的電路需求，且會以具較薄的閘極氧化層(gate-oxide)之電晶體設計混合電壓輸入/輸出緩衝器。

請參照第一圖，係習知一種混合電壓輸出/輸入緩衝器示意圖。如圖所示，輸出/輸入緩衝器 10 係傳送 GND-to-VDD(低電壓準位)輸出訊號，及接收 GND-to-2VDD(高電壓準位)輸入訊號，且輸出/輸入緩衝器 10 包括一前級驅動電路 12、輸出電路 14、輸入電路 16、輸出/輸入墊 (I/O PAD) 18，其中前級驅動電路 12 會根據一輸出致能訊號

OE 傳送上拉訊號 PU、下拉訊號 PD 以控制輸出電路 14。當此輸出/輸入緩衝器 10 在從接收 2 倍工作電壓 ($2V_{DD}$) 輸入訊號轉換為傳送 0V 輸出訊號 (GND) 時，輸出/輸入墊 18 之電壓起初為 $2V_{DD}$ 電壓準位，在轉換為傳送的過程中，NMOS 電晶體 142 之源極電壓會因為 NMOS 電晶體 144 導通而被拉低至約為源極飽和電壓準位 (V_{dsat})，所以在從接收 $2V_{DD}$ 輸入訊號轉為傳送 0V 輸出訊號 (GND) 的過程中，NMOS 電晶體 142 的汲-源電壓 (V_{ds}) 會比可以操作的最大電壓還大，因而遭受到熱載子退化問題。且，在深次微米製程下，電晶體通道越來越短，使得電場強度變強，進而使熱載子效應更加嚴重。

【發明內容】

本發明之一目的係在提供一種混合電壓輸入/輸出緩衝器，其採用具較薄閘極氧化層的電晶體設計緩衝器之電路，並藉由兩個阻絕 NMOS 電晶體及動態閘極電壓控制電路，實現一種可接收並容忍 2 倍 V_{DD} 電壓準位的輸入/輸出緩衝器，以克服閘極氧化層可靠度、電路漏電和熱載子效應之問題。

本發明之另一目的係在提供一種混合電壓輸入/輸出緩衝器，其可直接搭配一電壓迴轉率控制之輸出電路，以提供一種具有電壓迴轉率控制功能的輸入/輸出緩衝器，進而減少接地彈跳效應。

根據本發明所揭示的混合電壓輸入/輸出緩衝器，其包括兩個耦接的第一 N 型電晶體與第二 N 型電晶體，其中第一 N 型電晶體

耦接一輸入電路，第二 N 型電晶體耦接一輸入/輸出墊，一動態閘極電壓控制電路，其外接一高電壓，並耦接輸入/輸出墊及此兩 N 型電晶體之閘極，一輸出電路，其外接一低電壓並耦接第一 N 型電晶體與輸入電路，及一前級驅動電路，其耦接輸出電路與動態閘極電壓控制電路，並根據一輸出致能訊號控制該輸出電路之電壓。

承上述之輸入/輸出緩衝器之結構，其中輸出電路可為一種電壓迴轉率控制輸出電路，具有複數個並行的上拉 P 型電晶體與下拉 N 型電晶體，以使輸入/輸出緩衝器具有電壓迴轉率控制功能，進而改善接地彈跳效應。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明所揭示的混合電壓輸入/輸出緩衝器，係利用具較薄閘極氧化層之電晶體設計緩衝器之電路，以完成一種可容忍 2 倍 VDD 電壓準位的輸入/輸出緩衝器。

請參照第二圖，為本發明之混合電壓輸入/輸出緩衝器電路示意圖。如圖所示，本發明之混合電壓輸入/輸出緩衝器 20 係包括一外接一高電壓準位 VDDH 的動態閘極電壓控制電路 26，其耦接兩個 NMOS 電晶體 22、24 之閘極，一輸入/輸出墊(I/O PAD)28 耦接動態閘極電壓控制電路 26 及 NMOS 電晶體 24 之源極，一外接一低電壓準位 VDD

的輸出電路 32 耦接一輸入電路 30 及 NMOS 電晶體 22 之汲極於節點 1，及一前級驅動電路 34 耦接動態閘極控制電路 26 及輸出電路 32，前級驅動電路 34 並根據一輸出致能訊號 OE(output enable signal) 傳送上拉訊號 PU、下拉訊號 PD 控制輸出電路 32 之一上拉 PMOS 電晶體 322、下拉 NMOS 電晶體 324。其中，兩 NMOS 電晶體 22、24 係耦接於節點 2，輸入電路 30 則由一 PMOS 電晶體 302、兩反向器 304 與 306 所組成，且 PMOS 電晶體 302 之汲極與反向器 304 之輸出端耦接至節點 1，反向器 304 之輸出端耦接 PMOS 電晶體之閘極及反向器 306 之輸入端，且輸出電路之上拉 PMOS 電晶體 322 係外接一低電壓準位 VDD 而下拉 NMOS 電晶體 324 係接地。

請同時參照第三圖，係為動態閘極電壓控制電路之示意圖。如圖所示，動態閘極電壓控制電路 26 包括一電壓準位轉移器(level shifter)36 耦接前級驅動電路 34，以接收前級驅動電路 34 所傳送的電壓訊號 PUb，將 PUb 電壓訊號之電位拉高成 PUH 電壓訊號，兩耦接反向器 38 與 40，其中反向器 38 之輸入端耦接電壓準位轉移器 36，輸出端則耦接反向器 40 與一 NMOS 電晶體 42 之閘極，及一具有兩個耦接 PMOS 電晶體 441、442 之追隨電路 44，其耦接反向器 40、NMOS 電晶體 42 之源極、NMOS 電晶體 22 之閘極、NMOS 電晶體 24 之閘極與輸入/輸出墊 28。其中，追隨電路之 PMOS 電晶體 441 與 PMOS 電晶體 442 的基體 (bulk) 耦接 NMOS 電晶體 24 之閘極係為使基體電壓保持在高電壓而避免不必要的漏電路徑。

再者，本發明之混合電壓輸入/輸出緩衝器 20 的電路操作方式係當前級驅動電路所接收的輸出致能訊號 OE 係低電位 (0V) 時，輸入/輸出緩衝器 20 係在一接收模式 (receive mode) 下，是從輸入/輸出墊 28 接收一輸入訊號再傳送至輸入電路 30 的訊號輸入端 Din。在接收模式下，前級驅動電路 34 會關閉輸出電路之上拉 PMOS 電晶體 322 與下拉電晶體 324，並發出 0V 的電壓訊號 PUB 至動態閘極電壓控制電路 26，接著電壓訊號 PUB 透過動態閘極電壓控制電路 26 之電壓準位轉移器 36 而變成電壓準位為 VDD 的電壓訊號 PUH，因此 NMOS 電晶體 22 之閘極電壓透過反向器 40 偏壓在 VDD 電壓準位，且 NMOS 電晶體 42 則使 NMOS 電晶體 22 之閘極電壓更穩定偏壓在 VDD 電壓準位，故在接收模式下 NMOS 電晶體 22 之閘極電壓一直偏壓在 VDD 電壓準位，另外追隨電路耦接 NMOS 電晶體 24 之閘極，以使 NMOS 電晶體 24 之閘極電壓在接收模式下係根據輸入/輸出墊 28 之電壓作相應的改變。

請同時參照表格一，在接收模式下，當輸入/輸出緩衝器 20 係接收 0V 的輸入訊號時，NMOS 電晶體 22 之閘極電壓偏壓在 VDD 電壓準位，NMOS 電晶體 24 之閘極電壓亦是偏壓在 VDD 電壓準位，節點 1 和節點 2 並透過 NMOS 電晶體 22、24 放電至 0V，以從輸入/輸出墊 28 傳送 0V 電壓準位之輸入訊號到輸入電路 30 的訊號輸入端 Din。在接收模式下，當輸入/輸出緩衝器接收 2 倍 VDD 電壓準位的輸入訊號時，NMOS 電晶體 22 之閘極電壓仍偏壓在 VDD 電壓準位，NMOS 電晶體 24 之閘極電壓則偏壓在 2 倍 VDD 電壓準位，節點 1 透過輸入電路 30 之 PMOS 電晶體 302 的迴授

作用 (feedback operation) 固定在 VDD 電壓準位，節點 2 之電壓則偏壓在 $(2 \times VDD - \Delta V)$ 電壓準位，以從輸入/輸出墊 28 透過 NMOS 電晶體 23 及 24 傳送 1 倍 VDD 電壓準位之輸入訊號到輸入電路 30 的訊號輸入端 Din。

另外，當前級驅動電路 34 所接收的輸出致能訊號 OE 係高電位 (VDD) 時，輸入/輸出緩衝器 20 係在一傳送模式 (transmit mode) 下，從前級驅動電路 34 之訊號輸出端 Dout 傳送一輸出訊號至輸入/輸出墊 28。在傳送模式下，當前級驅動電路 34 之訊號輸出端 Dout 所傳送的輸出訊號是 0V 時，前級驅動電路 34 會關閉輸出電路 32 之上拉 PMOS 電晶體 322 而導通下拉 NMOS 電晶體 324，並發出 0V 的電壓訊號 PUb 至動態閘極電壓控制電路 26，接著電壓訊號 PUb 透過動態閘極電壓控制電路 26 之電壓準位轉移器 36 而變成電壓準位為 VDD 的電壓訊號 PUH，NMOS 電晶體 22 之閘極電壓與 NMOS 電晶體 24 之閘極電壓則保持偏壓在 VDD 電壓準位，如表格一所示，以使前級驅動電路 34 之訊號輸出端 Dout 傳送 0V 電壓準位的輸出訊號至輸入/輸出墊 28。在傳送模式下，當前級驅動電路 34 之訊號輸出端 Dout 所傳送的輸出訊號係 VDD 電壓準位時，前級驅動電路 34 會導通輸出電路 32 之上拉 PMOS 電晶體 322 而關閉下拉 NMOS 電晶體 324，並發出電壓準位為 VDD 的電壓訊號 PUb 至動態閘極電壓控制電路 26，接著電壓訊號 PUb 透過動態閘極電壓控制電路 26 之電壓準位轉移器 36 而變成電壓準位為 2 倍 VDD 的電壓訊號 PUH，NMOS 電晶體 22 之閘極電壓與 NMOS 電

晶體 24 之閘極電壓則保持偏壓在 2 倍 VDD 電壓準位，如表格一所示，使前級驅動電路 34 之訊號輸出端 Dout 傳送 VDD 電壓準位的輸出訊號至輸入/輸出墊 28。

其中，當輸入/輸出緩衝器 20 在由接收 2 倍 VDD 電壓準位之輸入訊號轉換為傳送 0V 電壓準位之輸出訊號的過程中，節點 1 與節點 2 之一開始的電壓分別係 VDD 電壓準位與 $(2 \times VDD - \Delta V)$ 電壓準位。在此轉換過程中，前級驅動電路 34 所產生的下拉訊號 PD 使輸出電路 32 之 NMOS 電晶體 324 導通，進而將 NMOS 電晶體 22 之源極電壓拉低，以使 NMOS 電晶體 22 接著導通，然後 NMOS 電晶體 24 導通，輸入/輸出墊 28 之電壓下降，且 NMOS 電晶體 22 與 NMOS 電晶體 24 之汲極-源極電壓 (V_{ds}) 係不會超過一給定製程中之最大工作電壓，因此本發明之輸入/輸出緩衝器 20 不論在接收模式、傳送模式及接收 2 倍 VDD 輸入訊號轉為傳送 0V 輸出訊號過程都不會遭受閘極氧化層劣化和熱載子效應問題。

請參照第四圖，本發明揭示另一種混合電壓輸入/輸出緩衝器 50，係採用一電壓迴轉率控制輸出電路 52 替代第二圖所揭示的緩衝器 20 之輸入電路 32，如圖所示，電壓迴轉率控制輸出電路 52 具有複數個並行的上拉 PMOS 電晶體與下拉 NMOS 電晶體。故，本輸入/輸出緩衝器 50 藉由電壓迴轉率控制輸出電路 52 實現一種具有電壓迴轉率控制 (slew rate control) 功能的混合電壓輸入/輸出緩衝器，以改善接地彈跳效應 (ground bounce)。

由此可知，本發明提供一種可容忍 2 倍 VDD 電壓準位的輸入/輸出緩衝

器，藉由兩個 NMOS 電晶體與一動態閘極電壓控制電路使緩衝器在接收模式、傳送模式及在接收 2 倍 VDD 電壓準位之輸入訊號轉為傳送 0V 電壓準位之輸出訊號時的轉換過程中，都不會有閘極氧化層可靠度、電路漏電和熱載子效應等問題，且本發明透過此輸入/輸出緩衝器之架構，直接搭配一電壓迴轉率控制輸出電路，即可使輸入/輸出緩衝器具有電壓迴轉率控制功能。

表格一

操作模式	輸入/輸出墊 (I/O PAD)28	NMOS電晶體 22	NMOS電晶體 24
接收模式	Low (0 V)	VDD	VDD
接收模式	High (2xVDD)	VDD	High (2xVDD)
傳送模式	Low (0 V)	VDD	VDD
傳送模式	High (VDD)	2xVDD	2xVDD

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為習知之混合電壓輸入/輸出緩衝器之電路示意圖。

第二圖為本發明之混合電壓輸入/輸出緩衝器之電路示意圖。

第三圖為本發明之動態閘極電壓控制電路示意圖

第四圖為本發明之另一混合電壓輸入/輸出緩衝器之電路示意圖。

【主要元件符號說明】

10 輸出/輸入緩衝器

12 前級驅動電路 14 輸出電路

142 NMOS 電晶體 144 NMOS 電晶體

16 輸入電路 18 輸出/輸入墊 (I/O PAD)

20 混合電壓輸入/輸出緩衝器

22、24 NMOS 電晶體

26 動態閘極電壓控制電路

28 輸入/輸出墊 (I/O PAD)

30 輸入電路

302 PMOS 電晶體

304、306 反向器

32 輸出電路

322 上拉 PMOS 電晶體

324 下拉 NMOS 電晶體

34 前級驅動電路

36 電壓準位轉移器(level shifter)

38、40 反向器

42 NMOS 電晶體

44 追隨電路

441、442 PMOS 電晶體

50 輸出/輸入緩衝器

52 電壓迴轉率控制輸出電路

十、申請專利範圍：

1. 一種混合電壓輸入/輸出緩衝器，包括：

一第一 N 型電晶體，其耦接一輸入電路；

一第二 N 型電晶體，其耦接該第一 N 型電晶體與一輸入/輸出墊；

一動態閘極電壓控制電路，其外接一高電壓準位，並耦接該輸入/輸出墊、該第一 N 型電晶體之閘極與該第二 N 型電晶體之閘極；

一輸出電路，其外接一低電壓準位，並耦接該第一 N 型電晶體與該輸入電路；及

一前級驅動電路，其耦接該輸出電路與該動態閘極電壓控制電路，並根據一輸出致能訊號控制該輸出電路之電壓。

2. 如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該動態閘極電壓控制電路包括：

一電壓準位轉移器，其耦接該前級驅動電路，以接收該前級驅動電路所傳送的電壓訊號並將其電壓準位拉高；

一第一反向器，其一端耦接該電壓準位轉移器，另一端同時耦接一第二反向器及一第三 N 型電晶體之閘極；及

一追隨電路，其耦接該第二反向器、該第三 N 型電晶體、該第一 N 型電晶體之閘極、該第二 N 型電晶體之閘極與該輸入/輸出墊。

3. 如申請專利範圍第 2 項之混合電壓輸入/輸出緩衝器，其中該追隨電路係由兩個耦接之第一 P 型電晶體所組成。

4. 如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該輸出電路具有一上拉 P 型電晶體與一下拉 N 型電晶體。

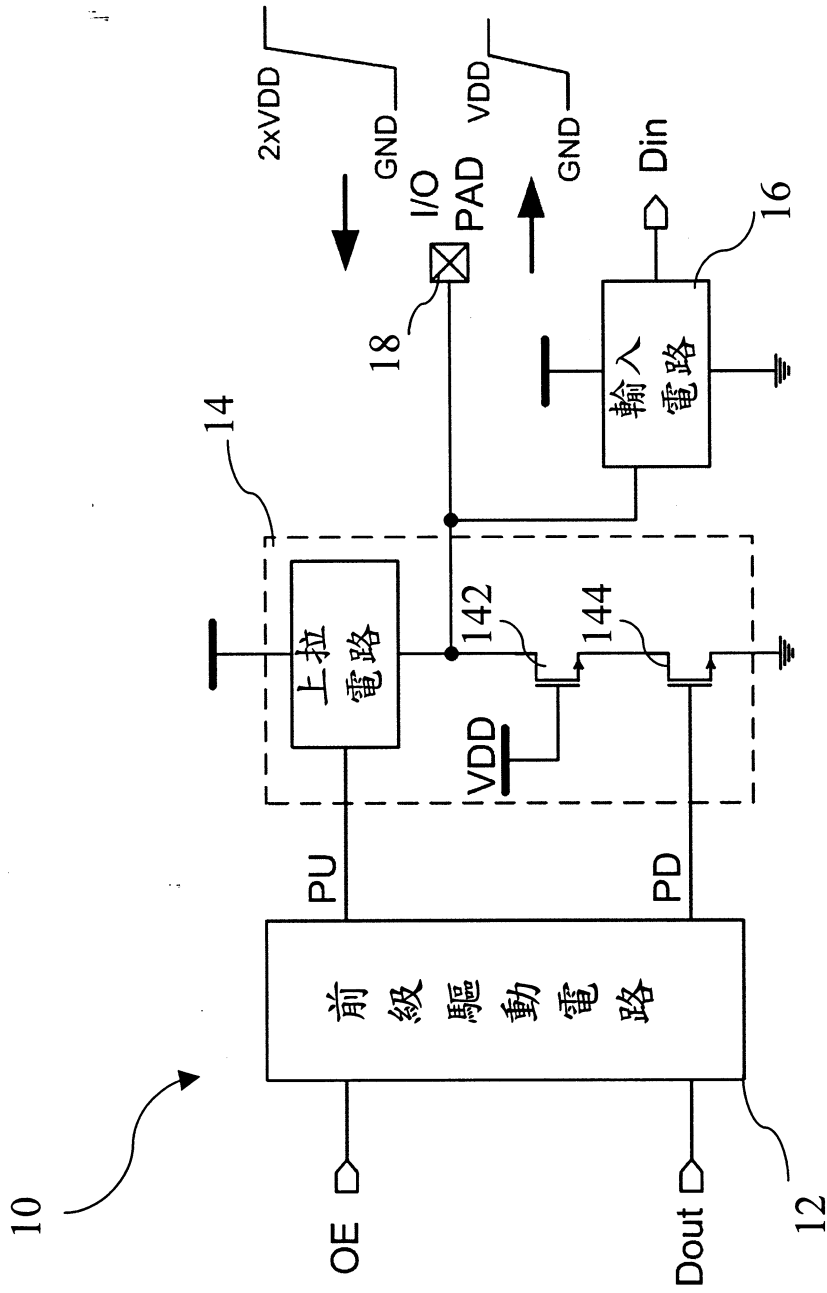
5. 如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該輸出電路係一電壓迴轉率控制輸出電路。
6. 如申請專利範圍第 5 項之混合電壓輸入/輸出緩衝器，其中該電壓迴轉率控制輸出電路具複數個並行的上拉 P 型電晶體與下拉 N 型電晶體。
7. 如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該輸入電路係包括：
 - 一第二 P 型電晶體，其耦接該輸出電路與該第一 N 型電晶體；
 - 一第三反向器，其耦接該第二 P 型電晶體、該輸出電路與該第一 N 型電晶體；
 - 一第四反向器，其耦接該第二 P 型電晶體與該第三反向器。
8. 如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該輸出致能訊號係低電位時，該緩衝器係從該輸入/輸出墊傳送一輸入訊號至該輸入電路之訊號輸入端，此時該前級驅動電路會關閉該輸出電路，該第一 N 型電晶體之閘極電壓係保持偏壓在該低電壓準位，該第二 N 型電晶體之閘極電壓則隨該輸入/輸出墊之電壓而改變。
9. 如申請專利範圍第 8 項之混合電壓輸入/輸出緩衝器，其中當該緩衝器所接收的該輸入訊號係 0 伏特時，該第二 N 型電晶體之閘極電壓偏壓在該低電壓準位，以從該輸入/輸出墊傳送 0 伏特電壓準位的輸入訊號至該輸入電路。
10. 如申請專利範圍第 8 項之混合電壓輸入/輸出緩衝器，其中當

該緩衝器所接收的該輸入訊號係 2 倍的該低電壓準位時，該第二 N 型電晶體之閘極電壓偏壓在 2 倍的該低電壓準位，以從該輸入/輸出墊透過該第一、第二 N 型電晶體傳送 1 倍的該低電壓準位輸入訊號到該輸入電路。

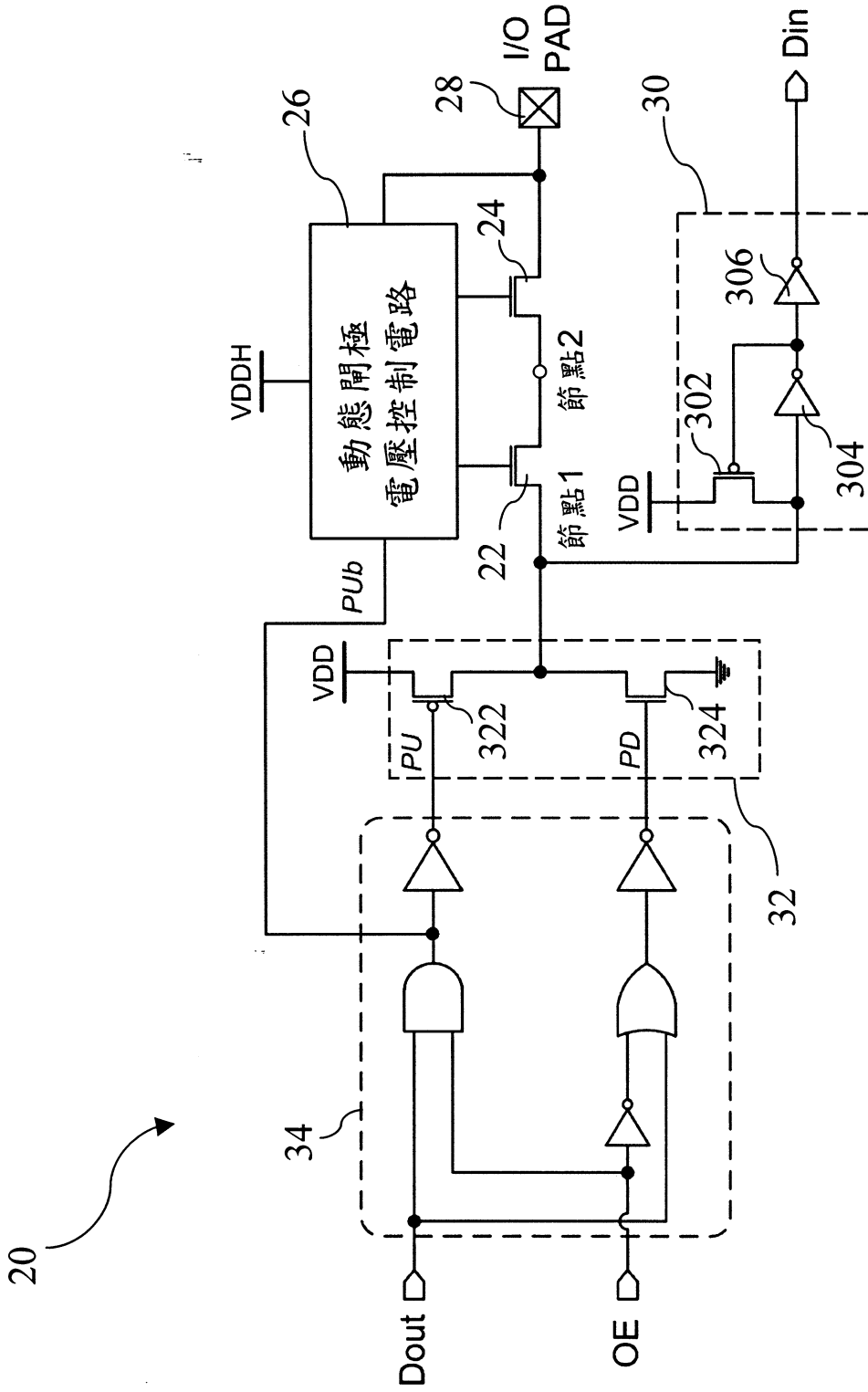
11. 如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該輸出致能訊號係高電位時，該緩衝器係從該前級驅動電路之訊號輸出端傳送一輸出訊號至該輸入/輸出墊

12. 如申請專利範圍第 11 項之混合電壓輸入/輸出緩衝器，其中當該前級驅動電路之訊號輸出端所傳送的該輸出訊號係 0 伏特時，該前級驅動電路會關閉該輸出電路之一上拉 P 型電晶體而導通一下拉電晶體，該第一 N 型電晶體之閘極電壓與該第二 N 型電晶體之閘極電壓則保持偏壓在該低電壓準位，使該前級驅動電路之訊號輸出端傳送 0 伏特電壓準位的輸出訊號至該輸入/輸出墊。

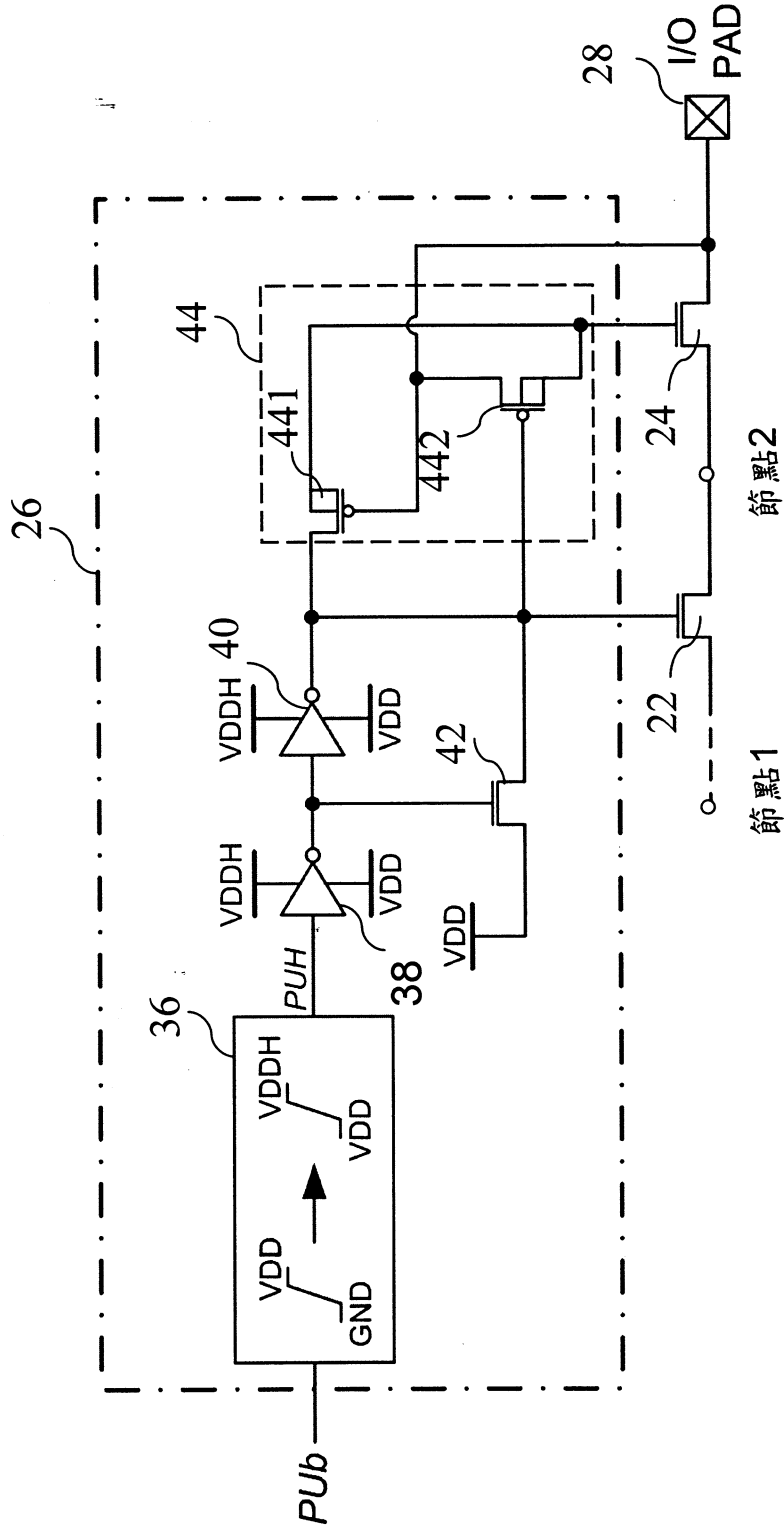
13. 如申請專利範圍第 11 項之混合電壓輸入/輸出緩衝器，其中當該前級驅動電路之訊號輸出端所傳送的該輸出訊號係 1 倍的該低電壓準位時，該前級驅動電路會導通該輸出電路之一上拉 P 型電晶體而關閉一下拉 N 型電晶體，該第一 N 型電晶體之閘極電壓與該第二 N 型電晶體之閘極電壓則保持偏壓在 2 倍的該低電壓準位，使該前級驅動電路之訊號輸出端傳送 1 倍的該低電壓準位輸出訊號至該輸入/輸出墊。



第一圖
(先前技術)

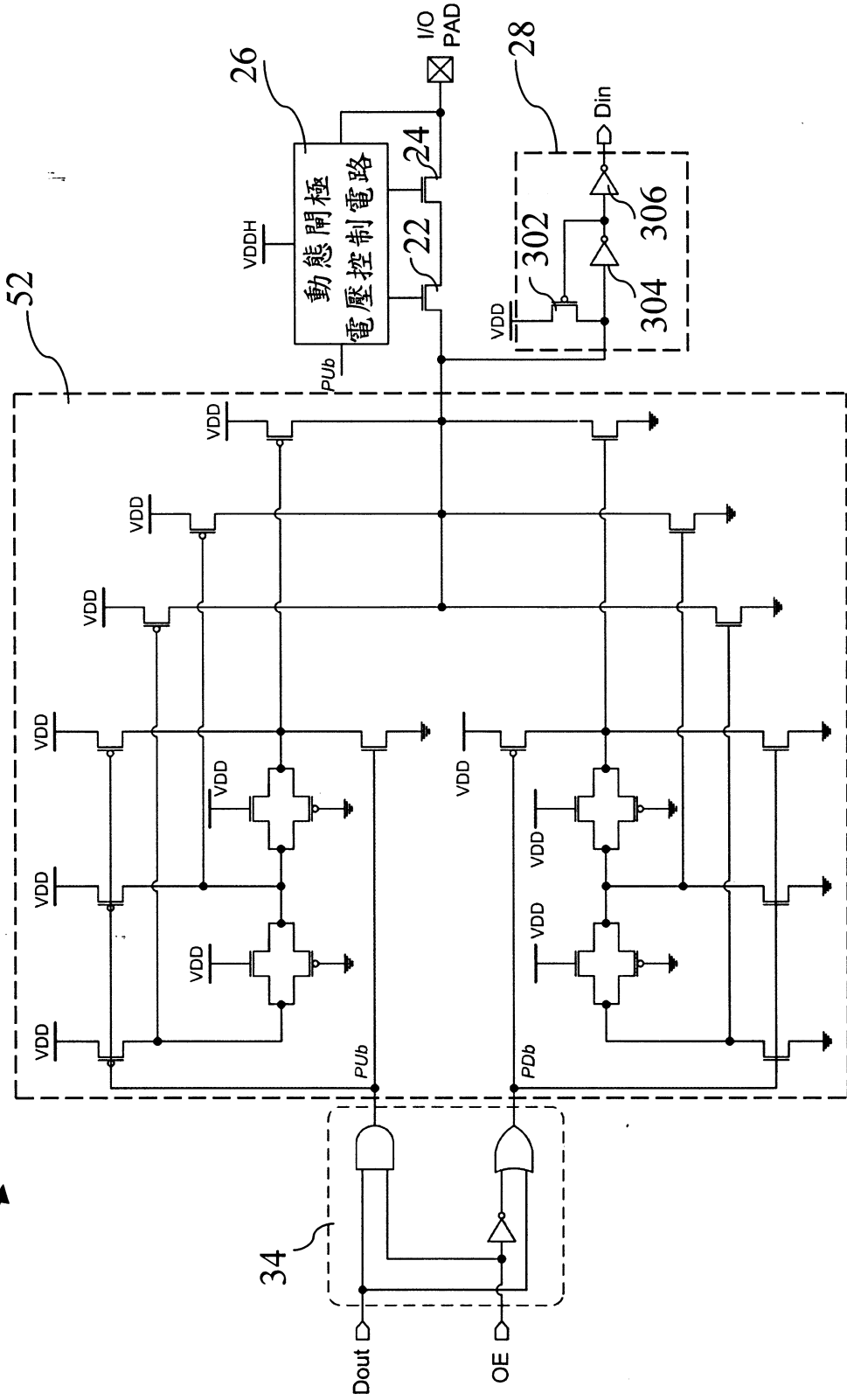


第二圖



第三圖

50 ↗



第四圖

OE 傳送上拉訊號 PU、下拉訊號 PD 以控制輸出電路 14。當此輸出/輸入緩衝器 10 在從接收 2 倍工作電壓(2VDD)輸入訊號轉換為傳送 0V 輸出訊號(GND)時，輸出/輸入墊 18 之電壓起初為 2 VDD 電壓準位，在轉換為傳送的過程中，NMOS 電晶體 142 之源極電壓會因為 NMOS 電晶體 144 導通而被拉低至約為汲極飽和電壓準位(V_{dsat})，所以在從接收 2VDD 輸入訊號轉為傳送 0V 輸出訊號(GND)的過程中，NMOS 電晶體 142 的汲-源電壓(V_{ds})會比可以操作的最大電壓還大，因而遭受到熱載子退化問題。且，在深次微米製程下，電晶體通道越來越短，使得電場強度變強，進而使熱載子效應更加嚴重。

【發明內容】

本發明之一目的係在提供一種混合電壓輸入/輸出緩衝器，其採用具較薄閘極氧化層的電晶體設計緩衝器之電路，並藉由兩個阻絕 NMOS 電晶體及動態閘極電壓控制電路，實現一種可接收並容忍 2 倍 VDD 電壓準位的輸入/輸出緩衝器，以克服閘極氧化層可靠度、電路漏電和熱載子效應之問題。

本發明之另一目的係在提供一種混合電壓輸入/輸出緩衝器，其可直接搭配一電壓迴轉率控制之輸出電路，以提供一種具有電壓迴轉率控制功能的輸入/輸出緩衝器，進而減少接地彈跳效應。

根據本發明所揭示的混合電壓輸入/輸出緩衝器，其包括兩個耦接的第一 N 型電晶體與第二 N 型電晶體，其中第一 N 型電晶體

耦接一輸入電路，第二 N 型電晶體耦接一輸入/輸出墊，一動態閘極電壓控制電路，其外接一高電壓，並耦接輸入/輸出墊及此兩 N 型電晶體之閘極，一輸出電路，其外接一低電壓並耦接第一 N 型電晶體與輸入電路，及一前級驅動電路，其耦接輸出電路與動態閘極電壓控制電路，並根據一輸出致能訊號控制該輸出電路之電壓。

承上述之輸入/輸出緩衝器之結構，其中輸出電路可為一種電壓迴轉率控制輸出電路，具有複數個並行的上拉 P 型電晶體與下拉 N 型電晶體，以使輸入/輸出緩衝器具有電壓迴轉率控制功能，進而改善接地彈跳效應。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明所揭示的混合電壓輸入/輸出緩衝器，係利用具較薄閘極氧化層之電晶體設計緩衝器之電路，以完成一種可容忍 2 倍 VDD 電壓準位的輸入/輸出緩衝器。

請參照第二圖，為本發明之混合電壓輸入/輸出緩衝器電路示意圖。如圖所示，本發明之混合電壓輸入/輸出緩衝器 20 係包括一外接一高電壓準位 VDDH 的動態閘極電壓控制電路 26，其耦接兩個 NMOS 電晶體 22、24 之閘極，一輸入/輸出墊(I/O PAD)28 耦接動態閘極電壓控制電路 26 及 NMOS 電晶體 24 之汲極，一外接一低電壓準位 VDD

的輸出電路 32 耦接一輸入電路 30 及 NMOS 電晶體 22 之源極於節點 1，及一前級驅動電路 34 耦接動態閘極控制電路 26 及輸出電路 32，前級驅動電路 34 並根據一輸出致能訊號 OE(output enable signal) 傳送上拉訊號 PU、下拉訊號 PD 控制輸出電路 32 之一上拉 PMOS 電晶體 322、下拉 NMOS 電晶體 324。其中，兩 NMOS 電晶體 22、24 係耦接於節點 2，輸入電路 30 則由一 PMOS 電晶體 302、兩反向器 304 與 306 所組成，且 PMOS 電晶體 302 之汲極與反向器 304 之輸入端耦接至節點 1，反向器 304 之輸出端耦接 PMOS 電晶體 302 之閘極及反向器 306 之輸入端，且輸出電路 30 之上拉 PMOS 電晶體 322 係外接一低電壓準位 VDD 而下拉 NMOS 電晶體 324 係接地。

請同時參照第三圖，係為動態閘極電壓控制電路之示意圖。如圖所示，動態閘極電壓控制電路 26 包括一電壓準位轉移器(level shifter)36 耦接前級驅動電路 34，以接收前級驅動電路 34 所傳送的電壓訊號 PUB，將 PUB 電壓訊號之電位拉高成 PUH 電壓訊號，兩耦接反向器 38 與 40，其中反向器 38 之輸入端耦接電壓準位轉移器 36，輸出端則耦接反向器 40 與一 NMOS 電晶體 42 之閘極，及一具有兩個耦接 PMOS 電晶體 441、442 之追隨電路 44，其耦接反向器 40、NMOS 電晶體 42 之汲極、NMOS 電晶體 22 之閘極、NMOS 電晶體 24 之閘極與輸入/輸出墊 28。其中，追隨電路 44 之 PMOS 電晶體 441 與 PMOS 電晶體 442 的基體 (bulk) 耦接 NMOS 電晶體 24 之閘極係為使基體電壓保持在高電壓而避免不必要的漏電路徑。

再者，本發明之混合電壓輸入/輸出緩衝器 20 的電路操作方式係當前級驅動電路所接收的輸出致能訊號 OE 係低電位 (0V) 時，輸入/輸出緩衝器 20 係在一接收模式 (receive mode) 下，是從輸入/輸出墊 28 接收一輸入訊號再傳送至輸入電路 30 的訊號輸入端 Din。在接收模式下，前級驅動電路 34 會關閉輸出電路之上拉 PMOS 電晶體 322 與下拉電晶體 324，並發出 0V 的電壓訊號 PUB 至動態閘極電壓控制電路 26，接著電壓訊號 PUB 透過動態閘極電壓控制電路 26 之電壓準位轉移器 36 而變成電壓準位為 VDD 的電壓訊號 PUH，因此 NMOS 電晶體 22 之閘極電壓透過反向器 40 偏壓在 VDD 電壓準位，且 NMOS 電晶體 42 則使 NMOS 電晶體 22 之閘極電壓更穩定偏壓在 VDD 電壓準位，故在接收模式下 NMOS 電晶體 22 之閘極電壓一直偏壓在 VDD 電壓準位，另外追隨電路 44 耦接 NMOS 電晶體 24 之閘極，以使 NMOS 電晶體 24 之閘極電壓在接收模式下係根據輸入/輸出墊 28 之電壓作相應的改變。

請同時參照表格一，在接收模式下，當輸入/輸出緩衝器 20 係接收 0V 的輸入訊號時，NMOS 電晶體 22 之閘極電壓偏壓在 VDD 電壓準位，NMOS 電晶體 24 之閘極電壓亦是偏壓在 VDD 電壓準位，節點 1 和節點 2 並透過 NMOS 電晶體 22、24 放電至 0V，以從輸入/輸出墊 28 傳送 0V 電壓準位之輸入訊號到輸入電路 30 的訊號輸入端 Din。在接收模式下，當輸入/輸出緩衝器 20 接收 2 倍 VDD 電壓準位的輸入訊號時，NMOS 電晶體 22 之閘極電壓仍偏壓在 VDD 電壓準位，NMOS 電晶體 24 之閘極電壓則偏壓在 2 倍 VDD 電壓準位，節點 1 透過輸入電路 30 之 PMOS 電晶體 302 的迴

授作用 (feedback operation) 固定在 VDD 電壓準位，節點 2 之電壓則偏壓在 $(2 \times VDD - \Delta V)$ 電壓準位，以從輸入/輸出墊 28 透過 NMOS 電晶體 22 及 24 傳送 1 倍 VDD 電壓準位之輸入訊號到輸入電路 30 的訊號輸入端 Din。

另外，當前級驅動電路 34 所接收的輸出致能訊號 OE 係高電位 (VDD) 時，輸入/輸出緩衝器 20 係在一傳送模式 (transmit mode) 下，從前級驅動電路 34 之訊號輸出端 Dout 傳送一輸出訊號至輸入/輸出墊 28。在傳送模式下，當前級驅動電路 34 之訊號輸出端 Dout 所傳送的輸出訊號是 0V 時，前級驅動電路 34 會關閉輸出電路 32 之上拉 PMOS 電晶體 322 而導通下拉 NMOS 電晶體 324，並發出 0V 的電壓訊號 PUB 至動態閘極電壓控制電路 26，接著電壓訊號 PUB 透過動態閘極電壓控制電路 26 之電壓準位轉移器 36 而變成電壓準位為 VDD 的電壓訊號 PUH，NMOS 電晶體 22 之閘極電壓與 NMOS 電晶體 24 之閘極電壓則保持偏壓在 VDD 電壓準位，如表格一所示，以使前級驅動電路 34 之訊號輸出端 Dout 傳送 0V 電壓準位的輸出訊號至輸入/輸出墊 28。在傳送模式下，當前級驅動電路 34 之訊號輸出端 Dout 所傳送的輸出訊號係 VDD 電壓準位時，前級驅動電路 34 會導通輸出電路 32 之上拉 PMOS 電晶體 322 而關閉下拉 NMOS 電晶體 324，並發出電壓準位為 VDD 的電壓訊號 PUB 至動態閘極電壓控制電路 26，接著電壓訊號 PUB 透過動態閘極電壓控制電路 26 之電壓準位轉移器 36 而變成電壓準位為 2 倍 VDD 的電壓訊號 PUH，NMOS 電晶體 22 之閘極電壓與 NMOS 電

晶體 24 之閘極電壓則保持偏壓在 2 倍 VDD 電壓準位，如表格一所示，使前級驅動電路 34 之訊號輸出端 Dout 傳送 VDD 電壓準位的輸出訊號至輸入/輸出墊 28。

其中，當輸入/輸出緩衝器 20 在由接收 2 倍 VDD 電壓準位之輸入訊號轉換為傳送 0V 電壓準位之輸出訊號的過程中，節點 1 與節點 2 之一開始的電壓分別係 VDD 電壓準位與 $(2xVDD-\Delta V)$ 電壓準位。在此轉換過程中，前級驅動電路 34 所產生的下拉訊號 PD 使輸出電路 32 之 NMOS 電晶體 324 導通，進而將 NMOS 電晶體 22 之源極電壓拉低，以使 NMOS 電晶體 22 接著導通，然後 NMOS 電晶體 24 導通，輸入/輸出墊 28 之電壓下降，且 NMOS 電晶體 22 與 NMOS 電晶體 24 之汲極-源極電壓 (V_{ds}) 係不會超過一給定製程中之最大工作電壓，因此本發明之輸入/輸出緩衝器 20 不論在接收模式、傳送模式及接收 2 倍 VDD 輸入訊號轉為傳送 0V 輸出訊號過程都不會遭受閘極氧化層劣化和熱載子效應問題。

請參照第四圖，本發明揭示另一種混合電壓輸入/輸出緩衝器 50，係採用一電壓迴轉率控制輸出電路 52 替代第二圖所揭示的緩衝器 20 之輸出電路 32，如圖所示，電壓迴轉率控制輸出電路 52 具有複數個並行的上拉 PMOS 電晶體與下拉 NMOS 電晶體。故，本輸入/輸出緩衝器 50 藉由電壓迴轉率控制輸出電路 52 實現一種具有電壓迴轉率控制 (slew rate control) 功能的混合電壓輸入/輸出緩衝器，以改善接地彈跳效應 (ground bounce)。

由此可知，本發明提供一種可容忍 2 倍 VDD 電壓準位的輸入/輸出緩衝

器，藉由兩個 NMOS 電晶體與一動態閘極電壓控制電路使緩衝器在接收模式、傳送模式及在接收 2 倍 VDD 電壓準位之輸入訊號轉為傳送 0V 電壓準位之輸出訊號時的轉換過程中，都不會有閘極氧化層可靠度、電路漏電和熱載子效應等問題，且本發明透過此輸入/輸出緩衝器之架構，直接搭配一電壓迴轉率控制輸出電路，即可使輸入/輸出緩衝器具有電壓迴轉率控制功能。

表格一

操作模式	輸入/輸出墊 (I/O PAD)28	NMOS電晶體 22之閘極	NMOS電晶體 24之閘極
接收模式	Low (0 V)	VDD	VDD
接收模式	High (2xVDD)	VDD	High (2xVDD)
傳送模式	Low (0 V)	VDD	VDD
傳送模式	High (VDD)	2xVDD	2xVDD

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為習知之混合電壓輸入/輸出緩衝器之電路示意圖。

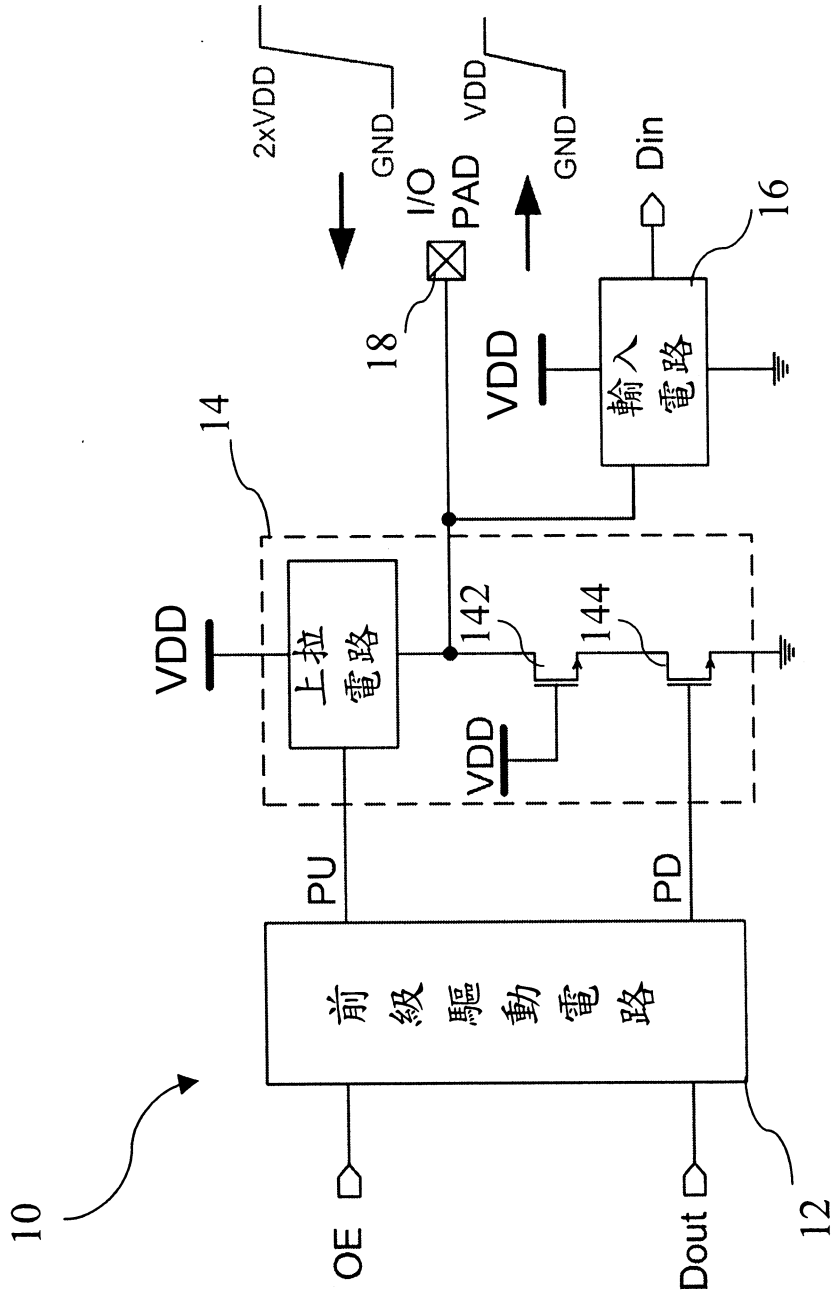
第二圖為本發明之混合電壓輸入/輸出緩衝器之電路示意圖。

該緩衝器所接收的該輸入訊號係 2 倍的該低電壓準位時，該第二 N 型電晶體之閘極電壓偏壓在 2 倍的該低電壓準位，以從該輸入/輸出墊透過該第一、第二 N 型電晶體傳送 1 倍的該低電壓準位輸入訊號到該輸入電路。

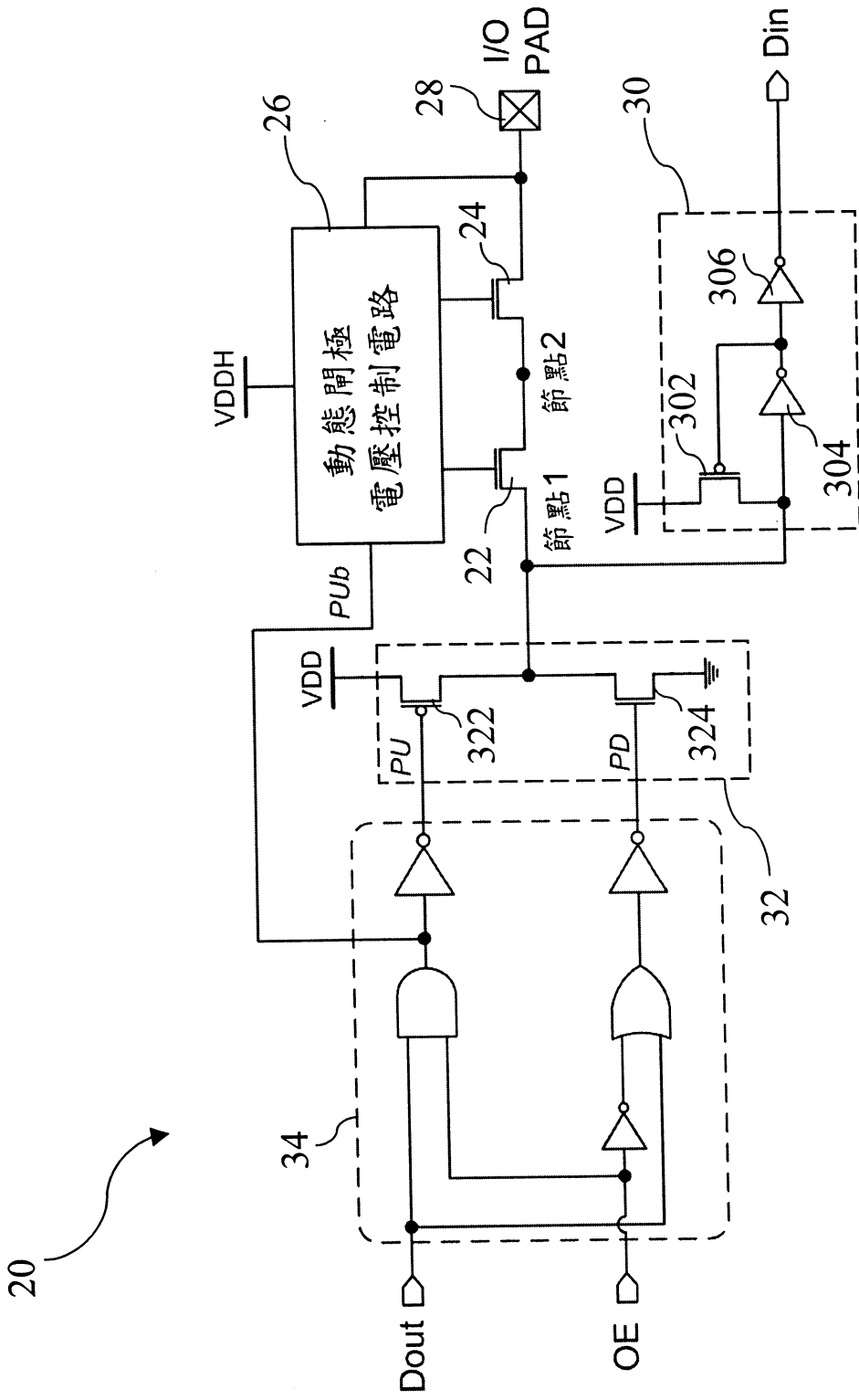
11. 如申請專利範圍第 1 項之混合電壓輸入/輸出緩衝器，其中該輸出致能訊號係高電位時，該緩衝器係從該前級驅動電路之訊號輸出端傳送一輸出訊號至該輸入/輸出墊

12. 如申請專利範圍第 11 項之混合電壓輸入/輸出緩衝器，其中當該前級驅動電路之訊號輸出端所傳送的該輸出訊號係 0 伏特時，該前級驅動電路會關閉該輸出電路之一上拉 P 型電晶體而導通一下拉 N 型電晶體，該第一 N 型電晶體之閘極電壓與該第二 N 型電晶體之閘極電壓則保持偏壓在該低電壓準位，使該前級驅動電路之訊號輸出端傳送 0 伏特電壓準位的輸出訊號至該輸入/輸出墊。

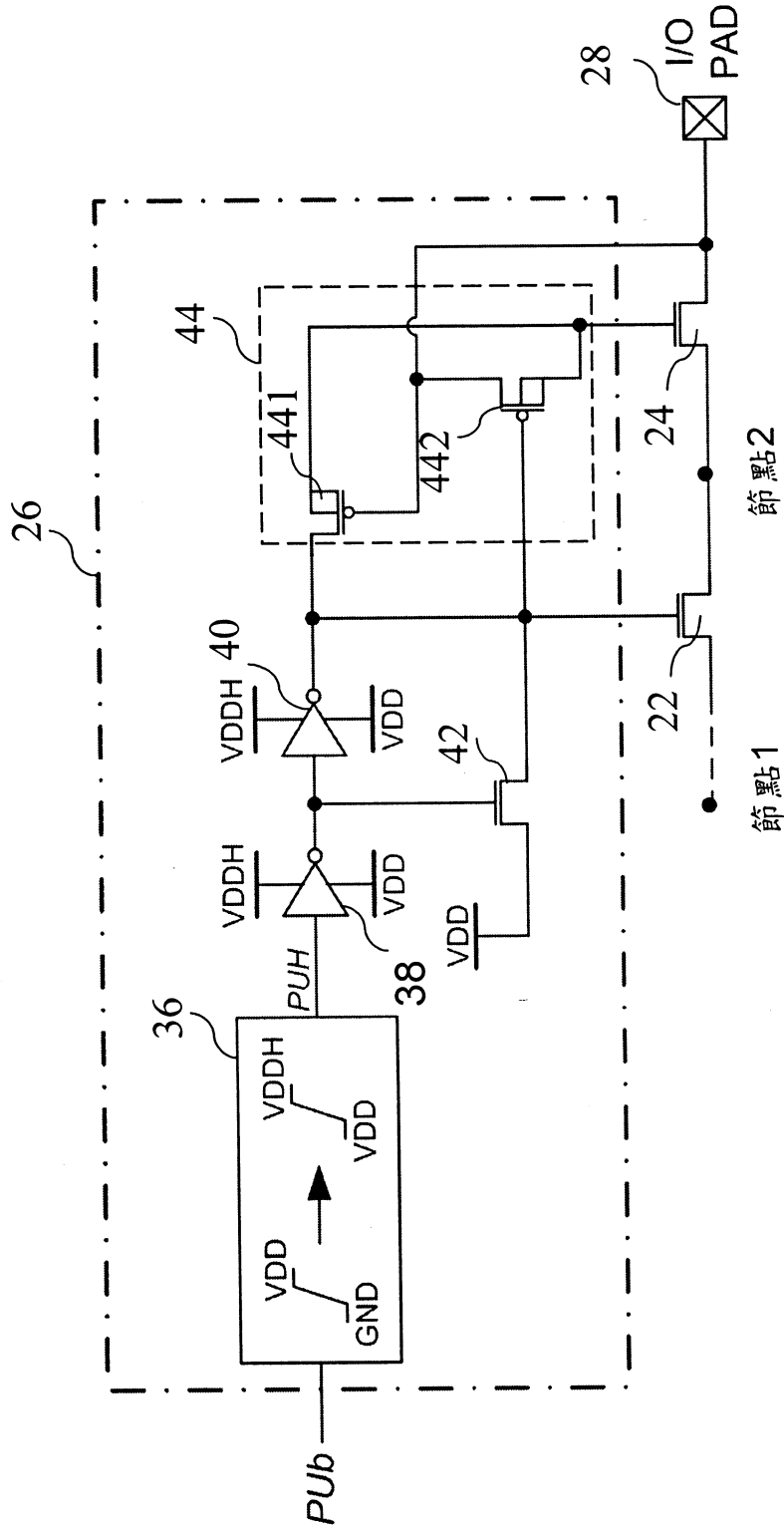
13. 如申請專利範圍第 11 項之混合電壓輸入/輸出緩衝器，其中當該前級驅動電路之訊號輸出端所傳送的該輸出訊號係 1 倍的該低電壓準位時，該前級驅動電路會導通該輸出電路之一上拉 P 型電晶體而關閉一下拉 N 型電晶體，該第一 N 型電晶體之閘極電壓與該第二 N 型電晶體之閘極電壓則保持偏壓在 2 倍的該低電壓準位，使該前級驅動電路之訊號輸出端傳送 1 倍的該低電壓準位輸出訊號至該輸入/輸出墊。



第一圖
(先前技術)

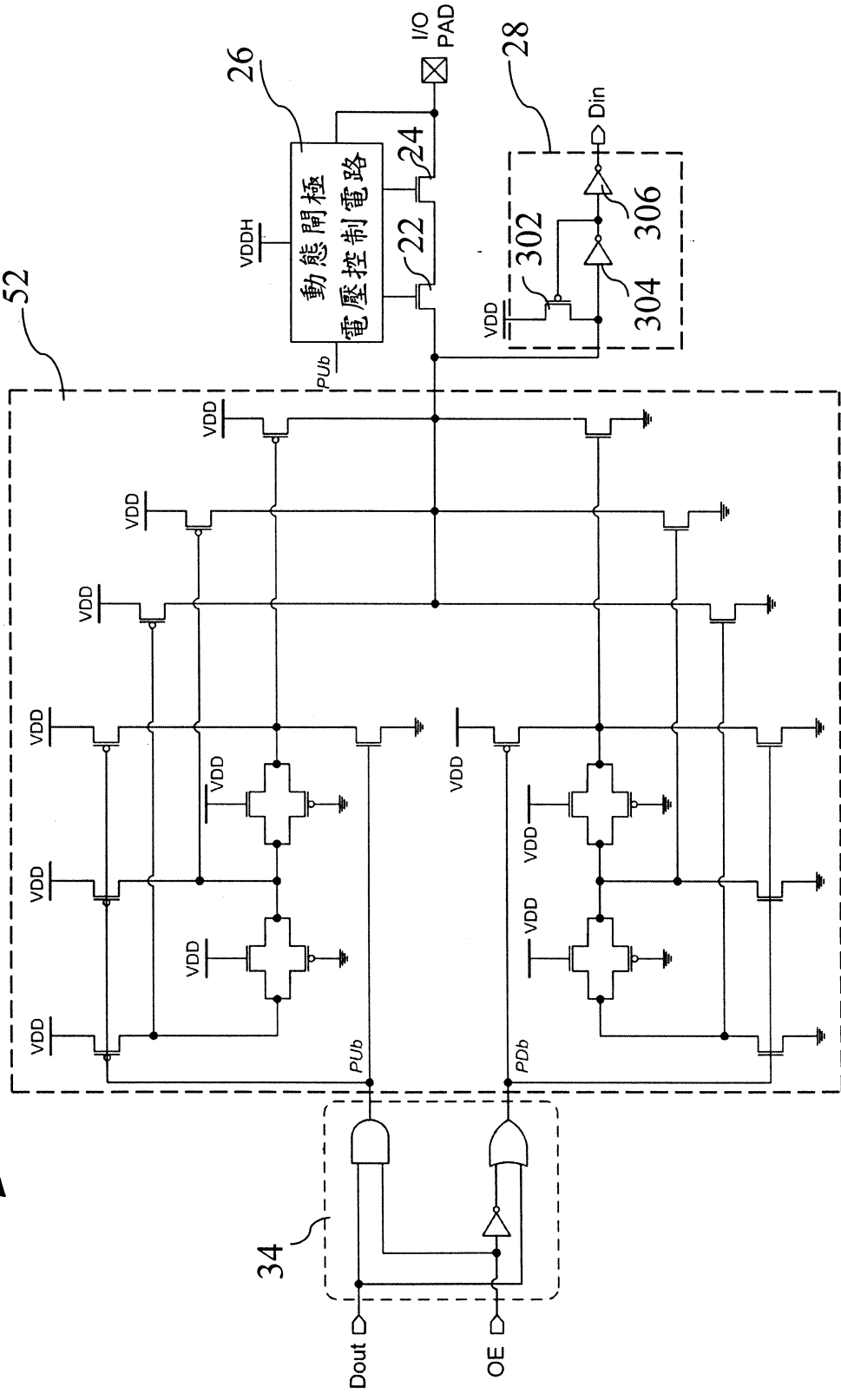


第二圖



第三圖

50



第四圖